



Stratégie d'alimentation pour les SoCs RF très faible consommation

Thomas Coulot

► To cite this version:

Thomas Coulot. Stratégie d'alimentation pour les SoCs RF très faible consommation. Autre. Université de Grenoble, 2013. Français. NNT : 2013GRENT055 . tel-00951423

HAL Id: tel-00951423

<https://theses.hal.science/tel-00951423>

Submitted on 24 Feb 2014

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Micro-Nano-Electronique**

Arrêté ministériel : 7 août 2006

Présentée par

Thomas COULOT

Thèse dirigée par **Jean-Michel FOURNIER**

et codirigée par **Estelle LAUGA-LARROZE**

préparée au sein du **Laboratoire IMEP-LAHC**

dans l'École Doctorale **Electronique, Electrotechnique, Automatique et Traitement du signal**

**Stratégie d'alimentation pour les SoCs
RF très faible consommation**

Thèse soutenue publiquement le **15 Octobre 2013**,
devant le jury composé de :

M. Amara AMARA

Professeur des Universités, Paris, Président

M. Hervé BARTHELEMY

Professeur des Universités, Marseille, Rapporteur

Mme Corinne ALONSO

Professeur des Universités, Toulouse, Rapporteur

M. Jean-Michel FOURNIER

Professeur des Universités, Grenoble, Directeur de thèse

Mme Estelle LAUGA-LARROZE

Maître de Conférence, Grenoble, Co-Directeur de thèse

M. Frédéric HASBANI

Ingénieur STMicroelectronics, Crolles, Examineur

M. Bruno ALLARD

Professeur des Universités, Lyon, Examineur



Avant propos

Les travaux présentés dans ce mémoire ont été réalisés pour la société STMicroelectronics, Organisation CCDS, Groupe TR&D, Equipe ePM (embedded Power Management), Crolles. Ils ont été effectués en étroite collaboration avec le groupe Radiofréquence Hyperfréquence et Optoélectronique (RFHO) du Laboratoire de Microélectronique Electromagnétisme, Hyperfréquence, Photonique et de Caractérisation (IMEP-LAHC) de Grenoble.

Je remercie mes directeurs de thèse Jean-Michel Fournier et Estelle Lauga-Larroze et mon encadrant industriel Frédéric Hasbani pour tout ce que vous avez fait pour moi pendant ces trois ans.

Je remercie tout particulièrement Séverin Trochut, Emmanuel Rouat et Vincent Pinon pour leurs conseils avisés, leurs aides précieuses et leurs encouragements tout au long de mon doctorat.

Je remercie l'ensemble de l'équipe ePM de STMicroelectronics, Crolles, Thierry Di Gilio, Eric Remond, Francois Agut, Nicolas Seller, Pascale Robert, Emilie Rigal et Bruno Salvador pour leurs aides précieuses durant ce travail. Je remercie Marcel Coly et Julien Morelle pour l'aide sur la caractérisation du régulateur.

Je tiens également à affirmer toute ma considération à tous ceux qui m'ont expliqué et aidé lors de la réalisation du layout de mes cellules ou qui m'y ont initié, Nicole Bertholet et Florence Rodriguez.

Je remercie Malal, Philip, Christian, Fabien, Thomas, Samuel, Denis, Christophe, Philippe, Seb, Stéphane, David qui m'ont permis de passer ces trois années de thèse dans la bonne humeur chez STMicroelectronics et toutes les autres personnes que j'ai cotoyées mais que je n'ai pu citer ici.

Je remercie l'ensemble du groupe RFHO de l'IMEP-LAHC de Grenoble et j'ai une pensée particulière pour les anciens thésards, thésards actuels et stagiaires avec qui j'ai passé de très bons moments. Parmi ceux-ci, Francois Burdin, mais aussi tant d'autres qui m'ont aidé et conseillé en toute occasion.

Mes dernières pensées vont à ma petite famille : Sonia ma compagne et Quentin mon fils, mes parents Frédéric et Marie-Jocelyne sans qui je n'aurais tout simplement pas pu faire ces études, et Gaëlle, Cédric et Julie qui m'ont accueilli dans leur maison et surtout dans leur famille. Enfin, je remercie tous mes amis qui m'ont soutenu pendant ces trois années.

Table des matières

1	Introduction Générale	1
2	Présentation des SoCs RF très faible consommation	5
2.1	Introduction	5
2.2	Introduction aux réseaux de capteurs et présentation des SoCs RF très faible consommation	6
2.2.1	Principe	6
2.2.2	Description des différents éléments constitutifs d'un nœud	7
2.2.2.1	Unité d'acquisition ou de détection	8
2.2.2.2	Unité de traitement de données	9
2.2.2.3	Unité de transmission	9
2.2.2.4	Unité de gestion de l'alimentation	10
2.2.3	Considérations à prendre en compte : autonomie et miniaturisation	12
2.2.3.1	Un nœud très faible consommation	12
2.2.3.2	Interface batterie/circuits	12
2.2.3.3	Co-intégration numérique, analogique et RF	14
2.3	Etude énergétique du module de communication	15
2.3.1	Pertes par propagation : L_{path}	16
2.3.2	Puissance minimale de signal détectable : P_{MDS}	17
2.3.3	Energie par bit minimum pour une transmission : $E_{bit,Tx}$	17
2.3.4	Les surconsommations	18
2.3.5	Optimisation de la bande passante pour minimiser l'énergie par bit	19
2.3.6	Conclusion	24
2.4	Etat-de-l'art des stratégies d'alimentation et définition du cadre et des spécifications du travail de thèse	24
2.4.1	Les domaines de tension	24
2.4.2	Etat-de-l'art des stratégies d'alimentation des circuits compatibles Zigbee	27
2.4.3	Exemple du STM32LW	29
2.4.3.1	Le microcontrôleur	31
2.4.3.2	La radio	33
2.4.3.3	Une intégration complète	35
2.4.4	Définition du cadre et des spécifications fixées pour le travail de recherche	36
2.5	Conclusion	37

2.6	Bibliographie	38
3	Mise en place d'une stratégie d'alimentation adaptée à un émetteur-récepteur – Appli- cation au projet BeeIP	41
3.1	Introduction	41
3.2	Méthodologie de conception	42
3.2.1	Motivations et objectifs	42
3.2.2	Présentation de la méthodologie utilisée	43
3.2.2.1	Modélisation comportementale de la chaîne RF	43
3.2.2.2	Détermination de la stratégie d'alimentation	46
3.2.3	Description de l'environnement de simulation	46
3.2.3.1	Langage de modélisation utilisé	46
3.2.3.2	Simulateur utilisé	48
3.2.4	Conclusion	48
3.3	Application au projet BeeIP	49
3.3.1	Présentation du standard ZigBee	49
3.3.2	Présentation de l'émetteur-récepteur	50
3.3.2.1	Emetteur à modulation « deux points »	50
3.3.2.2	Récepteur de type « faible FI »	52
3.3.3	Modélisation de l'émetteur en Verilog-A	53
3.3.3.1	Modélisation de la PLL	53
3.3.3.2	Modélisation du balun intégré	61
3.3.3.3	Modélisation de l'amplificateur de puissance (PA)	61
3.3.4	Modélisation du récepteur en Verilog-A	63
3.3.4.1	Modélisation de l'ensemble LNA/Mixeur/PMA	63
3.3.4.2	Modélisation du filtre polyphase	65
3.3.4.3	Modélisation de l'amplificateur à gain variable (VGA)	66
3.3.5	Simulation de la chaîne RF et choix de sa stratégie d'alimentation	66
3.3.5.1	Simulation de l'émetteur	67
3.3.5.2	Simulation du récepteur	68
3.3.5.3	Détermination de la stratégie d'alimentation	70
3.3.6	Validation de la méthodologie	71
3.4	Conclusion	73
3.5	Bibliographie	74
4	Conception d'un régulateur linéaire de type LDO à forte réjection des bruits d'alimen- tation	77
4.1	Introduction	77
4.2	Alimentation de blocs RF sensibles aux bruits de l'alimentation	78

4.2.1	Objectif	78
4.2.2	Notion d'optimisation	78
4.3	Cas du VCO	78
4.3.1	Introduction	78
4.3.2	Bruit intrinsèque d'un VCO	79
4.3.3	Sensibilité d'un VCO aux bruits de l'alimentation	80
4.3.4	Bruit total	81
4.3.5	Conclusion	81
4.4	Conception d'un LDO à forte réjection (PSR) sur une large bande de fréquence	82
4.4.1	Introduction du PSR	82
4.4.1.1	Chemin 1	82
4.4.1.2	Chemin 2 et 3	83
4.4.1.3	Conclusion	84
4.4.2	Etat-de-l'art des régulateurs à forte réjection en HF	84
4.4.3	Architecture proposée dans le cadre de ce travail	87
4.4.3.1	Etude du PSR intrinsèque du LDO [24] [25]	89
4.4.3.2	Etude du RVR (Reference Voltage Rejection)	91
4.4.3.3	Etude de stabilité [27]	92
4.4.4	Implémentation	100
4.4.4.1	Choix et présentation de la technologie	100
4.4.4.2	Réalisation du circuit	103
4.4.5	Interface de test et caractérisation	108
4.4.5.1	La mise en boîtier	108
4.4.5.2	La carte de test	109
4.4.6	Résultats expérimentaux [31]	110
4.4.6.1	Mesure du PSR du LDO	111
4.4.6.2	Validation de la stabilité	111
4.4.6.3	Mesure des performances du VCO	114
4.5	Conclusion	114
4.6	Bibliographie	116
5	Conclusion Générale	119
ANNEXE		121
A	Présentation du standard ZigBee	123
A.1	Introduction	123
A.2	Présentation de la couche physique	125
A.3	Notion de coexistence	129

A.4 Conclusion	130
A.5 Bibliographie	131
B Code Verilog-A modélisant les fonctions RF	133
C Calcul de la sensibilité d'un VCO aux bruits de l'alimentation	141
D Calcul des modèles « petits-sinaux » des sous-blocs du LDO	143
D.1 Impédance de charge F1	144
D.2 Impédance du replica F2	144
D.3 Impédance de charge Z	145
E Représentation et stabilité d'un système continu dans l'espace d'état	147
E.1 Philosophie	147
E.2 Vecteur état	147
E.3 Détermination de la représentation d'état	148
E.4 Stabilité des systèmes continus linéaires	149
E.4.1 Allure des trajectoires d'un système continu au voisinage d'un point d'équilibre	149
E.4.2 Robustesse de la stabilité	150
E.4.2.1 Sensibilité à la variation des paramètres	150
E.4.2.2 Analyse Monte Carlo	150
E.4.2.3 Temps de réponse du système	153
E.5 Etude de cas : détermination de la matrice d'état du LDO	153
F Détermination de la sortie du « sommateur »	157
G Conception de la carte de test	161
H Publications / Brevet	163

Table des figures

1.1	Exemple de réseau de capteurs sans fil.	1
1.2	Architecture de la puce RF très faible consommation.	2
2.1	Evaluation du taux de croissance annuel moyen en fonction de la taille du marché en 2015.	6
2.2	Exemple de topologie de réseaux de capteurs.	7
2.3	Schéma synoptique d'un nœud autonome.	8
2.4	Bloc diagramme d'un nœud d'un réseau de capteurs.	8
2.5	Exemple détaillé d'une unité de transmission composée d'une partie analogique (chaîne RF d'émission/réception) et d'une partie numérique (bande de base).	10
2.6	Domaine d'alimentation des différentes piles/batteries et des éléments constituant un nœud.	14
2.7	Répartition de la consommation en fonction des différents éléments du module RF CC1100.	16
2.8	Bloc diagramme simplifié d'un émetteur-récepteur « faible FI ».	19
2.9	Représentation graphique d'un compromis puissance/performance pour un simple émetteur-récepteur.	20
2.10	Distribution de la puissance de l'émetteur-récepteur versus la bande passante pour une marge de liaison fixée.	22
2.11	Energie par bit versus la bande passante pour une marge de liaison fixée.	23
2.12	Vue globale des différents modes.	25
2.13	Blocs analogiques de la stratégie d'alimentation.	26
2.14	Evolution des produits de la famille STM32.	29
2.15	SiP STM32LW avec sa cellule photovoltaïque.	30
2.16	Consommation du nœud par fonctions.	30
2.17	Modes de fonctionnement du STM32 L1.	31
2.18	Distribution de l'alimentation du microcontrôleur.	32
2.19	Puce radio multi-standard.	33
2.20	Diagramme bloc de la puce radio multi-standard.	33
2.21	Distribution de l'alimentation de la puce radio.	34
2.22	Vue complète du dessin des masques du SoC RF.	36
3.1	Objectif principal de notre démarche.	42
3.2	Schéma synoptique détaillé de notre méthode de conception.	43

3.3	Modélisation d'un bloc RF.	44
3.4	Génération du modèle comportemental.	45
3.5	Choix de la stratégie d'alimentation en utilisant la méthode de conception.	46
3.6	Diagramme bloc de l'émetteur-récepteur complet.	50
3.7	Bilan du bruit de phase en sortie de la PLL.	51
3.8	Effet de la PLL sur la modulation en fréquence.	51
3.9	VCO à base d'une double paire croisée.	52
3.10	Diagramme bloc du VCO.	54
3.11	Comparaison du régime transitoire du VCO avec le modèle Verilog-A au démarrage (a) et en régime établi (b).	54
3.12	Fréquence du VCO modélisé en fonction des bits de commande.	55
3.13	Comparaison du profil du bruit de phase entre la modélisation et la simulation du circuit transistor.	55
3.14	Diagramme bloc du comparateur de phase/fréquence.	56
3.15	Diagramme bloc de la pompe de charge.	57
3.16	Schéma du filtre passif du troisième ordre.	58
3.17	Comparaison entre le modèle Verilog-A et le circuit au niveau transistor de la sortie UP du détecteur de phase/fréquence (a) et de la sortie du filtre passe-bas (b).	58
3.18	(a) Signaux d'entrée CKIN et CKREF non verrouillés. (b) Signaux d'entrée CKIN et CKREF verrouillés. (c) Tension de commande CTRL du VCO jusqu'au verrouillage.	60
3.19	Simulation du modèle du bruit de phase en sortie de la PLL.	60
3.20	Modèle complet du balun intégré.	61
3.21	Diagramme bloc de l'amplificateur de puissance.	62
3.22	Comparaison entre le modèle Verilog-A et le circuit au niveau transistor de la ten- sion de sortie de l'amplificateur de puissance avec une alimentation idéale (a) et une alimentation bruitée (b).	62
3.23	Diagramme bloc du LNA.	64
3.24	Diagramme bloc du mixeur.	64
3.25	Diagramme bloc du PMA.	65
3.26	Diagramme bloc du filtre polyphase.	65
3.27	Diagramme bloc du VGA.	66
3.28	Structure de l'émetteur avec ses 4 domaines d'alimentation.	67
3.29	(a) EVM en fonction de l'amplitude et de la fréquence du bruit de l'alimentation. (b) Courbe de niveau représentant l'EVM en fonction de l'amplitude et de la fréquence du bruit de l'alimentation.	67
3.30	Répartition des contributeurs qui dégradent l'EVM.	68
3.31	Structure du récepteur avec ses 3 domaines d'alimentation.	68

3.32 (a) Sensibilité du récepteur en fonction de l'amplitude et de la fréquence du bruit de l'alimentation. (b) Courbe de niveau représentant la sensibilité en fonction de l'amplitude et la fréquence du bruit de l'alimentation.	69
3.33 Répartition des contributeurs à la dégradation de la sensibilité en fonction de la fréquence de l'ondulation du bruit.	69
3.34 Proposition d'une stratégie d'alimentation adaptée pour l'émetteur-récepteur ZigBee.	70
3.35 EVM (a) et courbe de niveau (b) en fonction de l'amplitude et la fréquence du bruit de l'alimentation avec la stratégie d'alimentation. Sensibilité (c) et courbe de niveau (d) du récepteur en fonction de l'amplitude et de la fréquence du bruit de l'alimentation avec la stratégie d'alimentation.	71
3.36 Banc de mesure et carte de test utilisés pour valider la méthodologie.	72
3.37 Spectre en sortie de l'antenne lorsque l'alimentation globale est « propre » (a) et bruitée (b).	72
3.38 Comparaison de la campagne de mesure entre l'EVM mesuré (a) et simulé (b).	73
4.1 VCO à base d'une double paire croisée.	79
4.2 « Jitter » de période.	79
4.3 Forme du bruit de phase d'un VCO.	80
4.4 Fonction de transfert du bruit de l'alimentation converti en bruit de phase.	81
4.5 Chemin des perturbations de l'alimentation vers la sortie du régulateur.	82
4.6 Diagramme bloc d'un régulateur classique.	83
4.7 PSR de chaque chemin et total du LDO.	84
4.8 Techniques utilisées par [17] pour atteindre une forte réjection.	84
4.9 Méthode de réjection des bruits de l'alimentation par un second chemin de rétroaction pour obtenir une forte réjection [15] [18] [19].	85
4.10 Topologies présentées dans [20] (a), [21] (b) et [22] (c).	86
4.11 Architecture du LDO proposée.	88
4.12 Architecture du LDO incluant la sommation en courant.	89
4.13 Modèle mathématique complet du LDO.	89
4.14 Simulation du PSR sans (cas a) et avec (cas b) le filtre passe-haut pour des variations d'impédance entre la charge réelle et dupliquée.	90
4.15 Diagramme de Bode de la fonction de transfert RVR du LDO.	91
4.16 Etude de l'impact de l'alimentation extérieure V_{dd} sur la sortie V_{reg} à travers la tension de référence V_{ref}	92
4.17 Diagramme de gain des fonctions de transfert PSR_{bg} , RVR et S_{Y2}	92
4.18 Système bouclé.	92
4.19 Marge de gain MG et marge de phase MP.	93
4.20 Marge de module MM et marge de retard MR.	94
4.21 Diagramme bloc avec les différentes boucles ouvertes.	95

4.22	Diagramme de Bode de la fonction $FTBO_{slow}$.	95
4.23	Diagramme de Bode de la fonction $FTBO_{fast}$.	96
4.24	Diagramme de Bode de la fonction $FTBO_{global}$.	96
4.25	Sensibilité de la valeur propre critique au paramètre C_o .	99
4.26	Analyse Monte Carlo.	99
4.27	Niveaux métalliques de la filière CMOS 90nm de STMicroelectronics.	101
4.28	Implémentation du sommateur.	104
4.29	Principe d'auto-polarisation d'un AOP monté en suiveur.	105
4.30	Conception du filtre passe-haut Gm-C.	106
4.31	Implémentation du VCO et du réplica.	107
4.32	Implémentation du LDO.	107
4.33	Plan et dessin des masques du LDO.	108
4.34	Dessin des masques et photomicrographie du circuit complet.	108
4.35	Diagramme des liaisons entre le silicium et le boîtier en 2D et 3D.	109
4.36	Carte de test utilisée pour les mesures.	109
4.37	Mesure de la régulation de ligne et de charge du LDO.	110
4.38	Mesure de la réponse du LDO lors d'une variation de la tension d'alimentation.	110
4.39	Comparaison entre la simulation et la mesure du PSR.	111
4.40	Simulation de la réponse indicielle avec seulement une capacité de découplage intégrée de 10pF.	112
4.41	Simulation (a) et mesure (b) de la réponse à un échelon avec uniquement la capacité de découplage intégrée de 60pF; Simulation (c) et mesure (d) de la réponse à un échelon avec la capacité externe de 47nF.	113
4.42	Simulation de la réponse du système à une régulation de charge transitoire pour une variation de 0 à 5mA (a) et de 5mA à 0mA (b); Mesure de la réponse du système à une régulation de charge transitoire pour une variation de 0 à 5mA (c) et vice versa (d).	113
4.43	Mesure de l'impact du LDO sur le bruit de phase du VCO : (1) le VCO est directement alimenté par une alimentation externe; (2) le VCO est alimenté par le LDO qui est lui-même alimenté par une source externe bruyante.	114
A.1	Zigbee et les autres standards.	123
A.2	Différence entre Zigbee et IEEE 802.15.4.	124
A.3	Historique de la norme Zigbee et IEEE 802.15.4.	124
A.4	(a) Répartition des chips sur les voies I et Q. (b) Exemple de modulation O-QPSK pour la trame de chips 1 10 11 00 01.	125
A.5	Spectre de la modulation IEEE 802.15.4.	126
A.6	Répartition des canaux IEEE 802.15.4.	127
A.7	PER en fonction du SNR pour un démodulateur donné.	128
A.8	Définition de l'EVM.	129

A.9	Exemple de coexistence dans la bande ISM.	130
B.1	Extrait des lignes de code modélisant le VCO en Verilog-A.	133
B.2	Extrait du code du modèle Verilog-A du détecteur de phase et de fréquence.	134
B.3	Extrait du listing de la pompe de charge en Verilog-A.	134
B.4	Code complet modélisant le filtre passe-bas en Verilog-A.	134
B.5	Extrait du code du modèle Verilog-A du diviseur par N.	135
B.6	Code complet modélisant le balun intégré en Verilog-A.	135
B.7	Extrait du code modélisant l'amplificateur de puissance en Verilog-A.	136
B.8	Extrait du listing de l'amplificateur faible bruit en Verilog-A.	137
B.9	Code complet modélisant le mixeur en Verilog-A.	137
B.10	Code complet modélisant du PMA en Verilog-A.	138
B.11	Extrait du code du modèle Verilog-A du filtre polyphase.	139
B.12	Extrait du listing de l'amplificateur à gain variable en Verilog-A.	140
C.1	Fonction de transfert du bruit de l'alimentation converti en bruit de phase.	142
D.1	Architecture et modèle mathématique du LDO.	143
D.2	Modèle « petit-signal » du système complet.	143
D.3	Schéma équivalent « petit-signal » de F1.	144
D.4	Schéma équivalent « petit-signal » de F2.	144
D.5	Schéma équivalent « petit-signal » de Z.	145
E.1	Graphe du système.	148
E.2	Région de stabilité P	151
E.3	Modèle mathématique du LDO.	153
F.1	Implémentation du sommateur.	157
F.2	Schéma équivalent d'un étage pour un régime purement différentiel.	158
G.1	Conception de la carte de test sous Eagle.	161

Liste des tableaux

2.1	Exemple de batteries.	11
2.2	Comparaison de différentes sources d'énergie possibles pour les réseaux de capteurs.	11
2.3	Coût énergétique de différents éléments constituant un nœud.	13
2.4	Etat-de-l'art des produits et travaux de recherche compatibles ZigBee.	28
2.5	Résumé des modes de fonctionnement du microcontrôleur.	32
2.6	Performances RF de la puce radio.	34
3.1	Fonctions Verilog-A utiles pour des modèles RF.	47
3.2	Restrictions du langage Verilog-A liées aux différentes analyses RF.	48
3.3	Spécifications du standard IEEE 802.15.4.	49
3.4	Performances du LNA.	63
4.1	Etat-de-l'art des LDOs à forte réjection.	87
4.2	Paramètres du LDO.	98
4.3	Caractéristiques des transistors MOS [29].	102
4.4	Les résistances disponibles.	102
4.5	Les capacités disponibles.	102
4.6	Comparaison de ce travail avec l'état-de-l'art.	115
A.1	Comparaison de différents standards.	125
A.2	Résumé de la couche physique 802.15.4.	127
A.3	Spécifications du standard IEEE 802.15.4.	127

Liste des abréviations

Pour des raisons de lisibilité, la signification d'une abréviation ou d'un acronyme n'est souvent rappelé qu'à sa première apparition dans le texte d'un chapitre. Par ailleurs, l'abréviation la plus usuelle sera toujours utilisée. Cependant, il est fréquent que ce soit un terme anglais. Si tel est le cas, une traduction sera systématiquement proposée.

ACK		Trame d'acquittement
AMS	<i>Analog & Mixed Signal</i>	Signaux Mixtes et Analogiques
BER	<i>Bit Error Ratio</i>	Taux d'Erreurs Binaires
BF		Basse Fréquence
BW	<i>Bandwidth</i>	Bande passante
CAN		Convertisseur Ana. Num.
CAO		Conception Assistée par Ordinateur
CCDS	<i>Central CAD and Design Solutions</i>	
CMOS	<i>Complementary Metal Oxyde Semiconductor</i>	Technologies semiconducteurs
CNA		Convertisseur Num. Ana.
CP	<i>Charge Pump</i>	Pompe de charge
CPU	<i>Central Processing Unit</i>	Processeur
CSMA	<i>Carrier Sense Multiple Access</i>	Méthode d'accès au média
DC	<i>Direct Current</i>	Tension ou courant continu
DC/DC	<i>DC/DC converter</i>	Convertisseur continu/continu
DSP	<i>Digital Signal Processor</i>	Processeur de signal numérique
ESL	<i>Equivalent Serial Inductance</i>	Inductance équivalente série
ESR	<i>Equivalent Serial Resistor</i>	Résistance équivalente série
E_v		Événement
EVM	<i>Error Vector Magnitude</i>	Erreur Vectorielle
FI		Fréquence Intermédiaire
FSK	<i>Frequency-Shift Keying</i>	Type de modulation
GSM	<i>Global System for Mobile Communications</i>	
HF		Haute Fréquence
HTR		Horloge Temps Réel
HV	<i>High Voltage</i>	Haute tension

IEEE	<i>Inst. of Electrical and Electronics Engineers</i>	
ISM		Industrie, Science et Médical
LCD	<i>Liquid Cristal Display</i>	Affichage à cristaux liquides
LDO	<i>Low Drop Out</i>	Régulateur linéaire
LNA	<i>Low Noise Amplifier</i>	Amplificateur faible bruit
MAC	<i>Media Access Control</i>	Contrôle d'accès au support
MEMS	<i>Microelectromechanical systems</i>	Microsystème électromécanique
MMD		Diviseur à plusieurs modules
MSK		Type de modulation
NF	<i>Noise Figure</i>	Figure de bruit
NMOS	<i>Negative Metal Oxide Semiconductor</i>	Métal-oxyde à canal n
O-QPSK		Type de modulation
PA	<i>Power Amplifier</i>	Amplificateur de puissance
PER	<i>Packet Error Rate</i>	Taux d'Erreurs de Paquets
PFD	<i>Phase Frequency Detector</i>	Comparateur de phase
PHY		PHYsique (couche)
PLL	<i>Phase Locked Loop</i>	Boucle à verrouillage de phase
PMOS	<i>Positive Metal Oxide Semiconductor</i>	Métal-oxyde à canal p
PSR	<i>Power Supply Rejection</i>	Réjection de l'alimentation
PMA	<i>Post Mixer Amplifier</i>	Amplificateur post mixeur
PMU	<i>Power Management Unit</i>	Gestion de l'alimentation
QFN	<i>Quad-Flat No-Leads</i>	Boîtier de circuit intégré
RAM	<i>Random Access Memory</i>	Mémoire vive
RF	<i>Radiofrequency</i>	Radiofréquence
SER	<i>Symbol Error Rate</i>	Taux d'Erreurs de Symboles
SiP	<i>System-in-Package</i>	Système dans un boîtier
SMPS	<i>Switch Mode Power Supply</i>	Alimentation à découpage
SNR	<i>Signal to Noise Ratio</i>	Rapport signal à bruit
SoC	<i>System-on-Chip</i>	Système sur puce
SOI	<i>Silicon On Insulator</i>	Silicium sur isolant
SST	<i>Steady State</i>	Régime établi
VCO	<i>Voltage Controlled Oscillator</i>	Oscillateur contrôlé en tension
VGA	<i>Variable Gain Amplifier</i>	Amplificateur à gain variable
WLAN	<i>Wireless Local Area Network</i>	Réseau local sans fils
WSN	<i>Wireless Sensor Network</i>	Réseau de capteurs sans fils
μC	<i>Microcontroller</i>	Microcontrôleur

...

1 Introduction Générale

UN réseau de capteurs sans fil, également appelé *Wireless Sensor Network (WSN)*, est constitué d'éléments communicants qui forment les noeuds du réseau. La communication s'opère par ondes radio, ce qui facilite l'installation du réseau. Chaque nœud intègre différents composants : un processeur, un émetteur-récepteur, une source d'énergie, des périphériques constitués de capteurs ou d'actionneurs. La miniaturisation permet aujourd'hui d'intégrer tous ces éléments dans un seul boîtier de la taille d'un timbre-poste. Une cellule photovoltaïque permet à chaque nœud de créer sa propre énergie et une batterie intégrée en assure le stockage.

Ce réseau intelligent de capteurs sans fil autonomes en énergie peut être configuré pour avoir plusieurs fonctions. Chaque nœud a une mission propre, fonction des périphériques qu'il contient. Il peut communiquer les informations concernant cette mission, à l'ensemble du réseau ou à la tête de réseau.

Les capteurs permettent de relever des données sur l'environnement : température, mouvements, présence de gaz... Les actionneurs permettent d'agir sur l'environnement : allumer une lampe, couper une vanne... Si la tête de réseau est reliée à Internet, on peut alors imaginer un grand nombre d'applications dans de multiples domaines : industriel, domotique, aide à la personne... Quelques exemples grand public : vérification à distance de la fermeture des portes de la maison, indication sur iPhone des places de parking libres en ville, gestion des flux automobiles pour limiter les bouchons, aides aux personnes dépendantes (détection de chute, localisation de personnes atteintes par la maladie d'Alzheimer...).

L'association d'un tel réseau à un portail d'applications interactives permet aujourd'hui de penser à des applications inimaginables encore hier, mais que l'on sent déjà poindre dans les start-up et centres de recherche avancée.



FIGURE 1.1: Exemple de réseau de capteurs sans fil.

La gestion de ce type de capteur est transparente pour l'utilisateur. Le réseau est adaptatif, et se réorganise automatiquement si certains nœuds viennent à disparaître par manque d'énergie ou destruction, ou si les nœuds sont déplacés. Ainsi, la topologie du réseau n'est pas imposée et peut évoluer à tout moment en fonction de l'environnement. Côté interface utilisateur, il se veut aussi ergonomique et intuitif que les derniers Smartphones, afin de pouvoir être facilement mis entre les mains du grand public, sans documentation fastidieuse.

La technologie a un rôle central dans le rendement énergétique et dans le coût du système complet. Aujourd'hui, les performances énergétiques de ce type de puce RF (SoC) très faible consommation pourraient être drastiquement améliorées par des circuits d'alimentation innovants. En effet, ces circuits d'alimentation remplissent leur fonction classique de conversion d'énergie mais aussi des fonctions d'isolation des blocs RF et digitaux. Leurs performances s'évaluent donc en termes d'efficacité énergétique et de réponse transitoire mais aussi d'isolation, de réjection et de bruit. Si l'on prenait aujourd'hui les meilleures briques de base disponibles dans les différents fabricants de semi-conducteur afin d'assembler un capteur autonome, son autonomie ne dépasserait pas 24H. Un axe d'effort important est donc mis à STMicroelectronics sur le développement d'une technologie (CMOS 90nm M10) ultra-basse consommation et des architectures radiofréquences (RF) adaptées. Ce genre de capteurs s'appuie notamment sur le standard de communication ZigBee (IEEE 802.15.4).

Ces attentes forcent à changer la façon de réaliser les émetteurs-récepteurs RF et notamment leur stratégie d'alimentation. Actuellement, les régulateurs linéaires de type *Low Drop Out (LDO)* sont connectés directement à la batterie afin d'alimenter les parties RF, analogiques et numériques. Les avantages d'une telle solution sont la faible taille de ce type de circuit et son faible coût. Cependant, leur rendement peu élevé handicape sévèrement l'autonomie. Sachant que le module RF correspond à environ 50% de la consommation au sein d'un nœud, la mise en place d'une stratégie intelligente d'alimentation dédiée à la RF devient indispensable pour atteindre l'objectif principal, l'augmentation de l'autonomie.

La Figure 1.2 illustre une chaîne RF de type « faible FI » utilisée dans les capteurs. Certains éléments de la chaîne ont besoin d'une alimentation non bruitée comme le VCO, d'autres ont besoin d'une alimentation dédiée à leur fonction alors que d'autres peuvent fonctionner correctement quel que soit l'environnement. Une architecture (« *Power Management Unit* ») combinant toutes les contraintes liées à la structure, aux performances et au standard de communication est alors nécessaire.

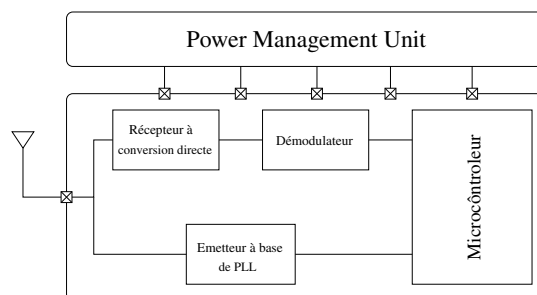


FIGURE 1.2: Architecture de la puce RF très faible consommation.

Le travail présenté dans ce mémoire s'inscrit dans ce contexte et a pour objectif de concevoir et d'intégrer tous les circuits de gestion et de distribution de l'énergie aux différents blocs RF de l'émetteur/récepteur et digitaux du SoC en élaborant une méthodologie « top-down » pour déterminer la sensibilité de chaque bloc à son alimentation. On pourra en déduire une architecture innovante et dynamique de gestion/distribution de l'énergie sur le SoC.

Le premier chapitre de ce mémoire est présenté sous la forme d'une introduction globale au problème. Dans un premier temps, nous présentons les réseaux de capteurs en détaillant la puce radio très faible consommation et la gestion de son alimentation. Dans l'optique de la diminution de la consommation liée à notre cas d'étude, le développement d'un outil de simulation de la consommation du module de communication en fonction des spécifications de l'application va nous permettre de mettre en évidence l'impact de chacun des blocs RF sur le coût énergétique. Nous démontrons ainsi pourquoi nous nous intéressons tout particulièrement à la gestion de l'alimentation de ce module. La dernière partie de ce premier chapitre propose un état-de-l'art des stratégies d'alimentation qui nous permet de définir plus précisément le cadre de l'étude ainsi que les spécifications globales à atteindre.

Le deuxième chapitre est consacré à la définition d'une démarche de conception d'une stratégie d'alimentation d'un émetteur-récepteur sous contrainte du bruit induit par son alimentation. Cette démarche de conception nécessite la modélisation à plusieurs niveaux du module RF mais aussi des blocs RF le constituant. Dans ce chapitre, nous allons nous attacher à démontrer les liens entre les performances et les bruits de l'alimentation tout particulièrement pour le module de communication. Dans un premier temps, nous déterminons le protocole à suivre afin de choisir la bonne stratégie d'alimentation pour un module RF donné. Puis, dans un second temps, après avoir présenté la méthodologie et les outils utilisés (langage Verilog-A et simulateur), la méthodologie de détermination et de conception d'une stratégie d'alimentation adaptée à un module RF est appliquée à un projet industriel (projet BeeIP) de STMicroelectronics puis validée sur silicium.

Le troisième et dernier chapitre de cette thèse a pour but de présenter une méthode de conception d'un bloc d'alimentation dédié aux fonctions RF très sensibles aux bruits de l'alimentation. L'étude et la modélisation portent sur un régulateur linéaire innovant de type LDO alimentant un des blocs les plus contraignants du module RF : le VCO. La validation du modèle par des simulations et des résultats de mesure nous permet de mettre en évidence la méthode de conception de ce bloc en tenant compte de la contrainte du bruit de l'alimentation en amont.

A la lumière des résultats obtenus, une conclusion résume les apports de la méthodologie de conception d'une stratégie d'alimentation adaptée à un module RF sur les performances d'un émetteur-récepteur en termes d'autonomie, de qualité de transmission, de quantité de calcul et de volume de données transmises dans le réseau. Des perspectives sont abordées en ce qui concerne la continuation de ces travaux mettant en œuvre d'autres fonctions de type numérique.

2

Présentation des SoCs RF très faible consommation

Sommaire

2.1	Introduction	5
2.2	Introduction aux réseaux de capteurs et présentation des SoCs RF très faible consommation	6
2.3	Etude énergétique du module de communication	15
2.4	Etat-de-l'art des stratégies d'alimentation et définition du cadre et des spécifications du travail de thèse	24
2.5	Conclusion	37
2.6	Bibliographie	38

2.1 Introduction

Aujourd'hui, de nombreuses applications de connexions sans fil requièrent des transmissions à faible débit organisées sous forme de réseaux. Ces applications sont regroupées sous le terme de réseaux de capteurs ou sous le sigle WSN (« Wireless Sensor Network »). C'est un domaine en pleine expansion (voir ovale jaune de la Figure 2.1) possédant de nombreuses applications aussi bien dans les domaines industriels que personnels. Ces réseaux de capteurs présentent des contraintes relativement différentes des systèmes de communications sans fils classiques (autonomie et miniaturisation).

Ce chapitre d'introduction va permettre de présenter le contexte de recherche de façon à comprendre les choix effectués et détaillés dans les chapitres suivants. Pour cela, une première partie est consacrée à la notion de réseaux de capteurs et en présentent les différents éléments le constituant. Les principales contraintes à prendre en compte pour la conception de ces systèmes-sur-puce (autonomie et miniaturisation) sont détaillées. Cette étude permet d'introduire les problématiques de ce travail de recherche.

La seconde partie concerne plus précisément l'aspect énergétique des modules de communication. Cette étude permet d'évaluer l'énergie nécessaire pour faire fonctionner le module de communication et de prévoir ainsi l'autonomie de chaque nœud (en fonction des spécifications de l'application visée). Un outil d'optimisation système a été développé : il permet de définir la part de chaque élément du module de communication dans la consommation moyenne et donc de connaître leur influence respective sur l'autonomie.

Enfin, une étude des stratégies d'alimentation actuelles des systèmes-sur-puce très faible consommation nous permet de cerner les compromis à envisager lors de la conception des modules de communication (spécifications visées/rendement/autonomie). L'objectif de nos travaux est de mettre en place une méthodologie générale permettant de définir la stratégie d'alimentation la mieux adaptée à la puce radio dans le cadre d'une consommation optimisée.

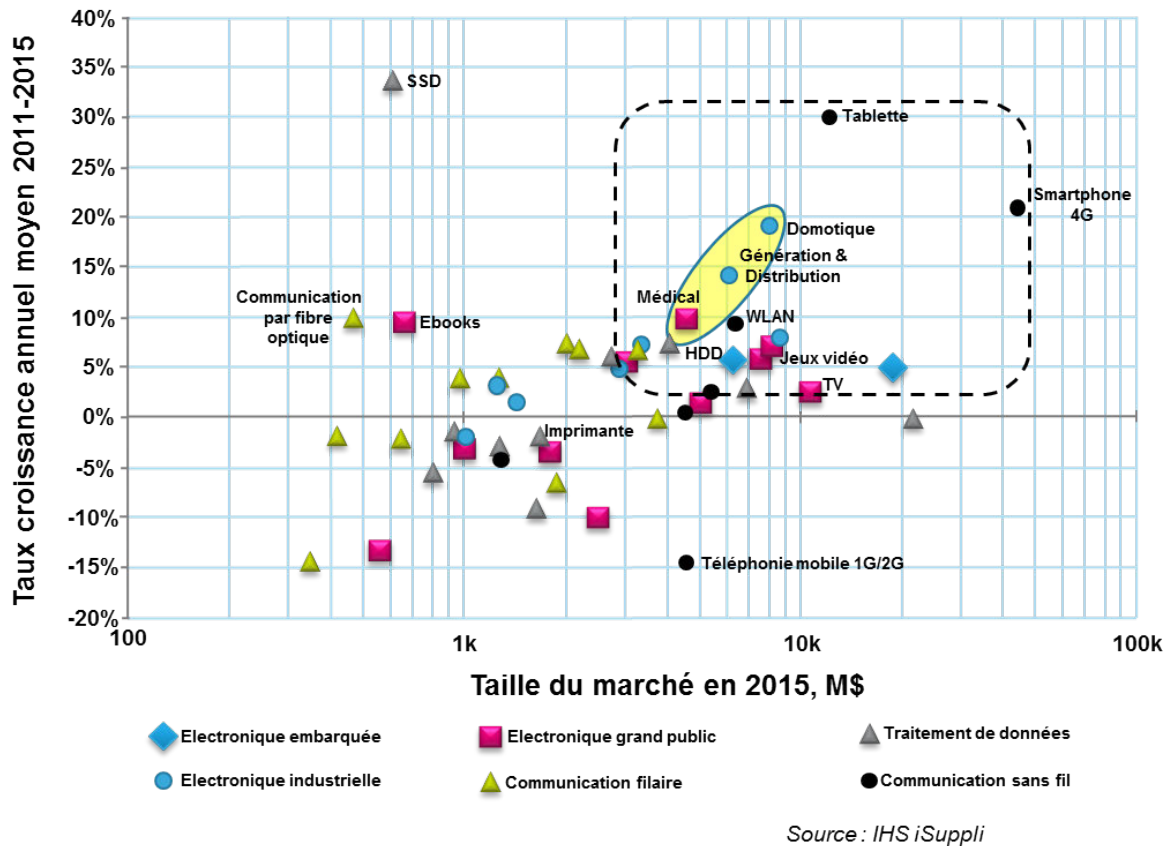


FIGURE 2.1: Evaluation du taux de croissance annuel moyen en fonction de la taille du marché en 2015.

2.2 Introduction aux réseaux de capteurs et présentation des SoCs RF très faible consommation

2.2.1 Principe

Un réseau de capteurs (« Wireless Sensor Network ») est un dispositif sans fil constitué de capteurs dits autonomes répartis dans un environnement [1]. Ces capteurs, aussi appelés nœuds, doivent surveiller une grandeur physique ou chimique dans l'environnement dans lequel ils sont placés. Chaque nœud doit être capable de mesurer, collecter et transmettre ses données à une base de traitement [2] soit directement, soit via une balise relais, soit encore en utilisant les nœuds du réseau comme relais. L'organisation de la topologie du réseau va donc être plus ou moins complexe. La Figure 2.2 présente une topologie hiérarchique où des groupes de nœuds choisissent parmi eux un maître (« Cluster Head ») qui est le seul à pouvoir communiquer avec chacun des maîtres des autres groupes. La gestion de

la transmission des données sera donc dépendante de la complexité du réseau.

La base de traitement a pour rôle de collecter les données issues de chacun des nœuds. Les données ainsi centralisées peuvent être traitées et utilisées par un utilisateur [1] soit directement, soit via un autre réseau type Internet. Chacun des nœuds doit être capable de s'autogérer aussi bien au niveau mesure, collecte, traitement et transmission des données qu'au niveau de son alimentation. L'intérêt des réseaux de capteurs se trouve dans la capacité des nœuds à être autonomes et dans leur facilité de placement et de déploiement [3].

Les principales caractéristiques des réseaux de capteurs sont les suivantes :

- Une application connue au départ, entraînant un déploiement optimal du réseau selon les contraintes de cette application,
- Le nombre de nœud constituant le réseau peut être très important et avec une densité variable au gré des apparitions et disparitions,
- Une énergie maximum disponible pour chaque nœud.

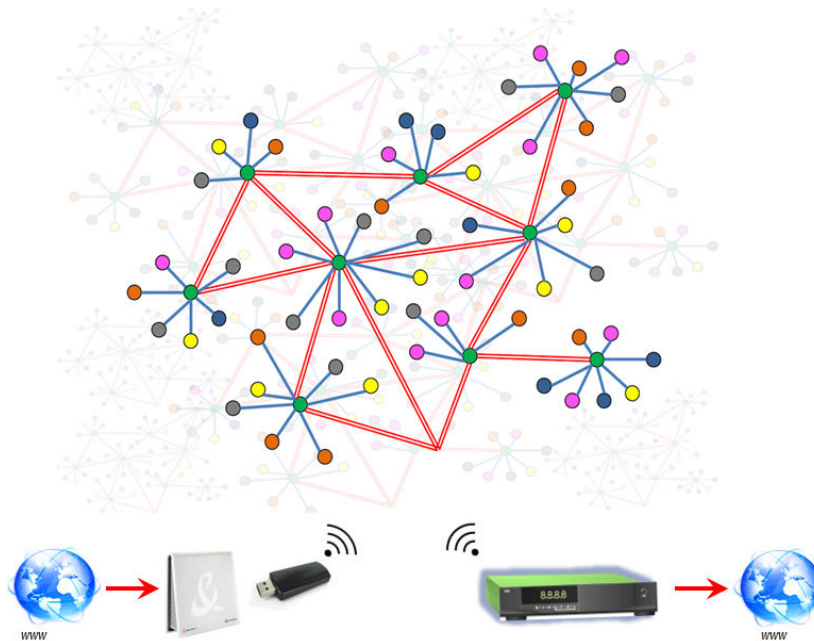


FIGURE 2.2: Exemple de topologie de réseaux de capteurs.

2.2.2 Description des différents éléments constitutifs d'un nœud

Un réseau de capteurs est donc composé d'un nombre plus ou moins important de nœuds. Un nœud est composé d'un ou plusieurs capteurs, d'une partie traitement des données, d'un module de communication et d'une alimentation [1]. Selon le domaine d'application, un nœud peut être équipé d'unités supplémentaires ou optionnelles comme un système de localisation pour déterminer sa position, ou bien un système générateur d'énergie (cellule photovoltaïque, etc.), ou encore un système mobile pour lui permettre de changer sa position ou sa configuration en cas de nécessité. La Figure 2.3 est un schéma synoptique présentant la structure d'un nœud.

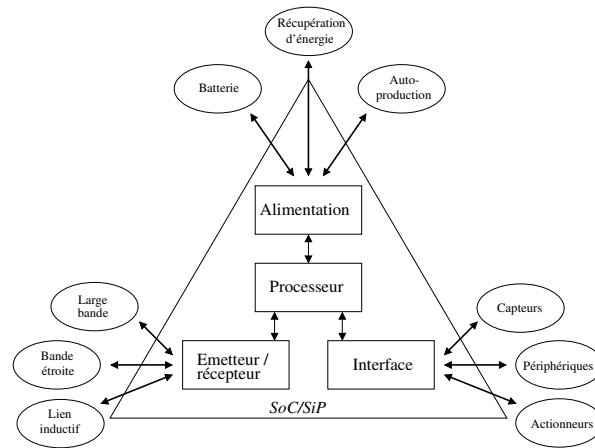


FIGURE 2.3: Schéma synoptique d'un nœud autonome.

Chaque nœud est doté d'une unité de transmission, d'une unité de traitement de données, d'une unité d'acquisition ou de détection et d'une unité de gestion de l'alimentation. La Figure 2.4 présente le diagramme détaillé dont la plupart des blocs peuvent être intégrés sur une même puce en technologie CMOS standard.

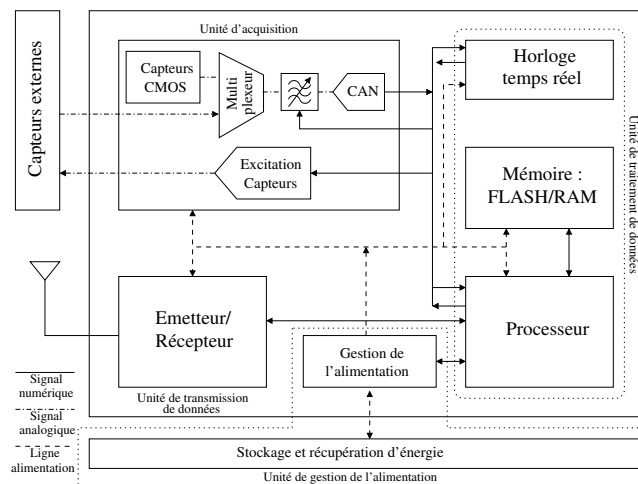


FIGURE 2.4: Bloc diagramme d'un nœud d'un réseau de capteurs.

2.2.2.1 Unité d'acquisition ou de détection

L'unité d'acquisition est généralement dotée d'un ou plusieurs capteurs qui obtiennent des mesures analogiques (physiques et physiologiques) et d'un convertisseur Analogique/Numérique. Grâce au développement des microstructures notamment en technologie MEMS, il est possible de nos jours de pouvoir intégrer des capteurs sur silicium (accéléromètre, gyroscope, capteur de température...) [4].

Un capteur a pour rôle de transformer une grandeur physique ou chimique en une grandeur exploitable, généralement électrique : tension, courant : c'est pourquoi il a été développé des interfaces capteurs. Ainsi, les données issues du capteur sont généralement des données analogiques. Un convertisseur analogique-numérique interne ou externe est associé au capteur. La grandeur électrique issue

du capteur et de son interface est transformée en une suite de bits. Le signal ainsi numérisé peut être traité par une unité type microcontrôleur.

2.2.2.2 Unité de traitement de données

L'objectif de cette unité de traitement est :

- Le contrôle de l'état des éléments du nœud : mise en activité ou au repos,
- La récupération des données issue du capteur, le traitement de ces données : cryptage, stockage et élimination de données erronées,
- La gestion des protocoles de communication : routage et gestion du réseau.

Toutes ces fonctions sont intégrées dans des circuits de type microcontrôleur faible coût et faible consommation. L'ajout de fonctionnalités complexifie le traitement des données et la gestion du nœud, ce qui a pour conséquence d'augmenter la durée de traitement du microcontrôleur et donc la consommation du nœud.

La durée d'exécution des tâches allouées à l'unité de traitement est donc liée à la quantité de données à traiter mais aussi, liée à sa vitesse de traitement. Le volume de données traitées par cette unité dépend de deux éléments principaux : la taille de la donnée captée (par le nœud lui-même) et les données reçues de ces voisins dans le réseau. La vitesse d'exécution est liée à la fréquence de traitement (qui peut atteindre les 104MHz pour les nœuds capteurs multimédia). Plus la vitesse de traitement est élevée, plus la durée d'exécution sera courte. Néanmoins, l'augmentation de la vitesse d'exécution des tâches entraîne une plus forte consommation du microcontrôleur. Ainsi, il sera nécessaire de faire un compromis entre vitesse d'exécution, ajout de fonctionnalité et consommation.

Enfin, dans le cas du microcontrôleur, il est important de s'intéresser à la consommation en mode inactif. En effet, ce dernier devant gérer le fonctionnement global du nœud, il doit toujours maintenir une certaine activité : gestion du stockage des données, synchronisation et gestion du réveil. Du fait de ce maintien d'activité, le microcontrôleur est l'élément le plus consommateur du nœud en mode inactif. Or, le mode veille est le plus long dans les applications réseaux de capteurs, la consommation du microcontrôleur dans ce mode peut donc constituer une part prépondérante de la consommation moyenne du nœud.

2.2.2.3 Unité de transmission

Cette unité gère toutes les émissions et réceptions des données issues des capteurs sur un medium sans fil via le réseau. Les unités de transmission de type radiofréquence (RF) sont préférables pour ces réseaux de capteurs sans fil parce que les paquets transportés sont de petites tailles avec un bas débit. Une unité de communication RF est constituée d'une chaîne d'émission, de réception et d'une partie numérique (dite bande de base) servant à faire le lien entre la partie analogique et l'unité de traitement comme le montre la Figure [2.5](#).

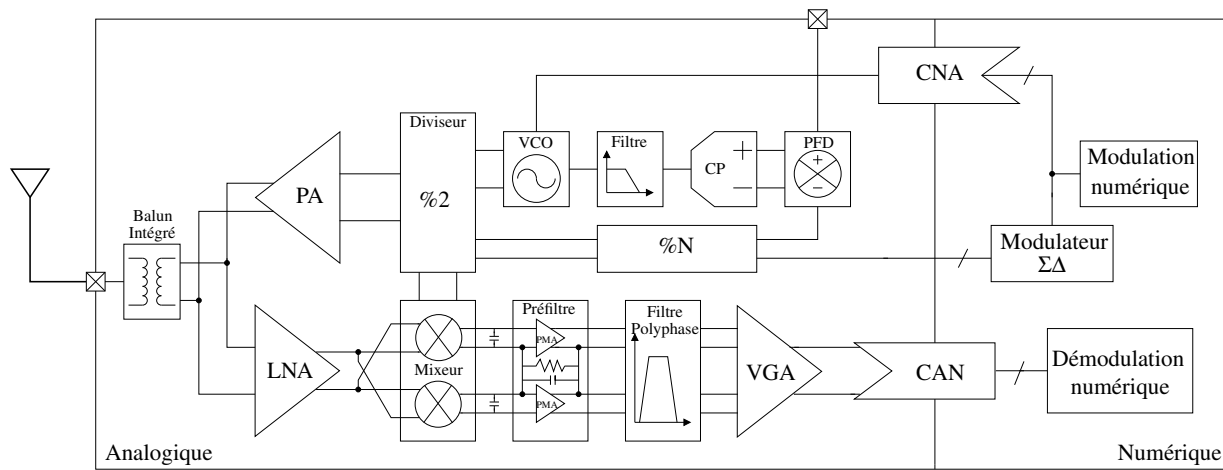


FIGURE 2.5: Exemple détaillé d'une unité de transmission composée d'une partie analogique (chaîne RF d'émission/réception) et d'une partie numérique (bande de base).

C'est l'unité la plus consommatrice en énergie. La quantité d'énergie nécessaire pour assurer la communication dépend de la distance entre l'émetteur et le récepteur ainsi que du nombre de nœuds pouvant relayer l'information. Chaque technologie sans fil a ses propres caractéristiques telles que la portée de communication (entre 10 et 100m), le débit et la consommation énergétique.

La gestion du réveil du module RF est un paramètre important pour l'optimisation de l'autonomie. En effet, le temps d'établissement (temps nécessaire à la remise en route du module et pendant lequel les données ne peuvent pas être transmises) peut notamment être conséquent. Il est donc nécessaire de bien gérer ce temps d'établissement afin de ne pas gaspiller inutilement l'énergie embarquée.

2.2.2.4 Unité de gestion de l'alimentation

L'unité de gestion de l'alimentation doit fournir l'énergie nécessaire au fonctionnement de l'ensemble du nœud. Elle est constituée généralement d'une source d'énergie (stockage et/ou récupération) et de circuits analogiques de régulation et de contrôle faisant l'interface entre la source et les circuits à alimenter. Ces circuits sont décrits dans le paragraphe 2.4. Concernant les sources d'énergie, il en existe différents types [5]. Les sources les plus utilisées sont les batteries et les micro-générateurs.

Batterie : Forme dominante de stockage d'énergie pour l'alimentation des circuits électroniques depuis de nombreuses années, l'utilisation des batteries a été naturellement considérée pour les applications de réseaux de capteurs. L'intérêt principal de ce type de composant est leur densité d'énergie disponible.

De nos jours, les batteries rechargeables sont communément utilisées dans les produits électroniques tels que les téléphones portables, les tablettes et les ordinateurs portables. Le Tableau 2.1 montre que la quantité d'énergie disponible est moindre que pour les batteries simples : ces sources d'énergie constituent donc une source secondaire d'énergie. Dans le cas de réseaux de capteurs, l'utilisation de ce type de batterie nécessite l'utilisation d'une autre source d'énergie afin de pouvoir les recharger. La combinaison de ces deux sources nécessite la mise en place d'une électronique de

contrôle qui va contribuer à augmenter la puissance consommée par le nœud. Enfin, il faut savoir que la densité d'énergie de ces batteries n'est pas fixe et diminue dans le temps (décharge et vieillissement).

Type	Densité d'énergie (J/cm ³)	Rechargeable
Zinc-air	3780	non
Lithium	2880	non
NiMHd	860	oui
NiCd	650	oui

TABLE 2.1: Exemple de batteries.

Micro-générateurs : La récupération d'énergie est une méthode envisagée afin de pouvoir recharger les batteries ou les super-capacités. Dans l'optique d'augmenter l'autonomie tout en miniaturisant toujours plus, ces nouveaux micro-générateurs permettant de récupérer l'énergie ambiante (énergie solaire, vibrations, vent...) sont en cours de recherche et développement. Le Tableau 2.2 présente une synthèse des différentes sources d'énergie existantes ou en cours de développement [5].

Source d'énergie	$\mu\text{W}/\text{cm}^3$	J/cm ³	$\mu\text{W}/\text{cm}^3/\text{an}$	Stockage supplémentaire	Régulation de tension
Pile	-	2880	90	non	non
Batterie rechargeable	-	1080	34	-	non
Micro-pile à combustible	-	3500	110	peut-être	peut-être
Super-capacité	-	50-100	1.6-3.2	non	oui
Source radioactive	0.52	1640	0.52	oui	oui
Solaire (ext.)	15000*	-	-	oui	oui
Solaire (int.)	10*	-	-	oui	oui
Vent	380**	-	-	oui	oui
Vibration	200	-	-	oui	oui

* en $\mu\text{W}/\text{cm}^2$

** à une vitesse de 5m/s

TABLE 2.2: Comparaison de différentes sources d'énergie possibles pour les réseaux de capteurs.

Cependant, ces méthodes de récupération d'énergie nécessitent un moyen de stockage et une électronique assez complexe afin de mettre en forme l'énergie récupérée et de la stocker.

2.2.3 Considérations à prendre en compte : autonomie et miniaturisation

2.2.3.1 Un nœud très faible consommation

Dans la perspective de déployer un réseau (pour des applications industrielles par exemple), la durée de vie des nœuds est mesurée. Pour éviter le coût d'un remplacement de batterie, une batterie doit pouvoir tenir la charge entre un et dix ans. Si on considère les piles de type AA, leur capacité à fournir du courant est de $250\mu\text{A}$ (soit environ 12000J). Pour la technologie lithium, le courant de fuite interne est si faible qu'il est possible d'alimenter une charge avec $25\mu\text{A}$ durant 10 ans. La technologie alcaline a une durée de vie plus faible. La consommation moyenne d'un nœud doit donc être comprise entre 10 et $100\mu\text{W}$ ou bien quelques joules par jour.

Atteindre une consommation moyenne aussi faible requiert un cycle d'utilisation de l'ordre de 1% du temps global. Cela implique que les circuits puissent passer d'un état en fonctionnement à un état éteint (avec un faible courant de fuite) rapidement. Pour des cycles d'utilisation très faibles, le courant de fuite dans les circuits numériques et en particulier dans les mémoires RAM domine le budget énergétique du système. Le courant de fuite devient donc une limite sur la consommation moyenne du nœud et un problème dans la miniaturisation des circuits. Par exemple, en technologie CMOS 130nm, le courant de fuite est de l'ordre de $1\mu\text{W}$ par kilobyte pour une mémoire RAM standard. La technologie SOI (« Silicon-On-Insulator ») propose une réduction considérable des courants de fuite et pourrait être une alternative aux technologies standards.

En plus des problèmes des courants de fuite, les différentes configurations et les mises en réseau de nœuds de plus en plus nombreux et complexes entraînent de nouvelles problématiques pour la conception d'algorithmes et de logiciels afin d'optimiser les cycles d'utilisation et de synchronisation. En effet, éteindre 99% du temps le nœud est relativement simple mais savoir exactement quand on doit le rallumer ne l'est pas.

Des fonctions constituant un nœud de réseau de capteurs sont donc développées par les fabricants de semi-conducteur. Ces circuits sont optimisés afin d'augmenter la durée de vie des batteries et/ou réduire les coûts et la surface silicium tout en minimisant les consommations des blocs. Le Tableau 2.3 compare la consommation énergétique de différentes fonctions constituant un nœud. Chacune des fonctions choisies est illustrée par deux références, une à l'état-de-l'art académique et l'autre à l'état-de-l'art industriel. On remarque que le coût énergétique d'une communication RF est prépondérant. C'est pourquoi une étude énergétique du module de communication est essentielle (paragraphe 2.3) et permet d'optimiser l'énergie nécessaire par bit transféré pour un module standard.

2.2.3.2 Interface batterie/circuits

Une autre problématique concerne l'interface entre la batterie et les circuits RF très faible consommation. Dans les technologies CMOS actuelles, il est impossible de connecter directement une batterie aux composants du nœud à cause de la faible tenue en tension de ces technologies. En effet, une batterie de type lithium fournit une tension d'alimentation de l'ordre de 3V alors que la tenue en

Composants	Publication			Produit			Réf.	
	Tension d'alimentation	Techno.	Energie nécessaire	Tension d'alimentation	Techno.	Energie nécessaire	Publi.	Produit
CAN 8bits	1V	0.25µm	0.031nJ	2.7V	-	13.5nJ	[6]	[7]
Microprocesseur 8bits	1V	0.25µm	0.012nJ	1.8V	-	0.2nJ	[6]	[8]
DSP 8bits	1.5V	0.6µm	80nJ	1.05V	0.09µm	2500nJ	[9]	[10]
Emetteur-récepteur RF codé sur 8bits	0.4V	0.13µm	32nJ	1.6V	0.18µm	2500nJ	[11]	[12]

TABLE 2.3: Coût énergétique de différents éléments constituant un nœud.

tension des nouvelles technologies ne dépasse pas 1.8V. C'est encore plus flagrant pour les parties numériques, qui fonctionnent autour du MHz et qui peuvent être alimentées autour de 1V.

La Figure 2.6 résume les domaines de tension des différentes piles/batteries commercialisées ainsi que des éléments constituant un nœud. Une conversion DC/DC efficace est donc nécessaire afin de convertir l'alimentation fournie par la batterie (environ 3V) vers une tension en sortie variant entre 0.5 et 1.6V pour alimenter les circuits.

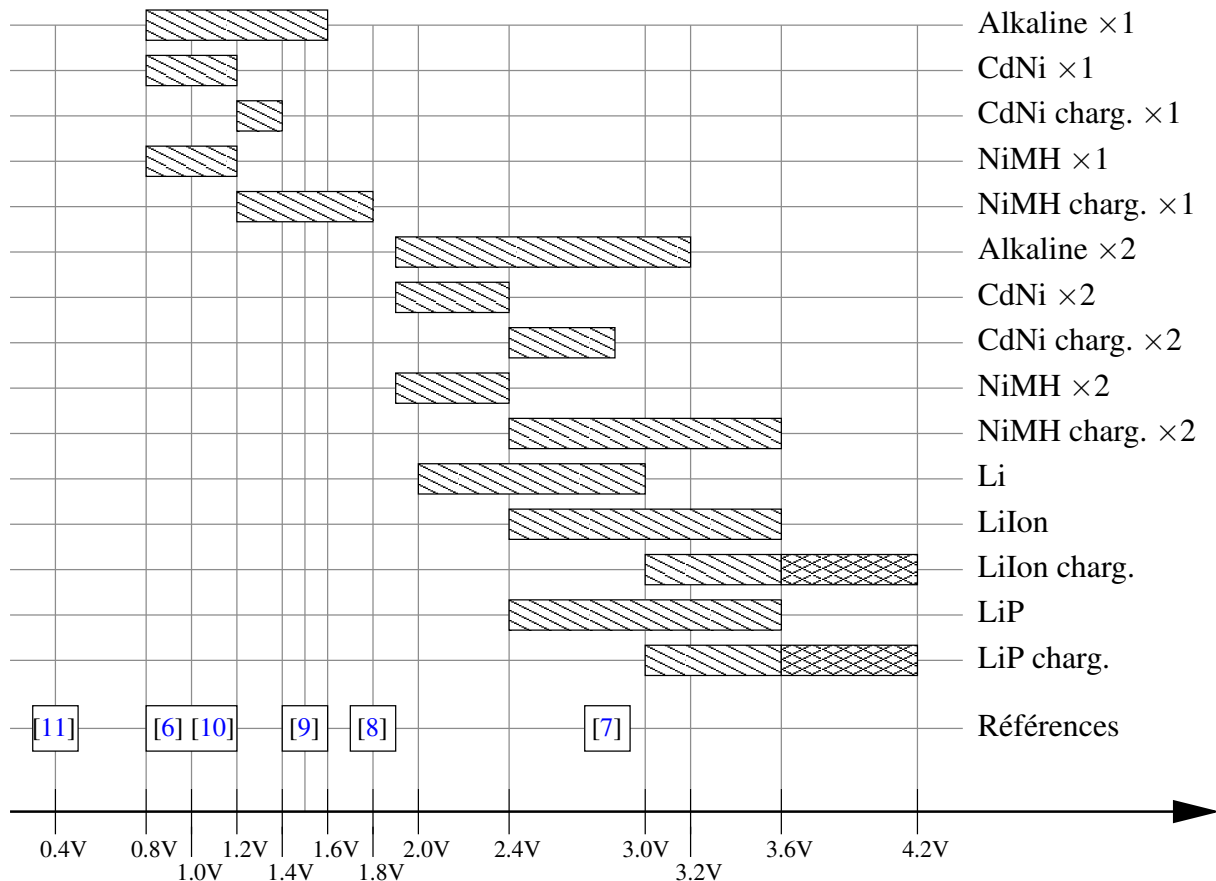


FIGURE 2.6: Domaine d'alimentation des différentes piles/batteries et des éléments constituant un nœud.

2.2.3.3 Co-intégration numérique, analogique et RF

Dans le but de réduire la taille d'un nœud de réseau (et par conséquent son coût global), il devient nécessaire de proposer des solutions où tous les éléments sont complètement intégrés. La faisabilité d'un nœud sans composant externe dépend de l'intégration complète de la partie numérique, analogique et RF. Cette intégration quasi-complète est possible aujourd'hui grâce aux techniques d'isolation entre la partie numérique et analogique/RF [13] et à l'intégration d'éléments passifs. De nos jours, de nombreux fabricants de semi-conducteur proposent des capacités hautes densités et des niveaux de métaux dédiés aux inductances. Grâce à ces innovations, les nouveaux émetteurs-récepteurs évoluent vers une intégration complète.

Cependant, quelques éléments ne sont toujours pas intégrables tels que l'antenne et la référence d'horloge.

En effet, l'antenne est difficilement intégrable à cause de ses dimensions optimales qui dépendent de la longueur d'onde du signal RF. Travaillant à quelques GHz, il est difficile d'intégrer des antennes de l'ordre de quelques centimètres. Ces dimensions optimales peuvent être réduites en utilisant différentes techniques [14] : augmentation de la fréquence RF, utilisation des éléments rayonnants, changement de la géométrie... Ces techniques auront comme conséquence d'augmenter les pertes par propagation ou de réduire l'efficacité de rayonnement. Les compromis actuels en termes de coût/-taille/rendement consistent à utiliser des micro-antennes mais non intégrables.

La référence d'horloge est l'autre élément de l'émetteur-récepteur non intégrable. Généralement, un oscillateur à résonateur de type quartz est utilisé pour synthétiser la fréquence du signal nécessaire pour l'émission et la réception. La géométrie du résonateur est contrôlée précisément afin de créer une résonance mécanique stable sur une large bande de température. Il n'existe pas d'autres composants conventionnels qui offrent une telle précision. Cependant, des études sur les résonateurs MEMS sont en cours : leur faible coût et leur fort potentiel d'intégration permettraient de concurrencer les oscillateurs à quartz. Actuellement, la stabilité en température des résonateurs MEMS n'est pas aussi bonne que celle des oscillateurs à quartz, mais il existe des méthodes de compensation en température qui permettent de limiter ce problème. À terme, les composants MEMS pourront sans doute remplacer les oscillateurs mais également les filtres, les mixeurs...

L'unité de gestion de l'alimentation possède également des éléments passifs qui ne peuvent pas être intégrés. Les convertisseurs DC/DC ont besoin de capacités ou d'inductances de fortes valeurs afin de réguler correctement la tension de sortie, d'être stable et de filtrer des ondulations non désirées. La parade consiste ici à utiliser des architectures innovantes tels que des régulateurs linéaires de type LDO « nocap ». Ce type de régulateur ne présente pas de capacité de découplage externe. L'inconvénient est qu'il présente un nœud d'alimentation haute impédance en fréquence aux différents blocs qu'il alimente. Or, d'après la Figure 2.4, l'unité de gestion de l'alimentation est l'unique module qui interagit avec tous les circuits du nœud. Ainsi, l'utilisation de LDO « nocap » aura comme conséquence de propager des bruits issus de blocs bruyants (blocs numériques par exemple) vers des blocs sensibles (analogiques et RF) par le chemin d'alimentation des régulateurs.

Le choix d'une stratégie d'alimentation optimisée devient donc primordial dans la conception d'un système-sur-puce où des parties numériques, analogiques et RF cohabitent. Tous les blocs analogiques sensibles doivent être isolés du bruit généré par les parties digitales (microcontrôleur, DSP...) pour assurer le fonctionnement du système.

2.3 Etude énergétique du module de communication

D'après les publications des solutions d'émetteur-récepteur [11] [15] [16] pour réseau de capteurs sans fil, les circuits servant à la communication sans fil dominent largement le budget énergétique du système complet. Les travaux de [17] permettent de mettre en évidence la part prépondérante de la RF sur la consommation globale et donc sur l'autonomie du système. La Figure 2.7 présente la répartition de la consommation en fonction des différents éléments du module RF CC1100 [18] de

chez Texas Instrument. Nous constatons que la consommation du module RF représente 50% de la consommation globale.

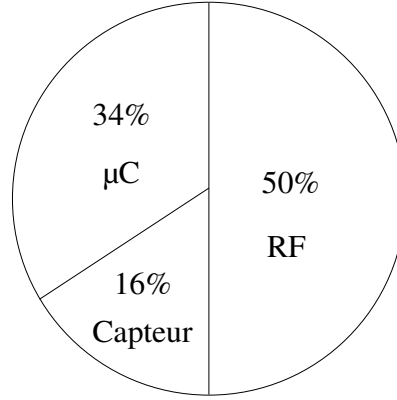


FIGURE 2.7: Répartition de la consommation en fonction des différents éléments du module RF CC1100.

L'autonomie est la problématique principale de ce type d'application. Une des voies à explorer pour augmenter l'autonomie des nœuds est d'optimiser la consommation de la chaîne RF. Il est donc important d'estimer le besoin énergétique de la chaîne RF au vue des applications visées afin d'adapter la stratégie d'alimentation (éviter par exemple le surdimensionnement des alimentations).

Pour estimer les besoins énergétiques de l'émetteur-récepteur, il faut déterminer le minimum de puissance requis pour une transmission de donnée. Cette puissance dépend des performances du module communicant mais également de la distance entre deux nœuds, du type de modulation ou encore des pertes.

Dans un premier temps, on considère la transmission d'un seul bit d'un nœud vers un autre avec une distance r , à une fréquence porteuse f et un débit binaire b . Pour déterminer la puissance de transmission minimale nécessaire ($P_{Tx,min}$), nous devons déterminer premièrement comment la puissance du signal diminue avec la distance entre les nœuds et ensuite déterminer la puissance minimale détectable par le récepteur (P_{MDS}). Si un rayon maximal de communication (r_{max}) doit être assuré, alors $P_{Tx,min} \times L_{path}$ doit être plus grand que P_{MDS} avec L_{path} représentant les pertes dues à la propagation.

2.3.1 Pertes par propagation : L_{path}

La théorie électromagnétique montre que la force d'un signal émis est atténuée avec l'augmentation de la distance selon l'équation de Friis [19] :

$$L_{path} = \left(\frac{4\pi r}{\lambda} \right)^2 \quad (2.1)$$

L_{path} est l'atténuation due à la propagation et λ est la longueur d'onde à la fréquence souhaitée ($\lambda=12.5\text{cm}$ à $f=2.4\text{GHz}$). L'équation de Friis s'applique dans un espace libre. On suppose également que les antennes sont correctement alignées en termes de polarisation du champ. Dans un environnement non idéal, les pertes sont plus complexes.

Une modification de l'équation de Friis permet d'approximer les pertes par propagation dans un environnement non idéal tel qu'un environnement intérieur [20] :

$$L_{path} = \left(\frac{4\pi r_0}{\lambda} \right)^2 \cdot \left(\frac{r}{r_0} \right)^n \quad (2.2)$$

Dans ce modèle, r_0 est la distance de référence ($r_0=1m$ est souvent utilisée) à partir de laquelle l'équation de Friis ne permet plus de modéliser les pertes de transmission à cause des obstacles et des interférences. L'exposant n caractérise l'atténuation et il est mesuré pour différentes conditions de propagation. Pour des transmissions de faible distance dans un environnement intérieur pour des fréquences de quelques GHz, $n=4$ est un choix qui reflète correctement la réalité [20] [21].

2.3.2 Puissance minimale de signal détectable : P_{MDS}

Tout récepteur est soumis à un bruit thermique (P_N) dû à l'agitation électronique et qui est directement proportionnel à la température exprimée en kelvins (T) mais aussi à la bande de fréquence considérée (BW). On peut le calculer à l'aide de la formule suivante :

$$P_N = k \cdot T \cdot BW \quad (2.3)$$

où k est la constante de Boltzmann.

La puissance minimale (P_{MDS}) d'un signal détectable par un récepteur est définie par :

$$P_{MDS} = P_N \cdot (NF \cdot SNR_{min}) \quad (2.4)$$

$$P_{MDS} = k \cdot T \cdot BW \cdot NF \cdot SNR_{min} \quad (2.5)$$

avec P_N la puissance du bruit thermique, NF la figure de bruit du récepteur et SNR le rapport signal à bruit. Le terme SNR_{min} décrit le rapport minimal nécessaire entre la puissance du signal et la puissance de bruit qui doit être maintenu pour détecter correctement le signal avec une certaine probabilité. Par exemple, pour obtenir moins d'une erreur sur 1000 bits (ou $BER=10^{-3}$), un SNR_{min} minimum théorique de 12dB est nécessaire avec une modulation de type FSK [22].

2.3.3 Energie par bit minimum pour une transmission : $E_{bit,Tx}$

La marge de liaison (L_M) quantifie la perte maximale de transmission entre un émetteur et un récepteur qui peut être tolérée afin de maintenir une qualité de transmission. L_M correspond au rapport entre P_{Tx} et P_{MDS} . Pour un rayon de communication maximal (r_{max}), L_M est égale à L_{path} . Ainsi, connaissant r_{max} , la puissance de transmission minimale nécessaire ($P_{Tx,min}$) correspond au produit de L_{path} par P_{MDS} .

$$P_{Tx,min} = L_{path} \cdot P_{MDS} \quad (2.6)$$

$$P_{Tx,min} = \left(\frac{4\pi r_0}{\lambda} \right)^2 \cdot \left(\frac{r}{r_0} \right)^n \cdot k \cdot T \cdot BW \cdot NF \cdot SNR_{min} \quad (2.7)$$

Afin de convertir la puissance de transmission minimale nécessaire en énergie par bit, on pose la relation entre le débit binaire et la largeur de bande en entrée du récepteur. Le débit binaire est généralement proportionnel à la largeur de bande en entrée et comme il dépend de la modulation utilisée, le débit binaire peut être plus grand ou plus petit que la largeur de bande. Pour simplifier la modélisation, on fait l'approximation que le débit binaire est égal à la largeur de bande. On peut donc déterminer l'énergie par bit minimum pour une transmission ($E_{bit,Tx}$) :

$$E_{bit,Tx} = \frac{P_{Tx,min}}{\text{débit binaire}} \quad (2.8)$$

$$E_{bit,Tx} \approx \left(\frac{4\pi r_0}{\lambda} \right)^2 \cdot \left(\frac{r}{r_0} \right)^n \cdot k \cdot T \cdot NF \cdot SNR_{min} \quad (2.9)$$

Pour calculer le minimum $E_{bit,Tx}$, on émet l'hypothèse que la station de base est idéale et le récepteur de type FSK ($NF=1$ et $SNR_{min}=12\text{dB}$) localisé à r_{max} mètres. On choisit $n=4$, $r_0=1\text{m}$, $r_{max}=20\text{m}$ et une fréquence porteuse à 2.4GHz . L'énergie par bit minimum pour une transmission est de 133pJ , ce qui représente l'énergie minimale nécessaire pour une transmission pour atteindre un récepteur idéal. Dans ce scénario, si un débit binaire de 1Mb/s est utilisé, seulement $133\mu\text{W}$ doit être transmis pour maintenir une transmission entre un récepteur et un émetteur à une distance de 20m .

2.3.4 Les surconsommations

Lors de l'étude du coût énergétique par bit d'un module de communication, la consommation en puissance de l'émetteur et du récepteur doivent être inclus. Cette consommation d'énergie s'ajoute à l'énergie à émettre calculée précédemment et s'apparente donc à une surconsommation. Les modèles des blocs de l'émetteur-récepteur doivent prendre en compte ces surconsommations ainsi que les non-idéalités des SNR, NF et rendement de l'amplificateur de puissance. La Figure 2.8 montre un bloc diagramme d'un émetteur-récepteur conventionnel de type « faible FI » avec les différents blocs alimentés.

En dehors du PA et du LNA, les blocs encadrés représentent des sources de surconsommation. Dans l'émetteur et le récepteur, une grande partie de la surconsommation est due à la génération d'un signal RF stable à partir du VCO. D'autres sources de surconsommation sont les mixeurs pour la modulation, les CAN, les CNA et les filtres passe-bas. Les surconsommations du VCO et des mixeurs sont pratiquement indépendantes de la bande passante contrairement aux convertisseurs et aux filtres. De nombreuses publications ([15] - [23]) font part de ces surconsommations variant entre 0.17 et 0.9mW en réception et variant entre 0.3 et 7mW en émission pour un débit binaire de 300kb/s et inférieur.

Par contre, augmenter la puissance du PA ou du LNA n'augmente pas directement la marge de

liaison. En général, augmenter la puissance du LNA rend l'amplificateur plus sensible en diminuant son NF. D'autre part, la puissance en sortie d'un PA (P_{OUT}) est proportionnelle à la puissance consommée sur une large plage de puissance jusqu'à la compression. La puissance de sortie d'un PA peut être modélisée par le produit de son rendement (e_{PA}) par sa puissance consommée (P_{PA}) [24].

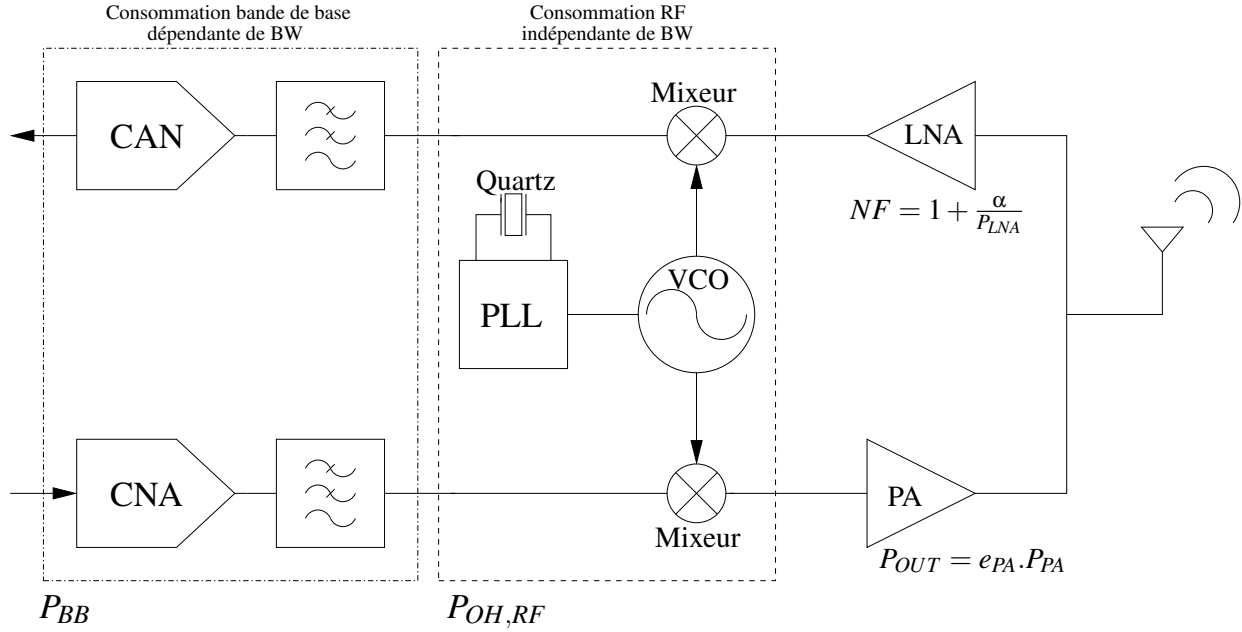


FIGURE 2.8: Bloc diagramme simplifié d'un émetteur-récepteur « faible FI ».

2.3.5 Optimisation de la bande passante pour minimiser l'énergie par bit

La Figure 2.9 montre une représentation graphique d'un compromis puissance/performance pour un simple émetteur-récepteur. Les valeurs utilisées sont rapportées dans [15]. Des modèles simplifiés de la puissance émise, de la sensibilité et de la puissance consommée sont utilisés pour illustrer les compromis et définir des objectifs de consommation énergétique.

Les équations décrivant le modèle sont données ci-dessous. P_{OH} représente la puissance totale liée à toutes les surconsommations de l'émetteur-récepteur, P_{MDS} la puissance minimale d'un signal détectable par un récepteur et P_{OUT} la puissance en sortie du PA. Le terme ς dépend de l'impédance de l'antenne, de la tension d'alimentation et d'autres paramètres circuits [24]. Il est fixé à 2mW pour l'émetteur-récepteur de [15].

$$P_{OH} = P_{OH,RF} + P_{BB} \cdot \left(\frac{1 + BW}{BW_0} \right) \quad (2.10)$$

$$P_{MDS} = k \cdot T \cdot BW \cdot SNR_{min} \cdot \left(1 + \frac{\varsigma}{P_{LNA}} \right) \quad (2.11)$$

$$P_{OUT} = e_{PA} \cdot P_{PA} \quad (2.12)$$

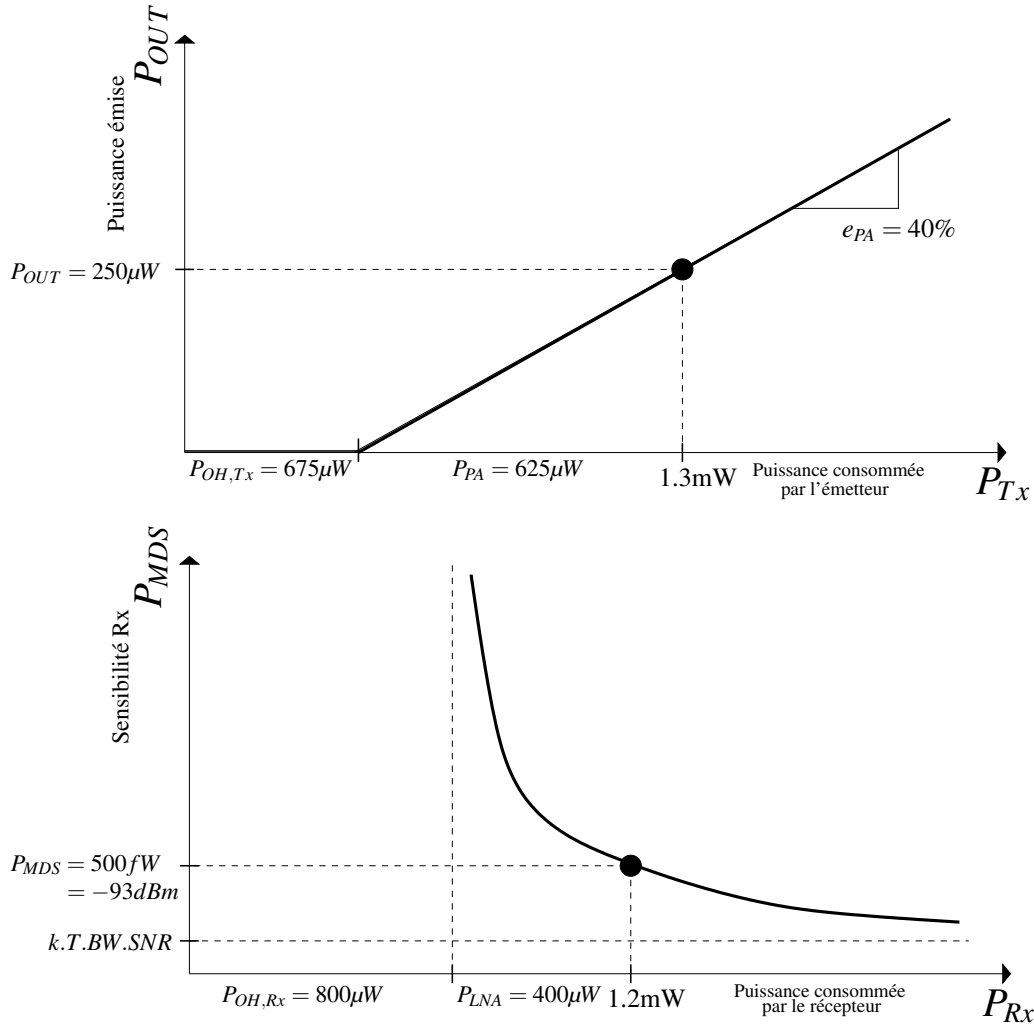


FIGURE 2.9: Représentation graphique d'un compromis puissance/performance pour un simple émetteur-récepteur.

Si on se fixe un budget de puissance pour une transmission, comment distribuer la puissance entre le PA et le LNA pour maximiser la marge de liaison ? En divisant (2.12) par (2.11), on obtient la marge de liaison en fonction de la consommation de puissance du PA et du LNA. Le but est de maximiser la marge de liaison quand la somme de la puissance du PA et du LNA est constante et on obtient donc :

$$L_M = \frac{P_{OUT}}{P_{MDS}} \quad (2.13)$$

$$\max_{P_{PA} + P_{LNA} = Cst} \{L_M\} \rightarrow \frac{dL_M}{d(P_{LNA})} = 0 \quad (2.14)$$

$$\rightarrow P_{PA} = \frac{P_{LNA}^2}{\varsigma} + P_{LNA} \quad (2.15)$$

Ce rapport est indépendant de l'exposant n se trouvant dans l'équation des pertes par propagation.

De plus, en fixant $L_M=L_{path}$ et en utilisant (2.11) et (2.12), on peut faire le lien entre le rayon de communication (r_{max}), les consommations en puissance de l'émetteur-récepteur et le débit binaire :

$$r_{max} = r_0 \cdot \left(\frac{\lambda}{4\pi r_0} \right)^{\frac{2}{n}} \cdot \left(\frac{e_{PA} \cdot P_{PA}}{k \cdot T \cdot BW \cdot SNR_{min}} \cdot \frac{P_{LNA}}{P_{LNA} + \varsigma} \right)^{\frac{1}{n}} \quad (2.16)$$

En utilisant (2.15), on peut faire le lien entre P_{LNA} et P_{PA} :

$$P_{LNA,opt} = \left(\frac{r_{max}}{r_0} \right)^{\frac{n}{2}} \cdot \left(\frac{4\pi r_0}{\lambda} \right) \cdot \left(\frac{\varsigma}{e_{PA}} \cdot k \cdot T \cdot BW \cdot SNR_{min} \right)^{\frac{1}{2}} \quad (2.17)$$

L'énergie minimum par bit en fonction de la largeur de bande correspond à la somme de P_{OH} , P_{LNA} et P_{PA} divisée par la largeur de bande BW.

$$E_{bit,min} = \frac{1}{BW} \cdot (P_{OH} + P_{LNA,opt} + P_{PA,opt}) \quad (2.18)$$

$$E_{bit,min} = \frac{1}{BW} \cdot \left(P_{OH} + \frac{P_{LNA,opt}^2}{\varsigma} + 2 \cdot P_{LNA,opt} \right) \quad (2.19)$$

P_{OH} , P_{LNA} et P_{PA} sont définies par les équations (2.10), (2.15) et (2.17) respectivement. P_{OH} , P_{LNA} et P_{PA} sont tracées dans la Figure 2.10 en fonction de la largeur de bande pour une marge de liaison constante de 201dB (ou $r_{max}=25m$ avec $n=4$, $r_0=1m$ et une fréquence de 900MHz). Les valeurs pour ς , e_{PA} , P_{OH} et SNR_{min} sont extraites de la publication [15]. D'après l'équation (2.19), l'intérêt d'augmenter la bande passante est de diminuer l'énergie nécessaire à transmettre un bit tant que les puissances nécessaires pour le PA et le LNA n'excèdent pas les surconsommations $P_{OH,RF}$.

L'équation (2.19) ignore le coût énergétique dû à l'initialisation de l'émetteur-récepteur et à sa synchronisation avec le reste du réseau. Chaque fois qu'un nœud se réveille pour transmettre ou recevoir des données, il doit d'abord allumer tous les circuits analogiques nécessaires pour la bande de base, verrouiller le VCO à la bonne fréquence avec la boucle à verrouillage de phase et faire une synchronisation avec les capteurs voisins. Le but de la phase ([26] - [27]) est d'être sûre que le récepteur est en phase d'écoute quand un émetteur envoie ses paquets.

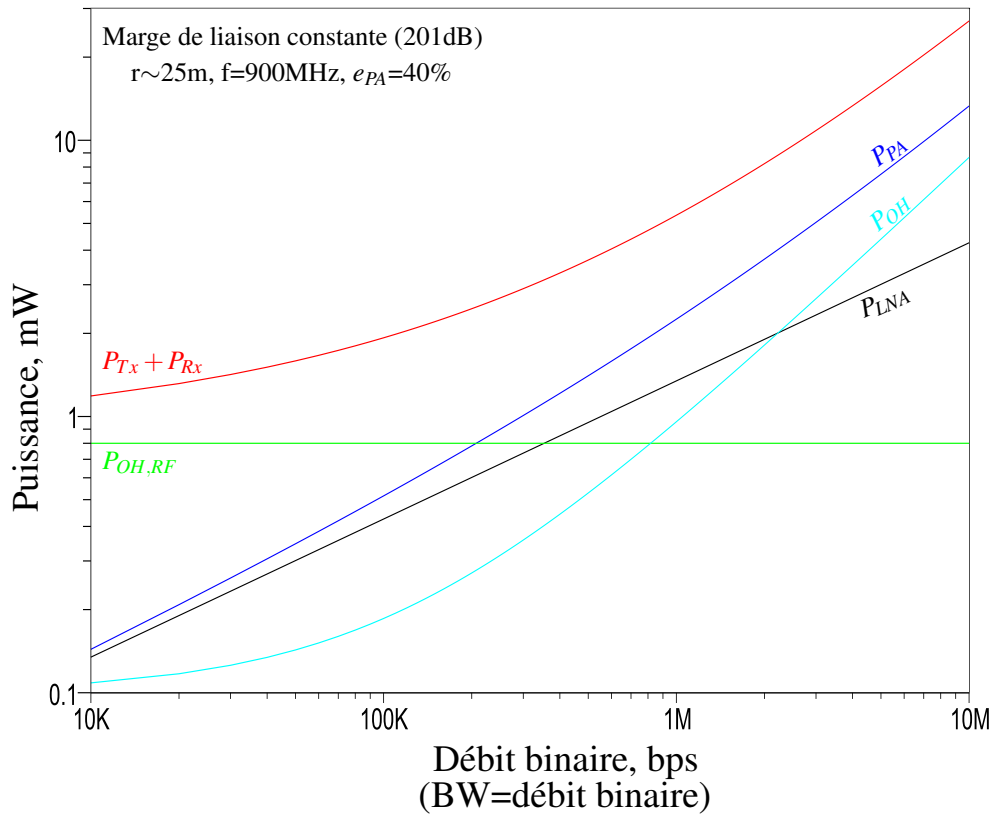


FIGURE 2.10: Distribution de la puissance de l'émetteur-récepteur versus la bande passante pour une marge de liaison fixée.

Une fois que l'émetteur-récepteur est en fonctionnement, un préambule de données est envoyé qui permet de définir certains paramètres comme la séquence de démarrage, la longueur du paquet, l'encodage... Ces fonctions sont surtout utilisées lors de l'établissement de la connexion au canal ou lors de la commutation de canaux. Le standard 802.15.4 requiert 11 bytes pour une trame d'acquittement (ACK) sans destinataire et sans aucune sécurité. Pour une transmission d'un message avec un byte de cargaison en garantissant l'intégrité des données envoyées dans ce même standard, le paquet serait constitué de 20 bytes séparés d'une trame d'acquittement de 11 bytes par 6 bytes requis par le standard. Les radios qui communiquent devront donc être allumées durant une durée équivalente à 37 bytes pour transmettre un seul byte de cargaison, ou soit moins de 3% de rendement cargaison sur paquet total. En utilisant la longueur maximale de cargaison pour un paquet, ce rendement peut atteindre les 76%.

Pendant la synchronisation, quasiment tous les circuits de l'émetteur-récepteur consomment de la puissance. Le coût de l'initialisation est donc négligeable si le temps dépensé pour envoyer les données est beaucoup plus grand que le temps nécessaire pour le démarrage, la synchronisation et l'envoi du préambule.

Pour incorporer cet effet dans l'équation de l'énergie nécessaire pour transmettre un bit, deux paramètres supplémentaires sont introduits : le nombre moyen de bit de données par transmission

(N_{avg}) ainsi que le temps (t_{init}) nécessaire pour l'initialisation et la synchronisation de l'émetteur-récepteur. Pour l'illustration, on choisit $N_{avg}=1000\text{bits}$ et $t_{init}=1\text{ms}$. On émet l'hypothèse que tous les circuits de l'émetteur-récepteur consomment durant la synchronisation, le coût énergétique par bit devient donc le produit de la puissance totale consommée par le temps de démarrage divisé par le nombre moyen de bit de données par transmission :

$$E_{bit,init} = (P_{OH} + P_{LNA} + P_{PA}) \cdot \left(\frac{t_{init}}{N_{avg}} \right) \quad (2.20)$$

On en déduit que l'énergie totale par bit ($E_{bit,tot}$), incluant l'initialisation et la transmission, est la somme de (2.19) et (2.20). $E_{bit,tot}$ est minimisée quand l'énergie dépensée durant l'initialisation et la transmission est égale ou équivalente (voir Figure 2.11). On connaît donc la largeur de bande optimale :

$$BW_{opt} = \frac{N_{avg}}{t_{init}} \quad (2.21)$$

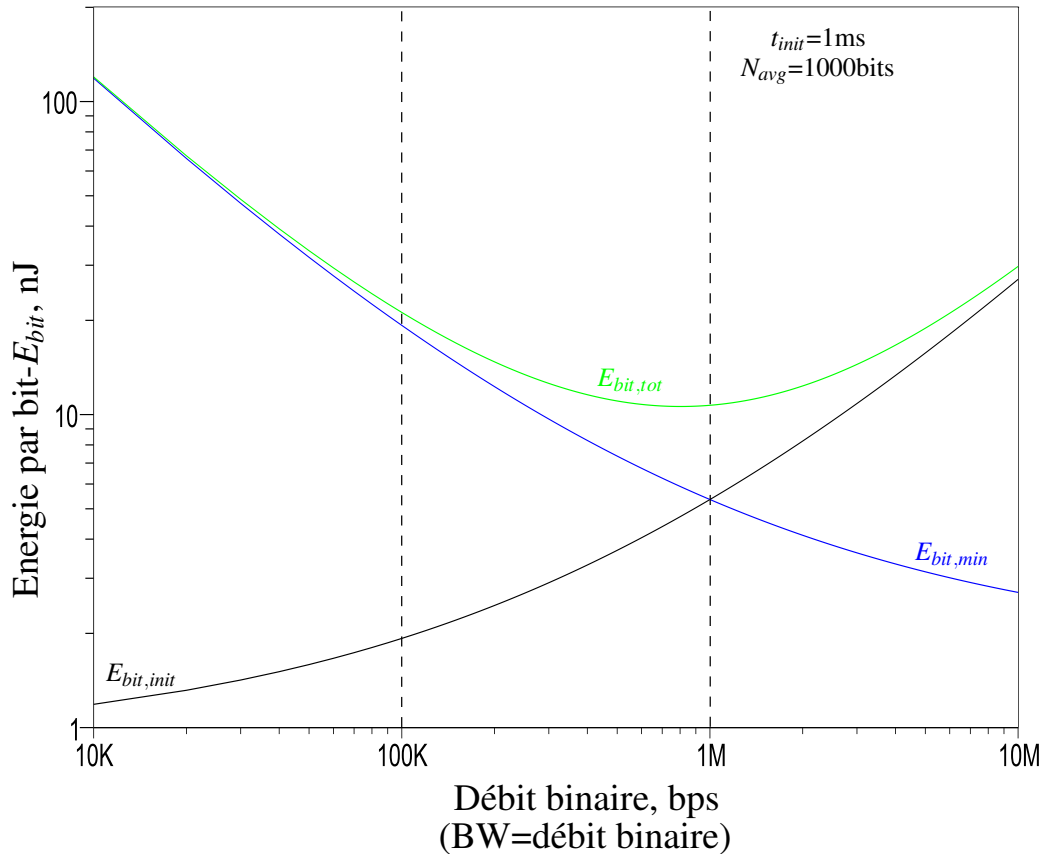


FIGURE 2.11: Energie par bit versus la bande passante pour une marge de liaison fixée.

2.3.6 Conclusion

D'après cette étude, il paraît évident qu'un SoC RF très faible consommation adapté à un réseau de capteurs sans fil incluant une transmission sécurisée à une centaine de kilobits par seconde sur une distance d'une dizaine de mètres, en intégrant tous les capteurs et en utilisant des convertisseurs à plus de 10 bits ne peut pas consommer moins d'1mW au lieu de quelques mW actuellement. S'approcher de cette consommation minimum serait une énorme avancée en termes d'autonomie. De plus, la gestion des nœuds de capteur dans un réseau permet de les faire fonctionner pendant moins d'1% du cycle d'utilisation de la partie radio [28]. Cela permettrait donc de réduire la consommation moyenne entre 1 et 10 μ W. Ainsi, à des niveaux aussi faibles de puissance, il serait envisageable de faire fonctionner un nœud pendant plus de dix ans sans changer sa batterie.

2.4 Etat-de-l'art des stratégies d'alimentation et définition du cadre et des spécifications du travail de thèse

Comme nous l'avons vu précédemment, la faisabilité d'un nœud d'un réseau de capteurs est limitée par les problèmes d'interférence entre les parties numériques, analogiques et radiofréquences ainsi que par le coût énergétique lié à la communication RF. Nous allons nous intéresser ici au problème du coût énergétique et voir comment gérer l'énergie disponible au mieux. Dans un premier temps, nous présentons les caractéristiques importantes d'une stratégie d'alimentation dédiée à des circuits compatibles ZigBee. Puis, un état-de-l'art des solutions déjà existantes va nous permettre une meilleure compréhension des techniques de gestion d'alimentation et pouvoir élaborer une méthodologie à mettre en place pour la conception de futurs produits. Ce travail nous permet finalement de fixer les bornes de l'étude et les objectifs à atteindre.

2.4.1 Les domaines de tension

Afin de limiter leur consommation, les nœuds d'un réseau de capteurs peuvent fonctionner dans différents modes [29]. La plupart du temps, ces nœuds sont éteints. Ils sont actifs seulement durant des courtes périodes, le temps d'envoyer/recevoir ou de traiter des données. Cette technique permet de réduire considérablement la consommation du nœud sans dégrader ses performances. Quatre principaux modes de fonctionnement peuvent être distingués :

- Le mode « power down », dans lequel seuls les blocs analogiques qui permettent le réveil du reste du circuit sont actifs. Dans ce mode, un réveil peut être provoqué uniquement par une source externe comme un microcontrôleur par exemple.
- Le mode « deep sleep », dans lequel la gestion analogique de l'alimentation incluant une horloge temps réel et une petite partie numérique sont actives. Le système peut sortir de ce mode après un certain temps défini au préalable correspondant à un nombre défini de cycle de l'horloge temps réel (HTR). Un signal externe peut également provoquer son réveil.

- Le mode « idle », dans lequel tout le système est alimenté. Dans ce mode, l'émetteur-récepteur est à l'écoute d'un signal provenant d'une station de base ou d'un autre nœud du réseau pour l'activer. Le système peut également se réveiller après un nombre défini de cycles de l'oscillateur quartz. Un réveil dans ce mode consomme moins comparé à celui du mode « deep sleep ».
- Le mode « actif », dans lequel l'émetteur-récepteur reçoit ou transmet des données.

Le réveil du système de gestion de l'alimentation est sensible à différents événements (Ev). Ils peuvent être générés par le module de détection de la batterie ou par un signal externe. Ce signal externe peut être généré par le microcontrôleur ou par un capteur relié au nœud.

Le système complet est alimenté par une batterie ou un système de récupération d'énergie fournissant une tension V_{BAT} comprise entre 2V et 3.3V. Ce premier domaine d'alimentation, V_{BAT} , alimente les blocs du système de gestion de l'alimentation (détecteur batterie, contrôleur démarrage, bandgaps, régulateurs et oscillateur local) excepté l'horloge temps réel. Le second domaine d'alimentation, VDD_d , est une tension régulée alimentant le cœur du digital et l'horloge temps réel. Le troisième domaine d'alimentation, VDD_{rf} , fournit une tension régulée à l'émetteur-récepteur. Actuellement, les régulateurs linéaires de type « Low Drop Out (LDO) » sont connectés directement à la batterie afin d'alimenter les parties RF, analogiques et numériques [16] [30] [31]. Les avantages d'une telle solution sont la faible taille de ce genre de circuit et leur faible coût. Cependant, leur rendement énergétique peu élevé handicape sévèrement l'autonomie et donc le temps de vie de la batterie.

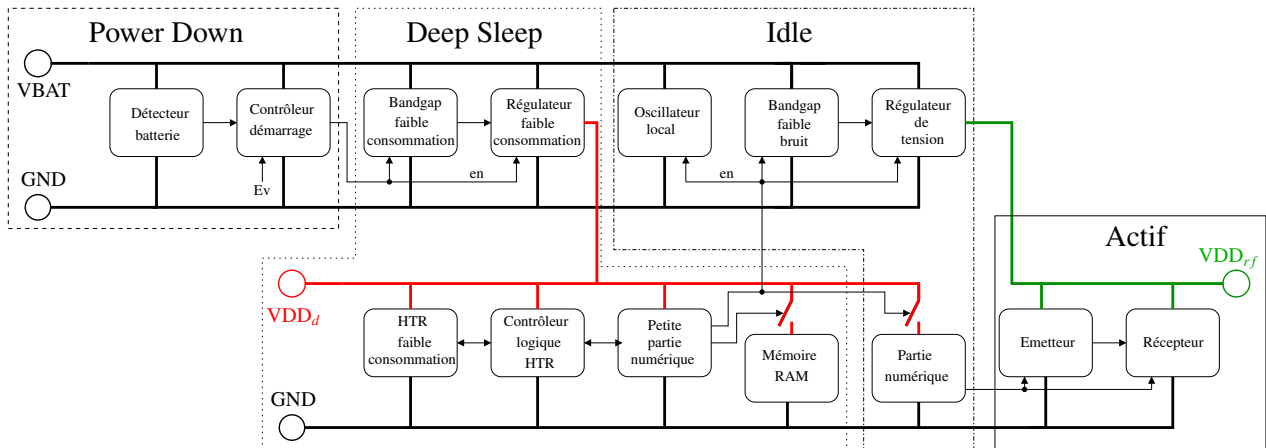


FIGURE 2.12: Vue globale des différents modes.

La Figure 2.12 illustre la distribution des différents domaines d'alimentation (V_{BAT} , VDD_d et VDD_{rf}) ainsi qu'une vue globale des différents modes de fonctionnement. Dans le mode « power down », géré par le contrôleur de démarrage, seulement deux blocs sont actifs. Le mode « deep sleep » est contrôlé par une partie du bloc numérique. Dans ce mode, le circuit de gestion de l'alimentation qui génère VDD_d ainsi qu'une petite partie du numérique sont actifs. Ainsi, le cœur du digital est divisé en deux parties localisées dans deux domaines d'alimentation et d'horloges différents. La partie active dans le mode « deep sleep » prend le contrôle du contrôleur de démarrage et son horloge est fournie par l'horloge temps réel. Dans le mode « idle », tout le numérique et tous les blocs analogiques

sont alimentés.

Dans le mode « power down », seulement deux blocs sont actifs : le module « détecteur de batterie » qui gère la tension de la batterie et le contrôleur de démarrage qui détecte des événements de réveil et initialise le processus de réveil. Si un événement est détecté, le contrôleur de démarrage active le bandgap faible consommation, le régulateur de tension faible consommation et l'horloge temps réel. Le bandgap génère une tension de référence pour le régulateur de tension qui alimente la petite partie numérique et l'horloge temps réel. Quand la tension de sortie du régulateur est stable, le contrôleur de démarrage active la partie numérique. Le système se trouve donc dans le mode « deep sleep ». La partie numérique active la mémoire RAM, le bandgap faible bruit, le régulateur de tension et l'oscillateur local. Quand la sortie de l'oscillateur est stable, le système se trouve dans le mode « idle » et l'autre partie du numérique contrôle le système. Cette approche de démarrage rend donc le système flexible et adaptable selon les applications visées.

La Figure 2.13 montre le module d'alimentation et le protocole associé. Il est constitué de nombreux blocs analogiques et comprend le module « détecteur de batterie » et le contrôleur de démarrage. Le bandgap faible consommation et le régulateur de tension associé fournissent une tension régulée à la partie numérique du système. L'horloge temps réel cadence le système dans les modes où l'oscillateur de référence est éteint. Un bandgap faible bruit avec le régulateur de tension à forte réjection de l'alimentation alimentent la partie émetteur-récepteur du système. L'alimentation du système est sensible à trois différents événements qui peuvent réveiller le système. Si la batterie ou le système de récupération d'énergie génèrent assez de puissance, le détecteur de batterie créera un événement (ALIM_OK). Un autre événement peut être généré par un capteur (CAPT). Le troisième réveil possible peut provenir du microcontrôleur (MICRO).

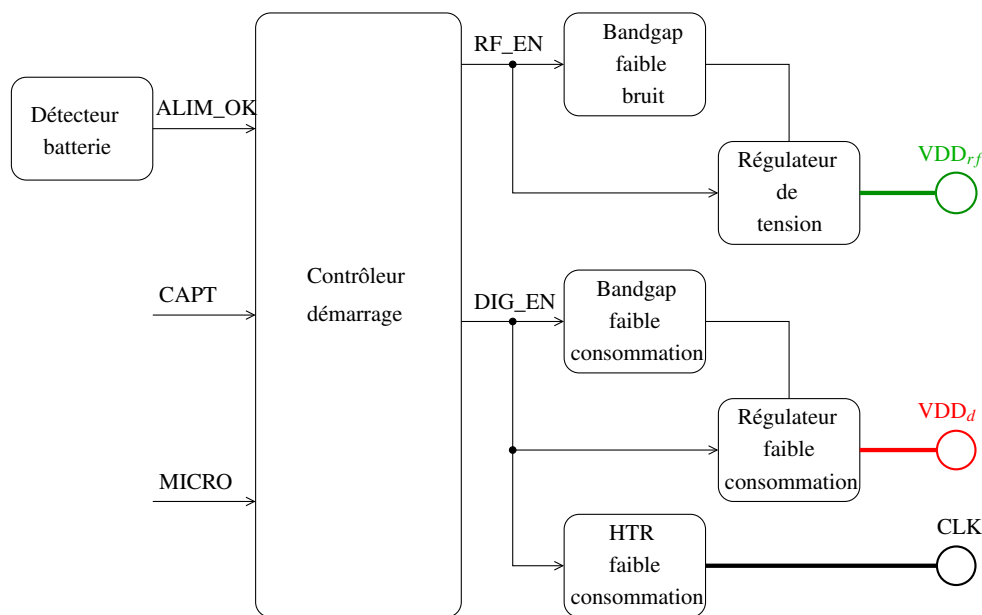


FIGURE 2.13: Blocs analogiques de la stratégie d'alimentation.

Ces modes de fonctionnement impliquent la mise en place d'un protocole dynamique de gestion des alimentations avec un réveil rapide. En effet, le temps de démarrage des régulateurs doit être

inférieur au temps de transmission d'une trame de données par exemple. De plus, ces réseaux de capteurs sans fil doivent être faible coût. La puce RF doit donc avoir une surface la plus faible possible. L'architecture de l'alimentation doit être constituée de régulateurs adaptés, de faibles surfaces et sans composants externes.

2.4.2 Etat-de-l'art des stratégies d'alimentation des circuits compatibles Zig-bee

Avec le développement exponentiel des applications liées aux réseaux de capteurs sans fil tels que les applications militaires, la surveillance de l'environnement, la domotique. . . , de nombreux travaux de recherches et produits industriels ont été développés. Le Tableau 2.4 fait la synthèse de ces circuits les plus récents, en résumant les principales caractéristiques de leur interface radio, de leur stratégie d'alimentation ainsi que de leur application. Les performances RF atteintes sont déjà bien supérieures à celles fixées par la norme IEEE 802.15.4. Par exemple, la sensibilité est d'environ 10dB meilleure. Par contre, les produits industriels et les développements de travaux de recherche présentés dans ce tableau ne sont pas optimisés en termes de courant de consommation et de rendement énergétique.








Produits / Travaux de recherche	Date	Techno. CMOS	Vitesse du processeur [MHz]	Sensi. Rx [dBm]	EVM [%]	Conso. Rx [mA]	Puissance d'émission [dBm]	Conso. Tx [mA]	Stratégie d'alimentation	Applications
Norme IEEE 802.15.4 [32] 	2003	-	-	<-85	<35	-	-3	-	-	Réseaux de capteurs sans fil
 STMicroelectronics STM32W [33]	2009	0.18µm	24	-100	5	20	+7	24	2 LDOs intégrés : - 1.8V : Analog/RF - 1.25V : Digital	Domotique
 ENERGY EFR4D [34]	2013	-	24	-101	-	4	+13	6	-	Réseaux de capteurs sans fil
 ANALOG DEVICES ADuCRF101 [35]	2011	-	16	-	-	12.8	+13.5	12	1 LDO intégré @ 1.8V	Système médical
 TEXAS INSTRUMENTS CC2533/CC2540 [36]	2010	-	32	-97/-93	-	22.1	+7/+4	27	2 LDOs intégrés : - 1.8V : Analog/RF - 1.8V : Digital	Système de commande à distance
 NORDIC nRF24LE1 [37]	2010	-	16	-94	-	12.4	+0	11.1	2 LDOs intégrés : - 1.7V : Analog/RF - 1.2V : Digital	Périphériques d'ordinateur
 TEXAS INSTRUMENTS CC430 [38]	2012	-	20	-90	-	15	+12	18	2 LDOs intégrés : - 1.8V : Analog/RF - 1.8V : Digital	Appareils de mesure portable
[39]	2009	0.18µm	20	-	-	5	-	5	2 LDOs intégrés : - 2.6V : Analog/RF - 1.8V : Digital	Système médical
[40]	2008	0.13µm	-	-112	-	-	-	-	2 LDOs intégrés : - 2.5V : Analog/RF - 1.8V : Digital	-
[41]	2005	0.18µm	6.4	-108	-	2.1	+9.5	32.3	4 LDOs intégrés : - 1.8V : Analog, VCO et PA - 1.8V : Digital	Réseaux de capteurs sans fil

TABLE 2.4: Etat-de-l'art des produits et travaux de recherche compatibles ZigBee.

De nouvelles architectures [42] [43] [44] sont investiguées, implémentant plusieurs étages qui cascaden des régulateurs de tension commutés et linéaires. De même, l'intégration de système de gestion d'alimentation (PMU) sur la même puce CMOS que le transmetteur radiofréquence et la bande de base est un exemple intéressant d'innovation dans le domaine des signaux mixtes. Il est en effet très difficile de concevoir une solution CMOS submicronique qui tolère la connexion d'une batterie 3.6V.

De plus, pour augmenter le rendement énergétique et par conséquent la durée de vie de la batterie, des travaux [45] implémentent un convertisseur DC-DC afin de générer différents niveaux de tension nécessaires aux différents sous-systèmes de la puce.

Mais, les convertisseurs DC-DC créent des parasites électriques supplémentaires à haute fréquence qui sont difficilement filtrables et qui dégradent donc les performances RF du système. Pour cette raison, la plupart des fournisseurs de SoC évitent d'intégrer la PMU sur la même puce que le transmetteur de radiofréquences et la bande de base.

2.4.3 Exemple du STM32LW

La famille de produits STM32 de STMicroelectronics propose des solutions à boîtier unique qui intègrent un PMU complet, l'émetteur-récepteur et la bande de base numérique. L'évolution des produits de cette famille est présentée dans la Figure 2.14.

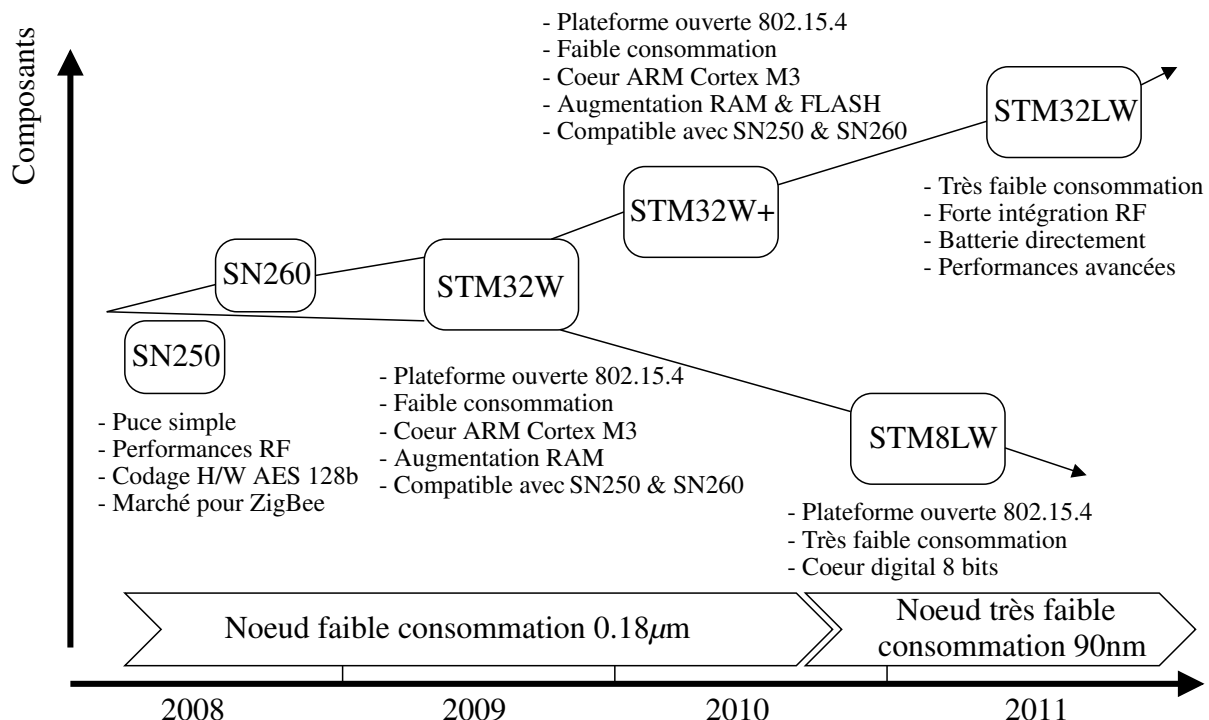


FIGURE 2.14: Evolution des produits de la famille STM32.

Le produit STM32LW est un SiP (« System-in-Package ») constitué d'un microcontrôleur Cortex M3 32b fonctionnant à 32MHz, d'un SoC RF composé d'un émetteur-récepteur 2.4GHz avec balun intégré et compatible avec les standards ZigBee/ Bluetooth Low energy (Figure 2.15) et d'une PMU.

C'est une des seules solutions dotée d'un convertisseur DC-DC et d'une interface de batterie sur le même silicium que les autres sous-systèmes, dont le module RF et la bande de base numérique. Grâce aux diverses innovations et techniques de conception système décrites ci-dessous, la solution à boîtier unique STM32LW permet actuellement un niveau de consommation d'énergie qui figure parmi les meilleurs au monde (Figure 2.16). Au vu de ces valeurs, l'utilisation d'un module autonome de type cellule photovoltaïque de dimension $4 \times 5 \text{ cm}^2$ suffit, ce qui permet de réduire considérablement les coûts et de concevoir des nœuds de plus en plus petits.

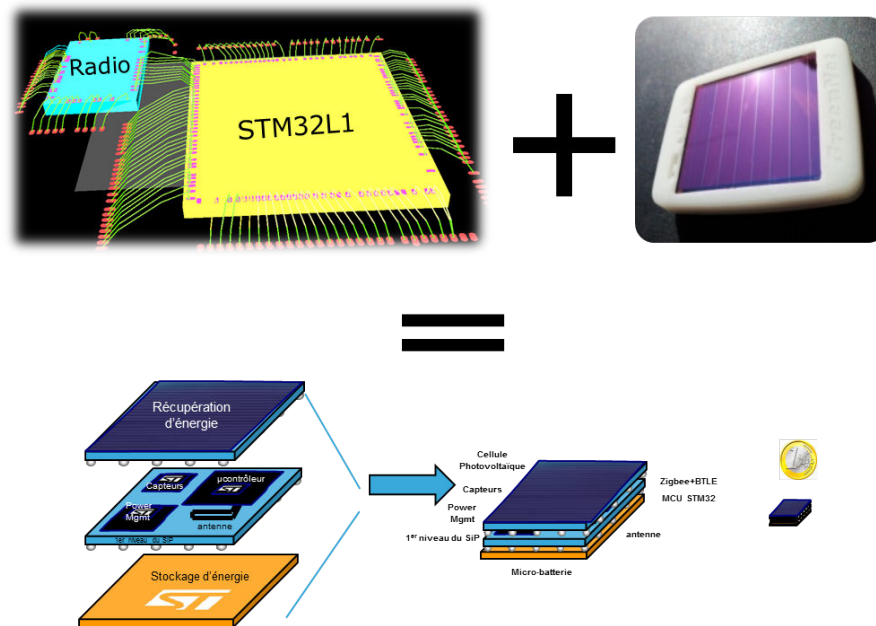


FIGURE 2.15: SiP STM32LW avec sa cellule photovoltaïque.

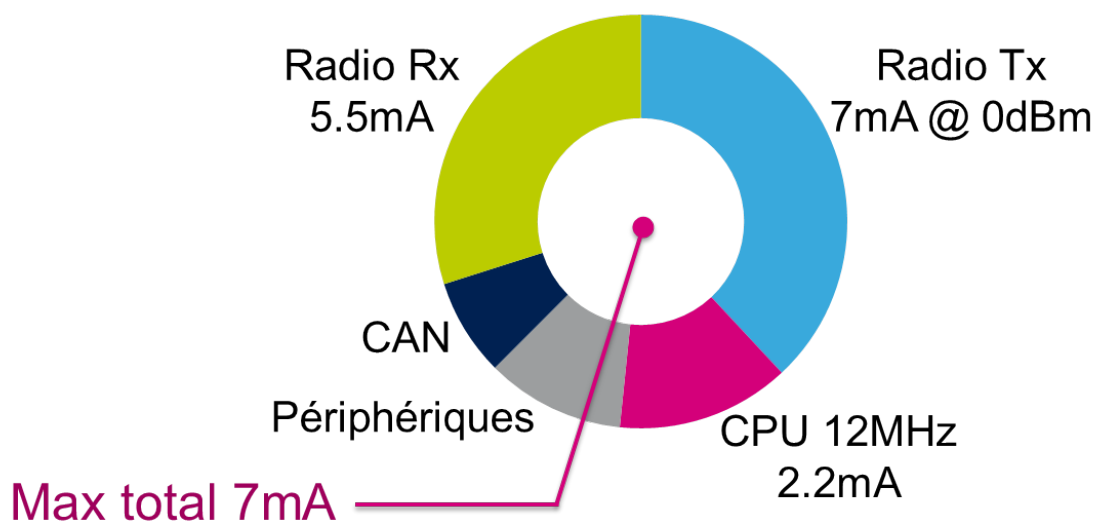


FIGURE 2.16: Consommation du nœud par fonctions.

2.4.3.1 Le microcontrôleur

Basée sur le cœur CortexTM-M3 32MHz et sur le process à ultra-faible fuite exclusif de ST, la série STM32 L1 offre une vaste gamme de fonctionnalités, de tailles de mémoire et de brochages. Le nombre élevé de périphériques embarqués, notamment l'interface LCD, l'amplificateur opérationnel, le comparateur, le CAN et le CNA, lui confère un niveau d'intégration très élevé pour répondre à tous les besoins.

Afin de réduire la consommation du microcontrôleur, de nombreux modes de fonctionnement (Figure 2.17) sont introduits. Parmi les plus utilisés, on retrouve les modes suivants :

- Mode ultra-faible puissance : 300nA avec les registres de sauvegarde,
- Mode ultra-faible puissance + HTR : 900nA avec les registres de sauvegarde,
- Mode faible puissance : jusqu'à 9μA,
- Mode de fonctionnement dynamique : jusqu'à 230μA/MHz.

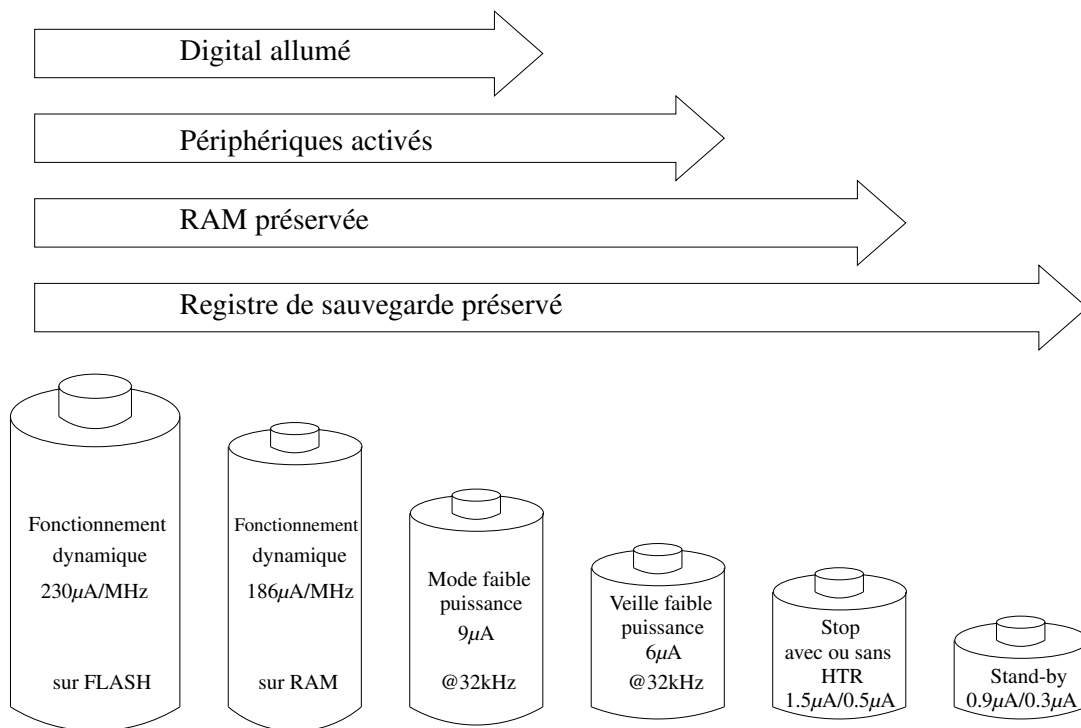


FIGURE 2.17: Modes de fonctionnement du STM32 L1.

La distribution de l'alimentation du microcontrôleur est montrée à la Figure 2.18. Elle est constituée de deux LDOs (dont le LDO2 qui est utilisé uniquement pour la sauvegarde). Les parties analogiques, l'horloge temps réel et la mémoire flash sont connectées directement à la batterie alors que le digital, les périphériques et la mémoire RAM sont connectés sous un LDO. Deux oscillateurs sont utilisés en fonction de la vitesse de fonctionnement du microprocesseur (quelques MHz à quelques kHz).

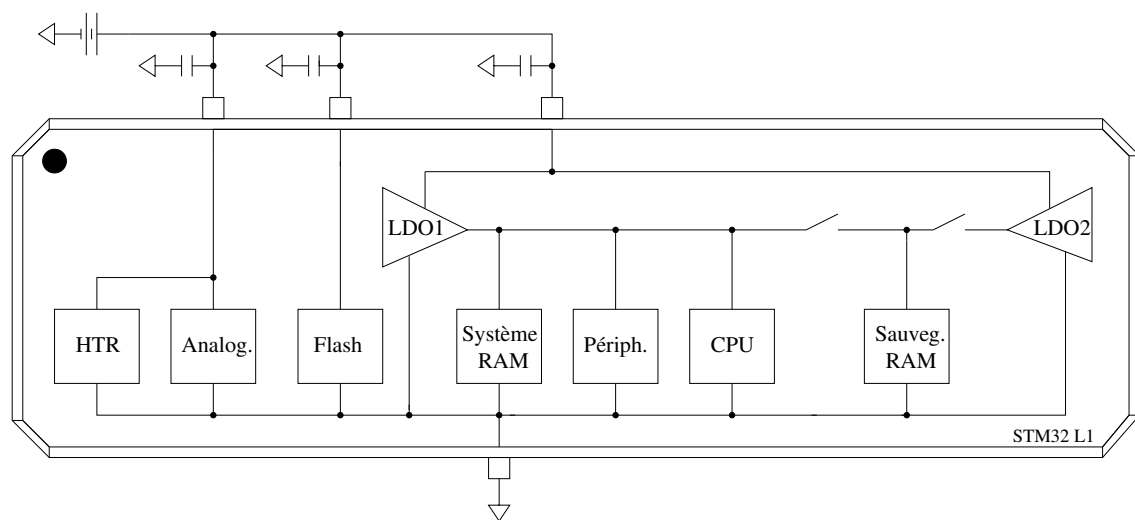


FIGURE 2.18: Distribution de l'alimentation du microcontrôleur.

Cette solution propose plusieurs modes : dynamique, veille, arrêt et stand-by. On remarque trois modes dynamiques différents. Le Tableau 2.5 indique quels blocs sont actifs ou non dans ces différents modes. Il résume aussi toutes les caractéristiques critiques pour chacun de ces modes.

Modes	Dynamique sur FLASH	Dynamique sur RAM	Faible puissance	Veille	Arrêt		Stand-by	
					Avec HTR	Sans HTR	Avec HTR	Sans HTR
LDO1	x	x	x	x	x	x		
LDO2							x	x
HTR	x	x	x	x	x		x	
Analog.	x	x	x	x	x	x		
FLASH	x		x					
RAM	x	x	x	x	x	x		
Périphé.	x	x	x	x				
Conso.	max. 10mA	max. 10mA	max. 150µA	max. 10mA				
Sauv.	x	x	x	x	x	x	x	x
CPU	x	x	x					
Fréq. CPU	1 à 32MHz	1 à 32MHz	32kHz à 131kHz					
Réveil			3µs	0.36µs	53µs	53µs	60µs	60µs
Conso.	270µA à 9.6mA	200µA à 7.7mA	9µA à 48µA	80µA à 2.3mA	1.6µA	0.5µA	1.3µA	270nA

TABLE 2.5: Résumé des modes de fonctionnement du microcontrôleur.

2.4.3.2 La radio

La deuxième partie du SiP est un SoC radio composé d'un émetteur-récepteur 2.4GHz avec balun intégré et compatible avec les standards ZigBee/ Bluetooth Low energy et ANT (Figure 2.19).

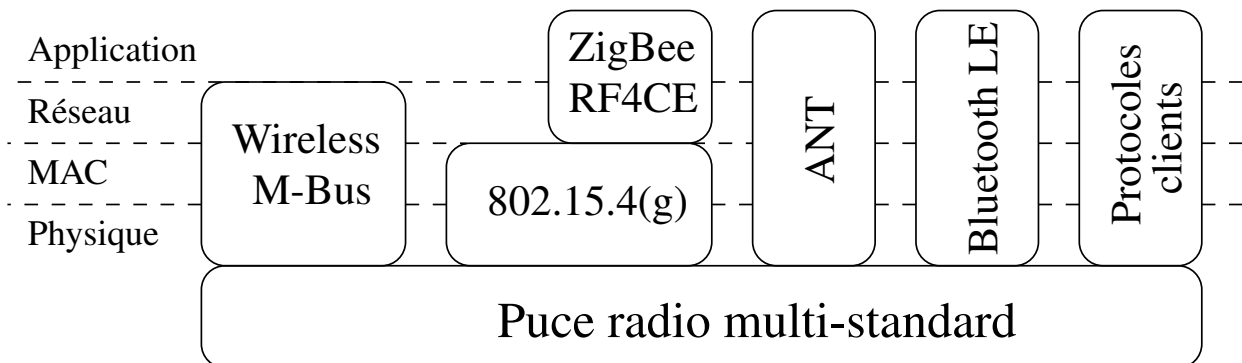


FIGURE 2.19: Puce radio multi-standard.

La Figure 2.20 illustre l'architecture complète composée d'un émetteur-récepteur, de deux bandes de base numériques pour le standard ZigBee et Bluetooth LE/ANT et de la gestion de l'alimentation complètement intégrée.

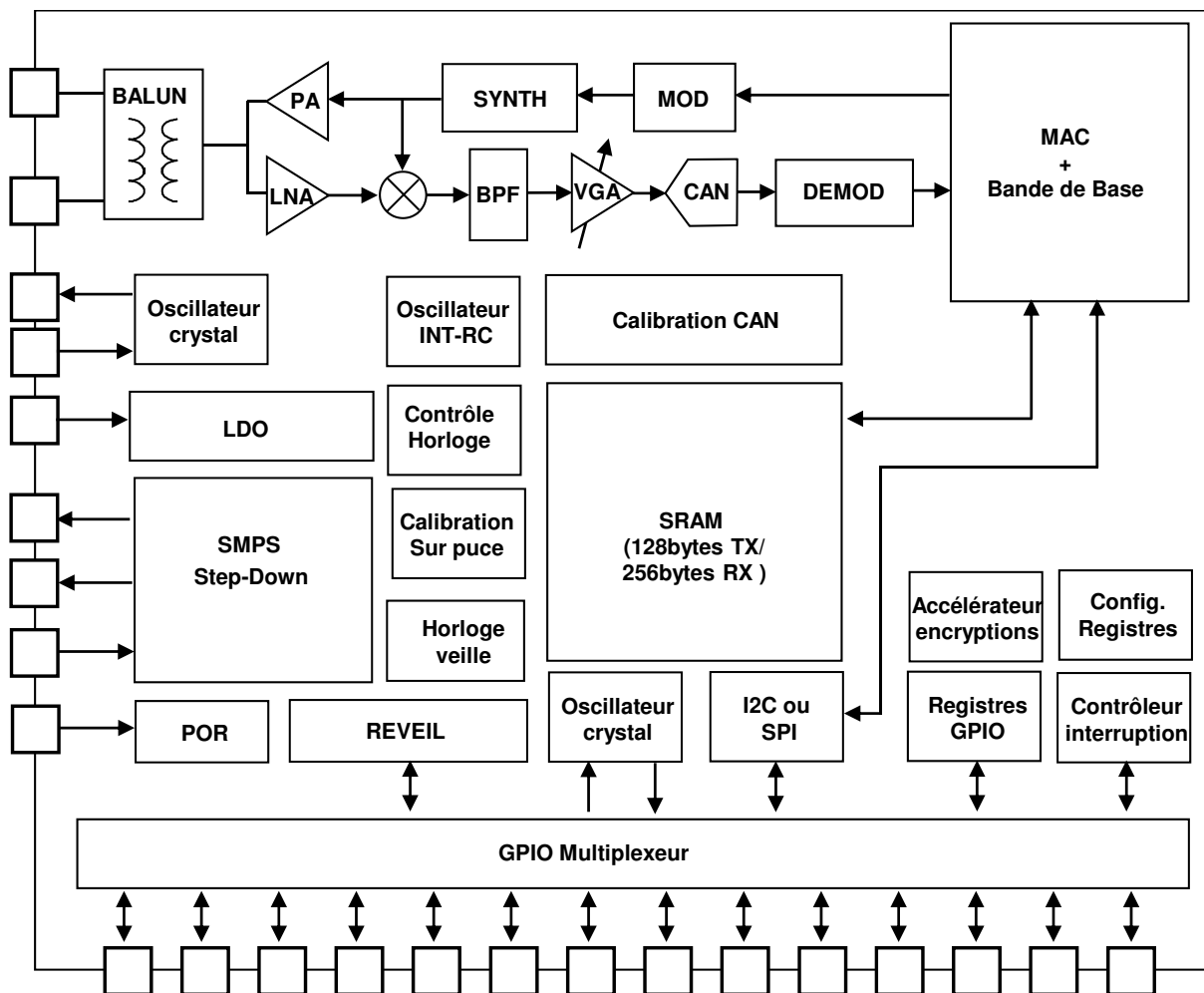


FIGURE 2.20: Diagramme bloc de la puce radio multi-standard.

Les performances RF de l'émetteur-récepteur sont résumées dans le Tableau 2.6.

Bloc	Fonction	Performance
VCO	Variation Freq.	[2.15...2.68GHz]
PLL	Variation Freq.	[2.405...2.448GHz]
	Bruit de phase	-105dBc/Hz@1MHz
SMPS	Tension de sortie	1.5V
	Rendement	90%
LDO	Tension de sortie	1.2V
Emetteur (Tx)	Puissance de sortie max.	+5.3dBm
	Gamme puissance	[-70...+5.3dBm]
	Consommation@5dBm	11mA
Récepteur (Rx)	Réjection image	60dB
	Consommation	4.25mA
Système RF	1% PER (Rx)	-96dBm
	EVM (Tx)	~2%

TABLE 2.6: Performances RF de la puce radio.

La distribution de l'alimentation de la puce radio est montrée à la Figure 2.21.

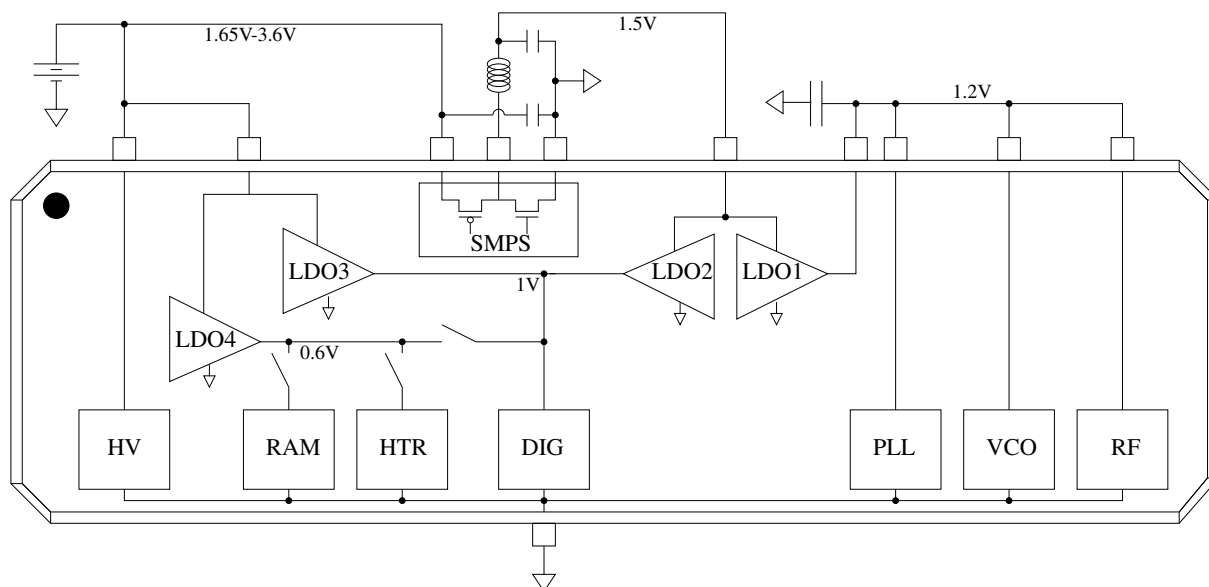


FIGURE 2.21: Distribution de l'alimentation de la puce radio.

Elle est constituée d'un régulateur DC/DC de type SMPS abaisseur de tension et de quatre régulateurs linéaires de type LDO. Le LDO1 alimente la partie RF. Il doit donc présenter une forte réjection des bruits de l'alimentation en amont d'où la nécessité d'une capacité de sortie externe de forte valeur. Les autres LDOs alimentent les parties numériques du SoC et ils n'ont pas besoin de capacité de

sortie externe. Les LDO3 et LDO4 sont connectés directement sous la batterie. Ils sont actifs selon les différents modes de fonctionnement.

On retrouve les 4 modes de fonctionnement classiques pour ce genre d'application :

- Le mode « power down », dans lequel seul le bloc analogique HV qui permet le réveil du reste du circuit est actif. Ce bloc est alimenté directement par la batterie. Dans ce mode, tous les LDOs et le convertisseur DC/DC sont éteints et toutes les données sont perdues. La consommation totale de la puce est de $0.45\mu\text{A}$.
- Le mode « deep sleep », dans lequel la gestion analogique de l'alimentation (HV) incluant l'horloge temps réel (HTR) et la mémoire RAM sont actives. L'horloge temps réel et la mémoire RAM sont alimentées par le LDO4 sous 0.6V. La consommation est de $1.3\mu\text{A}$ (avec HTR) ou $0.65\mu\text{A}$ (sans HTR).
- Le mode « idle », dans lequel tout le système est alimenté. Dans ce mode, les LDOs 1, 2 et 3 et le convertisseur DC/DC fonctionnent. La partie RF est éteinte mais elle est à l'écoute d'un signal pour l'activer. Le système consomme $360\mu\text{A}$.
- Le mode « actif », dans lequel l'émetteur-récepteur reçoit ou transmet des données. En mode émission, la consommation est de 7mA à 0dBm et en mode réception, la consommation est de 5.5mA.

2.4.3.3 Une intégration complète

L'intégration complète de la partie émetteur-récepteur, la partie bande base digitale ainsi que la gestion de l'alimentation sur la même puce (Figure 2.22) permet d'optimiser le fonctionnement global du système. En effet, les tensions d'alimentation des différents blocs sont parfaitement maîtrisées et optimisées et elles peuvent être éteintes localement. L'utilisation de régulateur de tension de type LDO sans capacité de sortie permet d'améliorer le temps de réponse du système et par conséquent le réveil de la partie RF. Les régulateurs sont conçus pour le point de fonctionnement souhaité. Il n'y a donc pas de perte de place ou de surconsommation à cause d'une conception d'un bloc surdimensionné.

L'intégration complète se traduit également par des économies au niveau système. Comparée aux solutions à puces multiples, cette solution monopuce réduit la surface de la carte de 65% et le nombre de composants distincts nécessaires de plus de 50 %. Par conséquent, cette solution permet un meilleur rendement de fabrication et un coût d'assemblage réduit. Elle permet aussi de diminuer la durée des tests (et donc de diminuer le coût de fabrication). La faible consommation d'énergie permet des réductions de coûts supplémentaires grâce à l'utilisation des batteries les moins chères ou de récupérateurs d'énergie.

Il est clair que le coût est l'un des arguments phares sur ce segment de marché. Cependant, les fabricants veillent à ce que les indicateurs clés du marché ne soient pas sacrifiés et examinent le coût dans sa totalité, considérant notamment tous les coûts générés au niveau système (prix des composants, coût de la batterie, délai de mise sur le marché...).

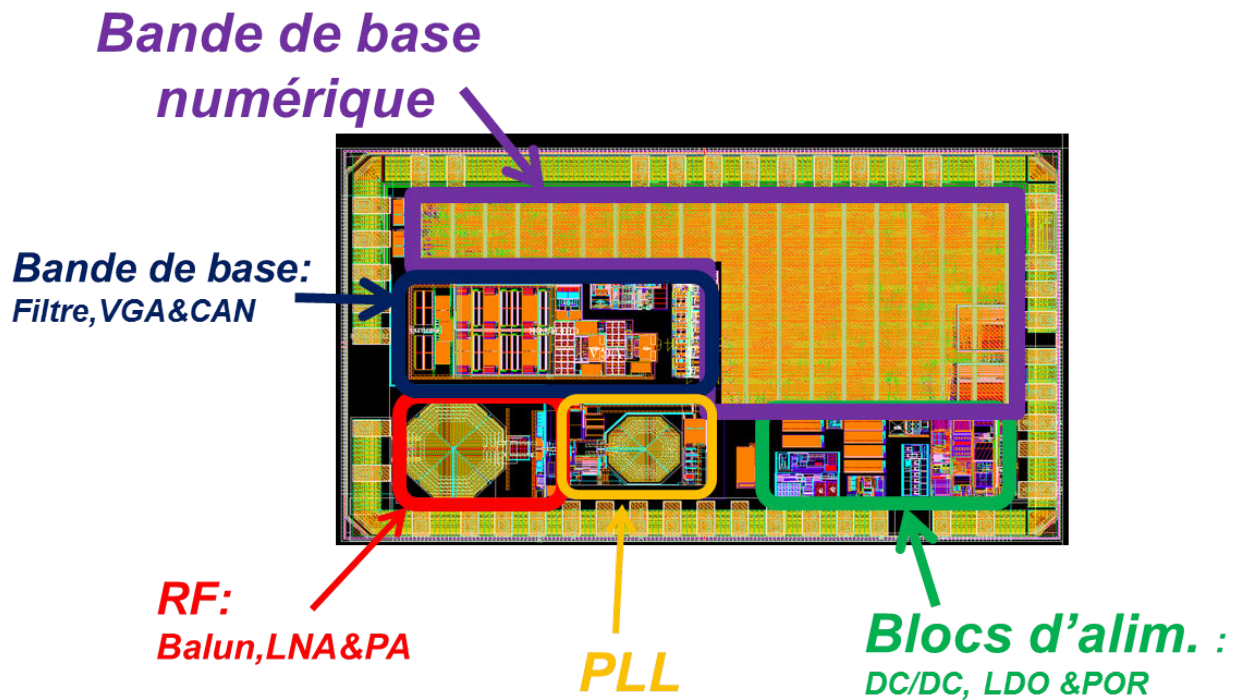


FIGURE 2.22: Vue complète du dessin des masques du SoC RF.

La clé pour fournir un produit pertinent sur le marché concurrentiel des réseaux de capteurs sans fil repose sur le bon équilibre entre performance radio, consommation d'énergie, fonctionnalités et coût total.

2.4.4 Définition du cadre et des spécifications fixées pour le travail de recherche

Mon travail de recherche s'est concentré sur la méthodologie de conception d'une stratégie d'alimentation adaptée aux SoCs RF très faible consommation.

La conception d'un émetteur-récepteur RF est réalisée à partir d'un cycle de conception en V (méthodologie descendante/montante). Ainsi, elle permet à différents groupes au sein d'un même projet d'évoluer du « besoin » au « produit ». A partir d'un cahier des charges, une analyse fonctionnelle est effectuée, ce qui permet un découpage en différentes fonctions. Par la suite, ces fonctions donnent lieu à des architectures distinctes. Une fois l'architecture décidée, les concepteurs analysent chaque bloc unitaire, les conçoivent et les simulent.

Une faiblesse de cette méthodologie de conception est que l'architecture de l'alimentation n'est pas englobée dans l'analyse fonctionnelle du système. Les spécifications et les répartitions des différentes contraintes n'apparaissent pas dans le cahier des charges. Les concepteurs réalisent et simulent les fonctions RF en utilisant une alimentation idéale. Les bruits apportés par l'alimentation ne sont pas pris en compte. De même, l'impédance ramenée par les blocs d'alimentation ni les perturbations des blocs voisins qui passent par ces chemins ne sont pris en compte. Afin d'obtenir la meilleure

optimisation, les meilleurs compromis et les meilleures performances possibles dans la conception de circuits très faible consommation, une méthodologie pour concevoir une stratégie d'alimentation devient indispensable.

L'étude que j'ai menée s'est donc concentrée sur la mise en place d'un protocole à suivre lors de l'étude fonctionnelle. Une modélisation poussée d'une chaîne RF m'a permis de proposer une stratégie d'alimentation adaptée et d'améliorer considérablement les performances énergétiques du système. Cette méthodologie consiste à adapter la puissance fournie en fonction des besoins de la RF tout en réduisant les coûts et en obtenant des performances RF identiques à l'état-de-l'art. La réduction du coût implique une limitation du nombre des composants externes (capacités, inductances,...) et une réduction de la surface de silicium nécessaire à l'intégration de la gestion de l'alimentation sur la puce RF. Une attention particulière a été portée sur les perturbations apportées par les différents types de régulateurs sur les performances RF d'un émetteur-récepteur.

2.5 Conclusion

Ce premier chapitre a permis d'introduire la notion de réseaux de capteurs. Un nœud d'un réseau de capteurs est constitué d'un SoC RF très faible consommation, d'une partie microcontrôleur et d'une partie qui permet de faire l'interface entre le nœud et les différents capteurs. La gestion de l'alimentation de l'ensemble du système est soumise à de nombreuses contraintes telles que l'intégration, la consommation, le rendement, les performances... Nous avons vu que l'autonomie du nœud dépend en grande partie de la stratégie d'alimentation mise en place et du module de communication.

Une étude des besoins énergétiques du module de communication ainsi qu'une étude de l'état-de-l'art des solutions de gestion de l'alimentation des circuits compatibles ZigBee nous ont conduit à mettre en évidence les lacunes des architectures d'alimentation actuelles et le manque de méthodologie de conception.

Au cours de ce chapitre, les bornes de l'étude ont également été fixées. Elles impliquent la mise en place d'une méthodologie de conception de la stratégie d'alimentation du module de communication. Cette méthodologie consiste en autres à utiliser intelligemment les nouvelles architectures à plusieurs étages qui cascaded des régulateurs de tension commutés et linéaires en prenant en compte leurs effets sur les performances de la chaîne RF. L'objectif de ce travail de recherche est donc de mettre en place une méthodologie de conception d'une stratégie d'alimentation et réaliser un bloc de cette architecture dans le but d'augmenter le rendement énergétique du système tout en conservant les performances RF les plus élevées.

A partir des études préliminaires présentées dans ce chapitre d'introduction, nous sommes maintenant en mesure d'aborder la première partie de l'étude : la mise en place d'une méthodologie permettant de concevoir une stratégie d'alimentation adaptée aux SoCs RF très faible consommation.

2.6 Bibliographie

- [1] I. Akyildiz, W. Su, Y. Sankarasubramaniam and E. Cayirci, "*A Survey on Sensor Networks*", IEEE Communications Magazine, pp. 102-114, vol. 40, issue 8, 2002. (p. 6, 7)
- [2] D. Culler, D. Estrin and M. Srivastava, "*Overview of Sensor Networks*", IEEE Computer, pp. 41-49, vol. 37, issue 8, 2004. (p. 6)
- [3] J. Lester Hill, "*System Architecture for Wireless Sensor Networks*", Thèse de Doctorat de l'Université de Berkeley, 2003. (p. 6)
- [4] A. Sadat, J. Yuan and H. Kie, "*Integrated Wireless MEMS Accelerometer for Physiological Activity Monitoring*", presented at the 8th World Multi-Conference on Systemics, Cybernetics and Informatics, 2004. (p. 8)
- [5] S. Roundy, "*Power Sources for Wireless Sensor Networks*", in Proc. 1st European Workshop on Wireless Sensor Networks, Berlin, Germany, 2004. (p. 10, 11)
- [6] B. A. Warneke and K. S. J. Pister, "*An Ultra-Low Energy Microcontroller for Smart Dust Wireless Sensor Networks*", IEEE International Solid-State Circuits Conference, pp. 316-317, 2004. (p. 13)
- [7] Texas Instrument, TLV0831 : *3-Volt 8-Bit Analog-to-Digital Converters With Serial Control*, Datasheet Constructeur, 1996. (p. 13)
- [8] Texas Instrument, MSP430 : *Ultra-Low Power 16-Bit Microcontrollers*, Datasheet Constructeur, 2012. (p. 13)
- [9] R. Amirharajah and A. P. Chandrakasan, "*A Micropower Programmable DSP Using Approximate Signal Processing Based on Distributed Arithmetic*", IEEE Journal of Solid-State Circuits, pp. 337-347, vol. 39, issue 2, 2004. (p. 13)
- [10] Texas Instrument, TMS320C5505 : *Fixed-Point Digital Signal Processor*, Datasheet Constructeur, 2010. (p. 13)
- [11] B.W. Cook, A.D. Berny, A. Molnar, S. Lanzisera and K. Pister, "*An Ultra-Low Power 2.4GHz RF Transceiver for Wireless Sensor Networks in 130nm CMOS with 400mV Supply and Integrated Passive RX Front-end*", IEEE International Solid-State Circuits Conference, 2006. (p. 13, 15)
- [12] Texas Instrument, CC2420 : *2.4 GHz IEEE 802.15.4 / ZigBee-Ready RF Transceiver*, Datasheet Constructeur, 2006. (p. 13)
- [13] T. Blalack, Y. Leclercq and C.P. Yue, "*On-Chip RF Isolation Techniques*", in Proc. Bipolar/BiCMOS Circuits and Technology Meeting, pp. 205-211, 2004. (p. 14)
- [14] C. Delaveaud, *Micro-Antenne Agile en Bande UHF*, LETI, 2012. (p. 14)
- [15] A. Molnar, B. Lu, S. Lanzisera, B.W. Cook and K.S.J. Pister, "*An Ultra-Low-Power 900MHz RF Transceiver for Wireless Sensor Networks*", in Proc. Custom Integrated Circuits Conf., pp. 401-404, 2004. (p. 15, 18, 19, 21)

- [16] A. Minhas, M. Faheem and M. Azeem, "*Ultra Low Power Small Size RF Transceiver Design for Wireless Sensor Networks*", Int. Conf. on Collaboration Technologies and Systems , pp. 290-295, 2011. (p. 15, 25)
- [17] G. Terrasson, "*Contribution à la conception d'un émetteur-récepteur pour microcapteurs autonomes*", Thèse de Doctorat de l'Université de Bordeaux, N d'ordre : 3682-2008. (p. 15)
- [18] Texas Instrument, CC1100 : *Low-Power Sub- 1 GHz RF Transceiver*, Datasheet Constructeur, 2007. (p. 15)
- [19] H.T. Friis, "*A Note on a Simple Transmission Formula*", in Proc. IRE, pp. 254-256, 1946. (p. 16)
- [20] H. Hashemi, "*The indoor radio propagation channel*", in Proc. IEEE, pp. 943-968, vol. 81, issue 7, 1993. (p. 16)
- [21] E. Walker, H.-J. Zepernick and T. Wysocki, "*Fading measurements at 2.4GHz for the indoor radio propagation channel*", in Proc. Int. Zurich Seminar on Broadband Communications, pp. 171-176, 1998. (p. 16)
- [22] J.G. Proakis, *Digital communications*, Mc Graw Hill, ISBN 0-07-323111-3. (p. 17)
- [23] B. Otis, Y.H. Chee and J. Rabaey, "*A 400 μ W-RX, 1.6mW-TX Super-Regenerative Transceiver for Wireless Sensor Networks*", IEEE International Solid-State Circuits Conference, pp. 200-201, 2005. (p. 18)
- [24] B.W. Cook, A. Molnar and K. Pister, "*Low Power RF Design for Sensor Networks*", in Proc. Radio Frequency Integrated Circuits (RFIC) Symp., pp. 357-360, 2005. (p. 18, 19)
- [25] T. Melly, A.-S. Porret, C.C. Enz and E.A. Vittoz, "*An Ultralow-Power UHF Transceiver Integrated in a Standard Digital CMOS Process : Transmitter*", IEEE Journal of Solid-State Circuits, pp. 467-473, vol. 36, issue 3, 2001. (p. 18)
- [26] W. Ye, J. Heidemann and D. Estrin, "*Medium Access Control With Coordinated, adaptive sleeping for wireless sensor networks*", IEEE/ACM Trans. Netw., pp. 493-506, vol. 12, issue 3, 2004. (p. 21)
- [27] E. A. Lin, J. Rabaey and A. Wolisz, "*Power-Efficient Rendez-Vous Achemes for Dense Wireless Sensor Networks*", presented at the IEEE Int. Conf. Communications (ICC), Paris, France, 2004. (p. 21)
- [28] Dust Networks. [Online]. Available : <http://www.dustnetworks.com>. (p. 24)
- [29] A. Sinha and A. Chandrakasan, "*Dynamic Power Management in Wireless Sensor Networks*", IEEE Design & Test of Computers, pp. 62-74, 2001. (p. 24)
- [30] A. Liscidini, M. Tedeschi and R. Castello, "*A 2.4GHz 3.6mW 0.35 mm² Quadrature Front-end RX for ZigBee and WPAN Applications*", IEEE International Solid-State Circuits Conference, pp. 370-371, 2008. (p. 25)
- [31] H. Unterassinger, and al., "*A Power Management Unit for Ultra-Low Power Wireless Sensor Networks*", IEEE AFRICON, 2011. (p. 25)

- [32] IEEE Standard 802.15.4, Part 15.4 : *Wireless Medium Access Control (MAC) and Physical Layer (PHY) Specifications for Low-Rate Wireless Personal Area Networks (LR-WPANs)*, 2003. (p. 28)
- [33] STMicroelectronics, STM32W : *High-performance, IEEE 802.15.4 wireless system-on-chip with up to 256 Kbytes of embedded Flash memory*, Datasheet Constructeur, 2009. (p. 28)
- [34] Energy Micro, EFR4D Draco : *the world's most energy friendly 3-in-1 radio transceiver*, Datasheet Constructeur, 2013. (p. 28)
- [35] Analog Devices, ADuCRF101 : *Precision Analog Microcontroller with RF Transceiver, ARM Cortex-M3*, Datasheet Constructeur, 2011. (p. 28)
- [36] Texas Instrument, CC2533/CC2540 : *An Optimized System-on-Chip Solution for 2.4-GHz IEEE 802.15.4 Remote Control Applications*, Datasheet Constructeur, 2010. (p. 28)
- [37] Nordic Semiconductor, nRF24LE1 : *Ultra-low Power Wireless System On-Chip Solution*, Datasheet Constructeur, 2010. (p. 28)
- [38] Texas Instrument, CC430 : *SoC with RF Core*, Datasheet Constructeur, 2012. (p. 28)
- [39] X. Chen, X. Zhang, L. Zhang, X. Li, N. Qi, H. Jiang and Z. Wang, "A Wireless Capsule Endoscope System with Low-Power Controlling and Processing ASIC", IEEE Transactions on Bio-medical Circuits and Systems, vol. 3, issue 1, 2009. (p. 28)
- [40] M. Hammes, C. Kranz, D. Seippel, J. Kissing and A. Leyk, "Evolution on SoC Integration : GSM Baseband-Radio in 0.13 μ m CMOS Extended by Fully Integrated PMU", IEEE Journal of Solid-State Circuits, vol. 43, issue 1, 2008. (p. 28)
- [41] V. Peiris, and al., "A 1V 433/868MHz 25kb/s-FSK 2kb/s-OOK RF Transceiver SoC in Standard Digital 0.18 μ m CMOS", IEEE International Solid-State Circuits Conference, 2005. (p. 28)
- [42] T. Coulot, T. Souvignet, S. Trochut, E. Lauga-Larroze, J.-M. Fournier, E. Rouat, B. Allard and F. Hasbani, "Fully Integrated Power Management Unit (PMU) Using NMOS Low Dropout Regulators", IEEE EUROCON, pp. 1445-1452, July 2013. (p. 29)
- [43] R.D. Shrivastava, D. Deshpande, Li Changzhi and E. Gale, "An Energy Harvesting System using 3-Stage Voltage Multiplier and MPVD Charge Pump for Wireless Sensor Networks", IEEE Conf. on WiSNet, pp. 40-42, 2013. (p. 29)
- [44] C.L.S. De Guzman, R.C. Nuestro, C.K. Roque and L.P. Alarcon, "Switched-Capacitor Converter with Low Dropout Voltage Regulator for Wireless Sensor Nodes", IEEE TENCON, pp. 1-6, 2012. (p. 29)
- [45] J. Hu, Liu Wei, W. Khlil and M. Ismail, "Increasing sleep-mode efficiency by reducing battery current using a DC-DC converter", IEEE MWSCAS, p. 53-56, 2010. (p. 29)

Mise en place d'une stratégie d'alimentation adaptée à un émetteur-récepteur

3 – Application au projet BeelP

Sommaire

3.1	Introduction	41
3.2	Méthodologie de conception	42
3.3	Application au projet BeelP	49
3.4	Conclusion	73
3.5	Bibliographie	74

3.1 Introduction

Du fait de la diversité des SoCs et de leurs spécifications, il est difficile, voire impossible de concevoir une stratégie d'alimentation générique. L'idée est donc de proposer un outil d'aide à la conception d'une architecture d'alimentation pour une application donnée. Cet outil doit permettre de déterminer l'impact des choix effectués sur l'autonomie, la qualité de transmission, la quantité de calcul et le volume de données transmises et l'intégration, en tenant compte des spécifications de l'application.

De nos jours, la plupart des techniques de conception ou d'optimisation se base sur l'obtention des meilleures performances possibles en communication : débits élevés, TEB très faibles [1] [2] ... Or, dans notre cadre d'étude, les performances des blocs RF de l'émetteur-récepteur en termes de bruit, d'intégration ou de performances intrinsèques peuvent être relâchées. En effet, comme nous l'avons démontrée précédemment, la problématique de ce type de système concerne plus généralement l'autonomie, la quantité de calcul et le volume de données transmises dans le réseau de capteurs. Il est donc nécessaire de trouver le moyen d'intégrer cette problématique liée à des performances (efficacité énergétique, réponse transitoire, isolation, réjection de bruit...) dans le processus de conception de système.

L'objectif de ce chapitre est donc de proposer une démarche de conception permettant de faire les meilleurs choix possibles pour le module de gestion de l'alimentation en fonction de la sensibilité de chaque bloc RF, de la contrainte de consommation et des spécifications liées à l'application. Dans une première partie, après avoir développé les objectifs de notre démarche, nous

expliquons le principe des différentes étapes que nous allons mettre en place. Puis, nous détaillons chacune de ces étapes correspondant à la modélisation des blocs RF et des chemins entre l'alimentation et les entrées/sorties. Enfin, cette méthodologie est appliquée à une chaîne RF ZigBee complète conçue en technologie CMOS 90nm par STMicroelectronics. Une stratégie d'alimentation adaptée en est déduite permettant de conserver les performances RF de l'émetteur-récepteur tout en allégeant les contraintes sur les blocs d'alimentation.

3.2 Méthodologie de conception

3.2.1 Motivations et objectifs

Il convient d'adapter le choix des différents éléments d'un nœud d'un réseau de capteurs en fonction des spécifications liées à l'application visée. L'objectif de notre démarche, comme l'illustre la Figure 3.1, est d'établir des liens entre les spécifications de l'application, les performances du module RF et la sensibilité aux bruits de l'alimentation de chaque bloc du module RF afin de proposer une architecture de l'alimentation adaptée.

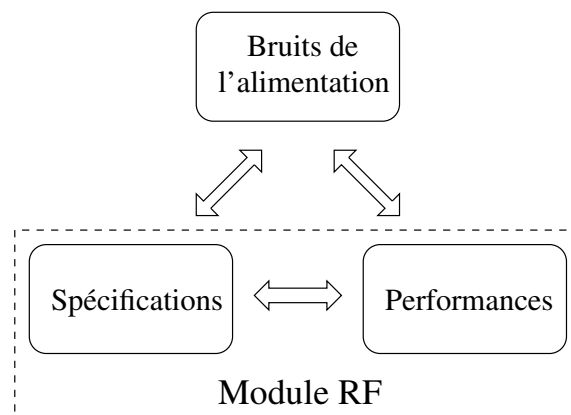


FIGURE 3.1: *Objectif principal de notre démarche.*

Les spécifications du module de communication constituent le point de départ de notre démarche. En nous basant sur l'outil développé dans le chapitre précédent, il est possible d'établir une distribution optimisée de la puissance de l'émetteur-récepteur entre ses différents blocs en fonction de l'application visée. Cette vision globale du système permet d'analyser rapidement l'influence de divers paramètres sur le budget énergétique et donc sur l'autonomie du système. Grâce à cet outil haut niveau, l'architecture optimum du module d'émission/réception peut être déterminée, permettant ensuite la conception des différents étages RF au niveau transistor. Bien qu'il soit possible de simuler individuellement chacun de ces étages RF, ils ne peuvent pas être analysés dans le cadre d'un fonctionnement complet en émission ou en réception. En effet, une analyse temporelle, fréquentielle ou de bruit d'un système complet au niveau transistor s'avère impossible. Le nombre de nœuds et la complexité des équations des modèles transistors font que les capacités des stations de travail s'avèrent insuffisantes pour ce genre de tâche.

Notre démarche consiste donc à modéliser chaque circuit du module RF afin de procéder aux différentes analyses du système complet composé des différents blocs modélisés. Cette démarche permet de vérifier le comportement de la chaîne RF mais surtout d'aider lors de la conception de la stratégie d'alimentation. En effet, modéliser chaque chemin (entrée vers sortie, alimentation vers entrée/sortie) des blocs de l'émetteur-récepteur est primordial pour définir l'architecture optimum de gestion d'alimentation. Cette approche permet de visualiser de manière simple et rapide l'effet d'un bloc d'alimentation sur les performances RF de la chaîne d'émission ou de réception.

Cette méthode de conception peut être décrite comme une méthode bidirectionnelle (Top-Down (descendante) et Bottom-Up (montante) [3]) illustrée par la Figure 3.2. L'étude du module RF présentée dans la partie 2.3 et celle des blocs RF permettent d'avoir une vision d'ensemble du fonctionnement de l'émetteur-récepteur. Elle a pour but d'identifier les éléments ayant une part prépondérante dans le budget énergétique de l'émetteur-récepteur et de déterminer les performances. La modélisation en Verilog-A des fonctions RF permet ensuite de vérifier le comportement de la chaîne RF et d'aider lors de la conception de la stratégie d'alimentation. Une fois l'architecture de gestion d'alimentation choisie et optimisée, chacun des blocs est conçu, simulé et vérifié au niveau transistor, puis le système est assemblé et ses performances vérifiées.

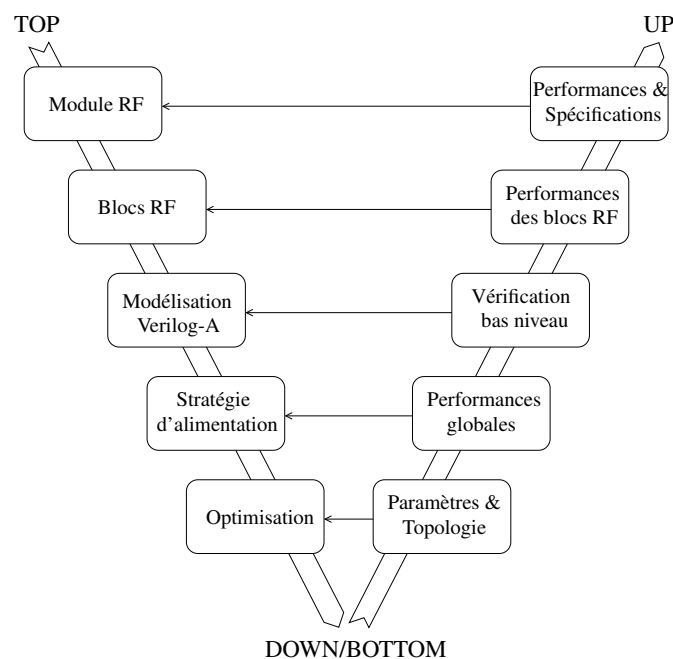


FIGURE 3.2: Schéma synoptique détaillé de notre méthode de conception.

3.2.2 Présentation de la méthodologie utilisée

3.2.2.1 Modélisation comportementale de la chaîne RF

Une des premières étapes de cette méthodologie de conception consiste à modéliser les différents blocs composant le système. La description d'un bloc peut se faire de différentes manières. Toutefois, on dénombre deux grandes catégories :

– *Description structurelle :*

Le système est décrit à partir de ses composants élémentaires et fait apparaître une hiérarchie explicite dans la description. On oublie les caractéristiques physiques, un système devient un assemblage de composants. On s'attache donc à décrire les interconnexions entre les différents sous-ensembles communiquant par l'intermédiaire de signaux, qui peuvent eux-mêmes bien sûr être composés de plusieurs sous-ensembles et ainsi de suite jusqu'au niveau le plus petit, le transistor. De cette façon, la modélisation prend en compte tous les chemins entre les différents accès. L'inconvénient de cette description est qu'il faut connaître la structure interne des blocs RF à modéliser.

Ce type de description est utilisé pour modéliser des blocs constitués avec peu de composants tels que les VCO, les baluns, les filtres passifs...

– *Description comportementale :*

Contrairement à la description structurelle, la description comportementale ne considère pas la structure du composant mais son comportement. Ainsi, une description de type comportementale est basée sur des relations mathématiques qui lient les signaux d'entrée aux signaux de sortie. Les blocs que nous avons modélisés au niveau comportemental lors de notre travail présentent l'avantage d'être suffisamment précis pour faire apparaître, en plus de ces paramètres fonctionnels, des paramètres électriques (impédances, produit d'intermodulation, couplage, profil de courant...). Très utilisés en numérique, quelques langages de modélisation comportementale permettent aussi de décrire de manière simple un composant analogique. Le Verilog-A fait partie de ces langages et il est un des plus aboutis à l'heure actuelle.

Principe générale de la modélisation utilisée : La première étape consiste à modéliser les chemins entrée-sortie des blocs RF de la chaîne. A ces premiers modèles, on y ajoute tous les chemins d'alimentation, c'est-à-dire les chemins VDD-entrée, VDD-sortie, VDD-polarisations internes mais également les chemins inverses afin d'obtenir un modèle complet (illustré par la Figure 3.3). Les blocs modélisés possèdent quatre accès : une entrée/sortie IN, une entrée/sortie OUT, une entrée/sortie VDD et une entrée/sortie POLAR.

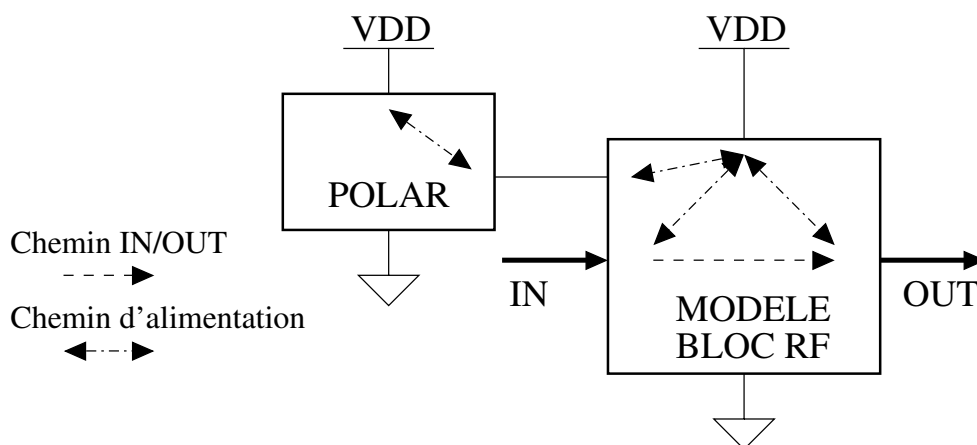


FIGURE 3.3: Modélisation d'un bloc RF.

Niveau de description utilisé : La première partie de la modélisation consiste à décrire la fonction RF en définissant comment les sorties du bloc réagissent en fonction des entrées à partir de relations mathématiques (équations différentielles, fonctions de transfert...). On trouve, de plus en plus, de bibliothèques de composants décrits de manière comportementale dans la littérature ou bien proposées par des fournisseurs de logiciel de CAO.

La seconde partie de notre travail consiste à modéliser tous les autres chemins entre l'alimentation et les entrées/sorties du bloc RF. Pour cela, une caractérisation des chemins est réalisée à partir du circuit au niveau transistor. Les pôles et les zéros des fonctions de transfert entre les différents accès sont rajoutés dans le code Verilog-A de la première partie de la modélisation. Ces pôles et zéros peuvent être extraits à partir d'une analyse « petit-signal » PZ [4] et traités ensuite par l'algorithme de réduction QZ [5] [6].

Enfin, afin de faire apparaître tous les paramètres électriques et obtenir un modèle complet, le profil du courant consommé par le bloc sur son alimentation et l'impédance vue par l'alimentation du bloc RF sont codés en Verilog-A et ajoutés à la description comportementale.

La Figure 3.4 illustre la description comportementale complète d'un bloc RF.

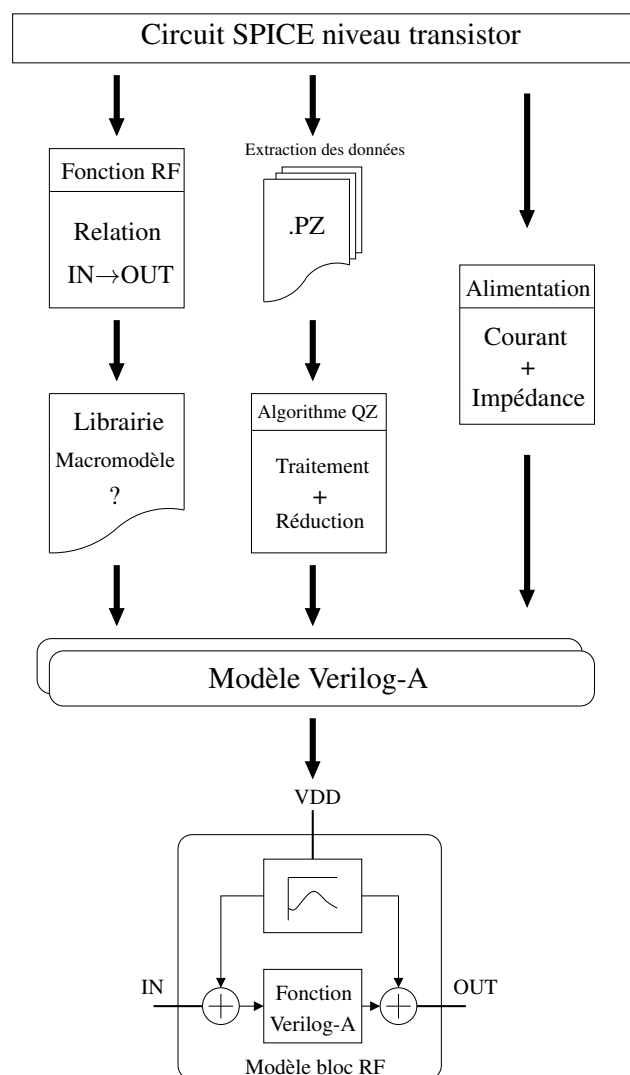


FIGURE 3.4: Génération du modèle comportemental.

3.2.2.2 Détermination de la stratégie d'alimentation

Une fois tous les blocs de la chaîne RF modélisés et vérifiés, il est possible de faire une simulation globale de la chaîne RF en émission ou en réception. Ces simulations prennent en compte le signal RF utile ainsi que les bruits parasites induits par l'alimentation. Il est donc possible de choisir des blocs d'alimentation en fonction de leur bruit généré et d'évaluer leur impact sur le signal RF en sortie de l'antenne en émission ou en sortie de la bande de base en réception. Une architecture optimisée de l'alimentation en est ensuite déduite.

La Figure 3.5 illustre le choix d'une stratégie d'alimentation en utilisant cette méthode de conception. Dans cet exemple, le spectre en sortie de l'antenne est visualisé. On retrouve donc le signal utile RF, des raies parasites dues aux bruits intrinsèques de la chaîne RF auxquels se rajoutent des raies parasites dues aux bruits générés par les blocs de l'alimentation. Un rapport signal à bruit peut être calculé de façon à en déduire la qualité de l'émission/réception.

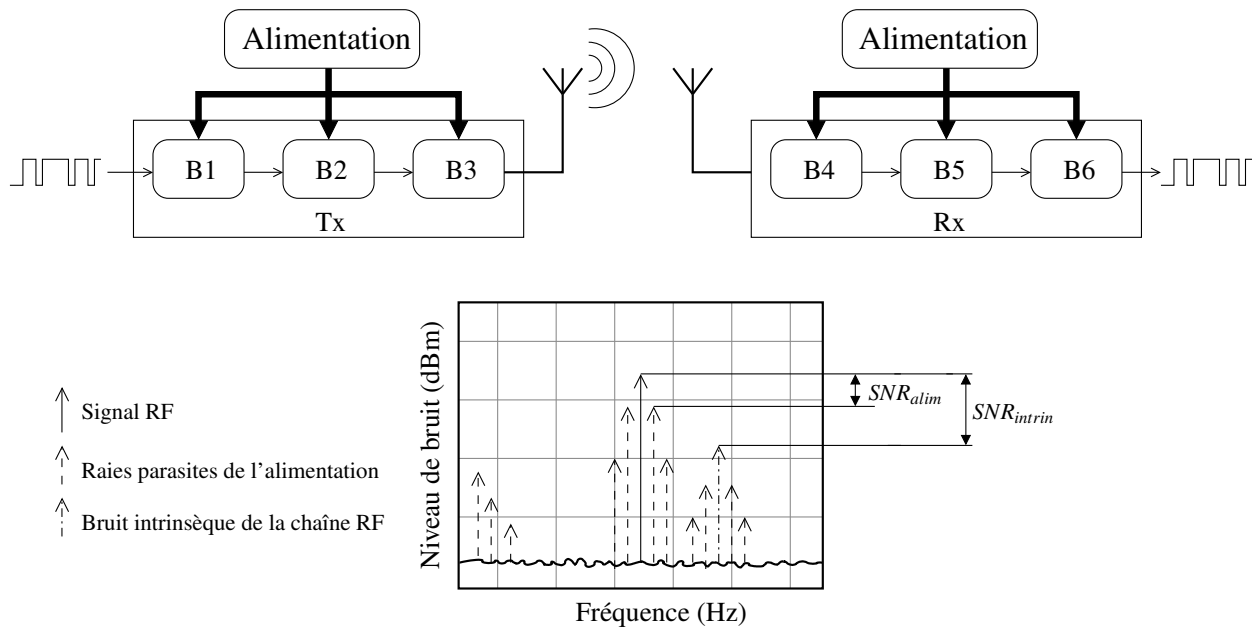


FIGURE 3.5: Choix de la stratégie d'alimentation en utilisant la méthode de conception.

Ainsi, en fonction de l'application visée, il est possible de déterminer le bruit maximum que peut générer l'alimentation pour respecter les normes du standard ciblé et en déduire une répartition optimale des contraintes sur les différents blocs de l'alimentation. La dernière étape consiste à dimensionner au niveau transistor les différents régulateurs de tension constituant le module d'alimentation.

3.2.3 Description de l'environnement de simulation

3.2.3.1 Langage de modélisation utilisé

Le langage de modélisation utilisé au cours de cette thèse est le Verilog-A [7]. Ce langage permet une modélisation exclusivement analogique des circuits. Parmi les primitives de ce langage, on peut lister les fonctions de bruit de phase, le contrôle exercé sur le pas de calcul du simulateur ou encore de

nombreuses fonctions mathématiques permettant une adaptation des équations pour concorder avec les caractéristiques observées.

Le Verilog-A présente l'avantage d'être utilisable avec des simulateurs tels qu'Eldo-RF de Mentor Graphics, Spectre-RF de Cadence ou ADS d'Agilent qui sont les trois simulateurs les plus utilisés en conception. Cependant, le langage est différent d'un simulateur à l'autre.

Grâce à ce langage, il est facile de modéliser un bruit de phase à l'aide des fonctions `white_noise` et `flicker_noise` :

- `White_noise(noise, « label »)` pour le bruit blanc où `noise` est la densité spectrale de bruit exprimée en rad^2/Hz ,
- `Flicker_noise(noise, n, « label »)` pour le bruit en $1/f^n$.

Les contributions en bruit sont directement extraites par le simulateur et facilement comparables aux résultats obtenus avec le circuit au niveau transistor.

Le Tableau 3.1 présente des fonctions disponibles en Verilog-A et qui permettent de modéliser des blocs RF.

Modélisation	Fonctions Verilog-A
Domaine fréquentiel et fonction de transfert	<code>laplace_zp</code> , <code>laplace_zd</code> , <code>laplace_np</code> , <code>laplace_nd</code> , <code>zi_zp</code> , <code>zi_zd</code> , <code>zi_np</code> , <code>zi_nd</code> , <code>delay</code> , <code>idt</code> , <code>ddt</code>
Bruit « grand-signal »	<code>\$dist_normal</code> , <code>\$rdist_normal</code> , ... (il existe 7 différentes distributions)
Bruit « petit-signal »	<code>white_noise</code> , <code>flicker_noise</code> , <code>noise_table</code>
Détection d'évènement	<code>cross</code> , <code>timer</code>

TABLE 3.1: Fonctions Verilog-A utiles pour des modèles RF.

Un point particulièrement important à noter est la différence fondamentale entre un langage de modélisation analogique tel que Verilog-A et un système de simulation comme Spice. Un outil tel que Spice permet de réaliser différents types de simulation de manière relativement efficace. Cependant, il est limité à quelques composants de base tels que les résistances, condensateurs, transistor et quelques macromodèles non portables et qui manquent de souplesse par rapport au Verilog-A. Aussi, dans certains cas, il peut être intéressant d'utiliser des blocs utilisant un plus haut niveau d'abstraction tel qu'un module amplificateur opérationnel, une PLL, un CAN/CNA,... Ces blocs de haut niveau peuvent alors être codés simplement en Verilog-A puis introduits dans un schéma de simulation de manière à le valider facilement.

3.2.3.2 Simulateur utilisé

L'outil CAO utilisé au cours de cette thèse est Eldo-RF de Mentor Graphics. Le principe du simulateur Eldo-RF Steady State [8] est de déterminer le spectre d'un circuit en chacun de ses nœuds à l'état d'équilibre.

Le langage Verilog-A est implémenté dans le simulateur Eldo et est compatible avec des simulations de type radiofréquence. Cependant, certaines fonctions du langage Verilog-A ne sont pas encore supportées pour certaines analyses RF. Le Tableau 3.2 récapitule certaines fonctions et leurs statuts par rapport à ces différentes analyses [9].

Fonction	Status	Analyse RF
Opérateur analogique		
ddt()	supporté	toute*
idt()	partiellement supporté	toute*
delay()	partiellement supporté	toute*
transition()	non supporté	-
slew()	non supporté	-
laplace_zp()	supporté	toute*
zi_zp()	supporté	toute*
Evènement analogique		
cross()	supporté	.SST, .MODSST
timer()	non supporté	-
Dépendance		
white_noise()	supporté	.SSTNOISE
flicker_noise()	supporté	.SSTNOISE
analysis()	supporté	toute*
Environnement		
\$temperature()	supporté	toute*

*toute : .SST, .SSTAC, .SSTXF et .MODSST

TABLE 3.2: Restrictions du langage Verilog-A liées aux différentes analyses RF.

3.2.4 Conclusion

Cette méthode de conception mise en place durant ma thèse a pour objectif de faciliter la phase de conception des futures générations de produit et de diminuer les temps de développement. Pour cela, la démarche définie (approche descendante puis montante) est applicable pour la conception des prochains circuits. Il est envisageable d'obtenir un modèle spécifique à l'architecture complète de

l'émetteur-récepteur (chaîne RF et stratégie d'alimentation) tout en étant réutilisable grâce à certains paramètres (technologiques ou dimensionnels) modifiables.

La démarche de modélisation doit ainsi permettre d'une part une détermination rapide des principales caractéristiques de la stratégie d'alimentation afin de tenir les spécifications (conception « TOP-DOWN ») et, d'autre part, une vérification également rapide de l'ensemble des propriétés de l'émetteur-récepteur (conception « BOTTOM-UP »).

La modélisation étant liée fortement au simulateur employé, une étude du simulateur (Eldo RF de Mentor Graphics) et du langage (Verilog-A) a été réalisée afin d'optimiser le temps de simulation et la précision des modèles.

3.3 Application au projet BeelP

Afin de vérifier la validité de la méthodologie de conception proposée, un émetteur-récepteur CMOS ZigBee très faible consommation a été utilisé comme exemple. Cette chaîne RF a été conçue par une équipe du groupe CCDS de STMicroelectronics en technologie industrialisable CMOS 90nm (modèle transistor de type BSIM4) intégrant la mémoire flash. La stratégie d'alimentation proposée dans ce mémoire a été développée en parallèle de ce projet nommé BeeIP. Ainsi, l'alimentation de cet émetteur-récepteur n'a pas été initialement déterminée en utilisant la méthode proposée. Nous allons donc utiliser cette méthode pour optimiser à posteriori l'alimentation du système tout en conservant les performances RF.

3.3.1 Présentation du standard ZigBee

Les contraintes des réseaux de capteurs et en particulier celles portant sur la consommation, ne permettent pas l'utilisation de standards sans fil classiques tels que le Bluetooth [10] ou le WLAN [11] trop gourmands en énergie. Le premier standard à avoir été normalisé et prenant en compte ces nouvelles contraintes liées aux réseaux WSN est le standard Zigbee. L'annexe A décrit ce standard (historique, présentation de la couche physique, spécifications...).

Le Tableau 3.3 récapitule les principales spécifications de ce standard.

	Spécifications	Valeurs	Unités
Récepteur	Sensibilité @ 1% PER	-85	dBm
	Niveau de réception maximum	-20	dBm
	Réjection du canal adjacent	0	dB
Emetteur	Puissance d'émission maximum	+10	dBm
	EVM (amplitude de l'erreur vectorielle)	<35	%

TABLE 3.3: Spécifications du standard IEEE 802.15.4.

3.3.2 Présentation de l'émetteur-récepteur

Concernant l'architecture de l'émetteur-récepteur, les spécifications Zigbee favorisent les structures du type « faible-FI » ($FI < 10$ MHz) du fait du préambule extrêmement court du code d'accès et du temps de verrouillage en fréquence long pour chaque intervalle de temps ainsi que de la modulation utilisée. L'architecture utilisée est illustrée par la Figure 3.6. Elle est constituée d'un émetteur à modulation « deux points » et d'un récepteur de type « faible-FI » : ce type d'architecture est le plus couramment utilisé dans les récepteurs ZigBee car il permet d'obtenir un bon rapport signal à bruit à la fréquence intermédiaire sans problème de bruit en $1/f$, une intégration de l'émetteur-récepteur quasi-complète et une faible consommation.

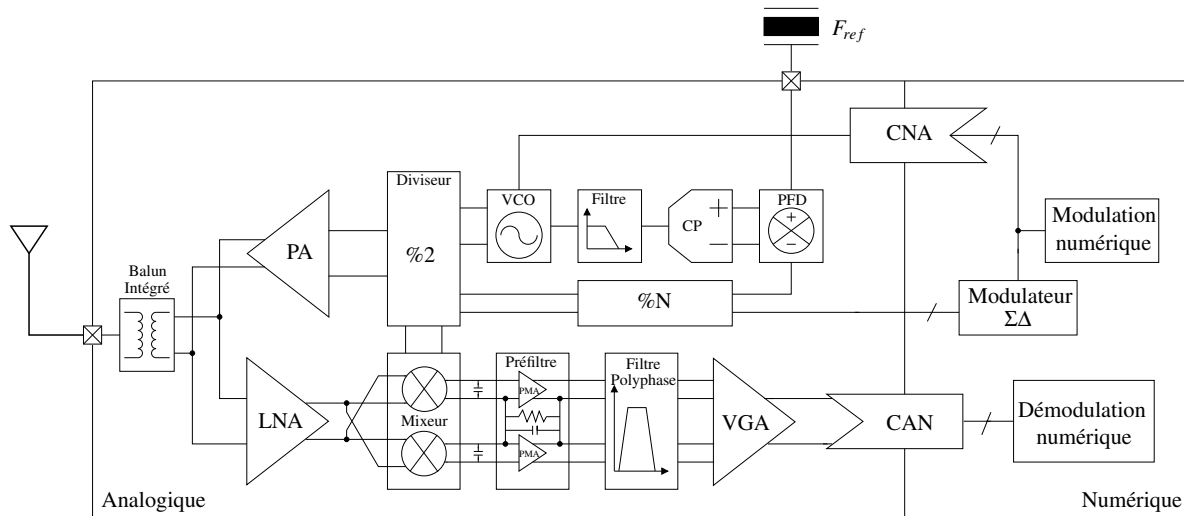


FIGURE 3.6: Diagramme bloc de l'émetteur-récepteur complet.

De plus, dans les têtes RF, il est classique d'utiliser un commutateur d'antenne permettant de réaliser la commutation entre la chaîne d'émission et la chaîne de réception [12] [13]. Ce composant est un élément externe. Il est donc coûteux, il diminue la densité d'intégration du système et il présente généralement des pertes pénalisantes pour les performances du récepteur. Son utilisation est nécessaire pour des solutions robustes mais n'est pas souhaitable pour des solutions à très bas coût. En utilisant une seule antenne, l'entrée de l'amplificateur faible bruit (LNA) et la sortie de l'amplificateur de puissance (PA) sont connectées au même plot RF. Le standard IEEE 802.15.4 fonctionnant en mode « half-duplex », le LNA et le PA doivent présenter une haute impédance en mode éteint de façon à ne pas impacter les performances de l'étage se trouvant en mode de fonctionnement. Le reste de l'interface avec l'extérieur est ensuite identique pour la partie émission et pour la partie réception.

3.3.2.1 Emetteur à modulation « deux points »

La partie émettrice est constituée d'un bloc PLL, d'un amplificateur de puissance (PA) et d'un balun. La PLL est constituée classiquement d'un VCO, d'un pré-diviseur par 2, d'un diviseur fractionnaire $N/N+1$ piloté par un codeur Sigma/delta, d'un comparateur phase/fréquence et sa pompe

de charge et d'un filtre de boucle permettant de filtrer les raies parasites issues du comparateur et de stabiliser la boucle.

La bande passante (BP) de la PLL est limitée par le filtre de boucle. La Figure 3.7 montre la participation du bruit de chacun des blocs de la PLL sur le bruit de phase en sortie. On voit que la boucle se comporte comme un filtre passe-bas vis-à-vis de la référence et comme un filtre passe-haut vis-à-vis du VCO. C'est pourquoi il est souhaitable d'élargir la bande passante de la PLL, pour optimiser la rapidité et réduire le bruit de phase du synthétiseur de fréquence.

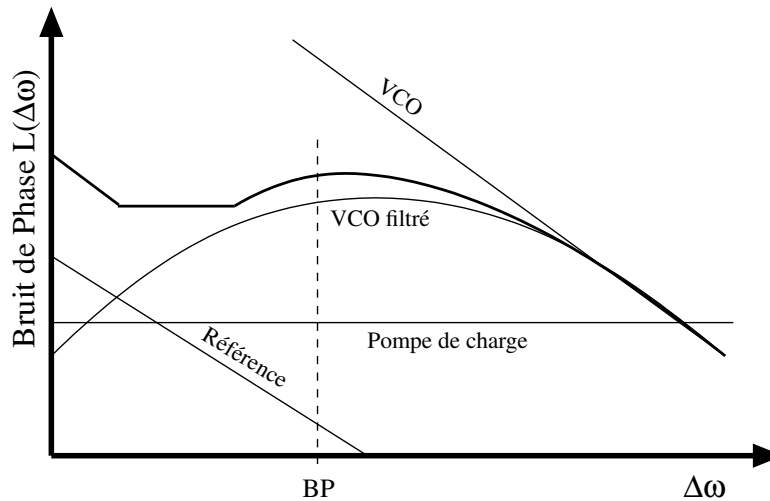


FIGURE 3.7: Bilan du bruit de phase en sortie de la PLL.

Une modulation en fréquence est nécessaire pour le standard visé. Or, la PLL étant un système asservi cherchera constamment à corriger plus ou moins vite en fonction de sa bande passante les variations de fréquence et de phase comme le montre la Figure 3.8 :

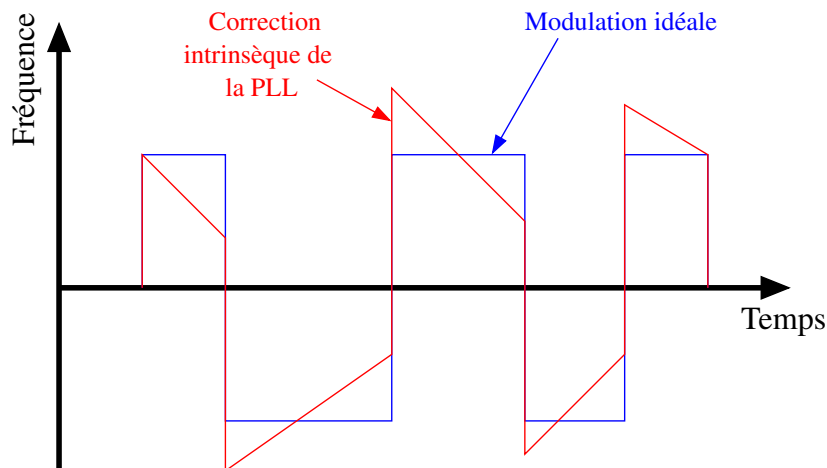


FIGURE 3.8: Effet de la PLL sur la modulation en fréquence.

Afin d'éviter ce problème, la modulation est appliquée à deux différents points en modulant directement le VCO et en contrôlant le rapport de division quand la PLL est verrouillée sur un canal radio. Le modulateur « 2 points » [14] [15] découple ainsi la bande passante de la PLL de la bande

passante de la modulation grâce à la résolution fine du contrôle numérique du Sigma-Delta qui permet d'annuler l'effet de la modulation analogique du VCO. Ainsi, la fréquence de sortie du diviseur reste constante et la modulation ne perturbe pas le comportement de la boucle. La bande passante de modulation dépend uniquement de la réponse fréquentielle du chemin de modulation analogique [16] et permet donc de réaliser des débits élevés.

Le VCO complètement intégré est montré dans la Figure 3.9. Il est constitué d'une transconductance négative, d'un résonateur de type LC et d'une double paire croisée pour la partie active. Le résonateur LC est constitué d'une inductance intégrée et des varactors de type AMOS (accumulation MOS).

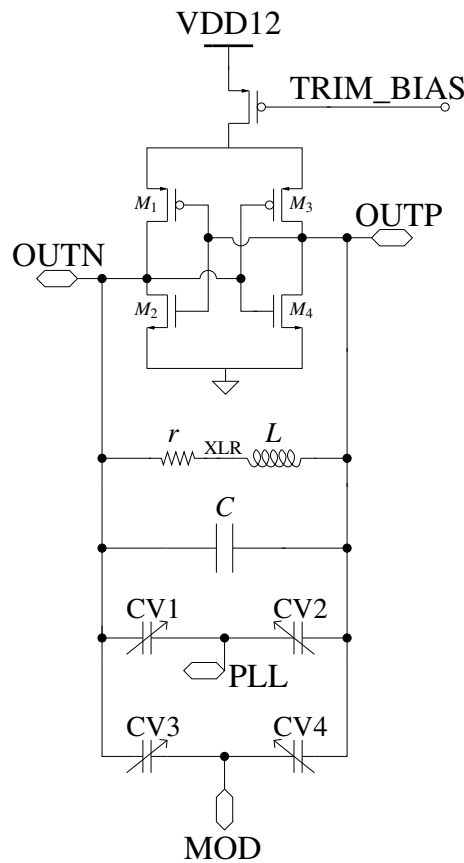


FIGURE 3.9: VCO à base d'une double paire croisée.

3.3.2.2 Récepteur de type « faible FI »

Ce type de récepteur combine à la fois les avantages de l'architecture hétérodyne et ceux de l'architecture à conversion directe appelée « FI zéro » [17]. Dans ce cas, la fréquence intermédiaire, suivant le type de modulation et l'écart entre les canaux, peut être de quelques kHz jusqu'à quelques MHz. Le canal traité ne se situant plus à fréquence nulle comme dans la « FI zéro », il n'y a plus de problème de composante DC. De même, l'influence du bruit en $1/f$ est réduite de façon plus ou moins importante suivant la valeur de la fréquence intermédiaire utilisée (relativement à la fréquence de coupure du bruit en $1/f$ liée à la technologie) et la valeur de la bande passante du canal. De plus, cette solution permet d'atteindre un niveau d'intégration assez élevé si on le compare à celui de la structure

hétérodyne, même si, avec une fréquence intermédiaire non nulle, le problème de la réjection du signal d'image reste présent. Le filtre réalisant la sélection de canal en sortie du mélangeur ne peut plus être un simple filtre passe-bas comme dans le cas de la structure à conversion directe. Le seul changement entre un récepteur à conversion directe et « faible FI » consiste à remplacer le filtre passe-bas par un filtre complexe appelé aussi filtre polyphase permettant de rejeter la fréquence image. La difficulté avec ce type de récepteur réside dans le fait que la suppression de la fréquence image par le filtre polyphase ne peut être élevée que si, à son entrée, les voies I et Q sont parfaitement équilibrées en phase et en amplitude [18].

3.3.3 Modélisation de l'émetteur en Verilog-A

3.3.3.1 Modélisation de la PLL

Modélisation du VCO en Verilog-A :

- *Objectifs de la modélisation en Verilog-A :*

L'objectif de la modélisation en Verilog-A des circuits est de permettre de retrouver le même comportement du circuit modélisé que celui simulé au niveau transistor mais en fournissant plus rapidement des résultats de simulation et en décrivant explicitement les propriétés qui nous intéressent. Parmi les paramètres importants à modéliser, on peut notamment citer les impédances d'entrée et de sortie, la consommation en courant, la variation de fréquence en fonction de la tension de contrôle, de la tension d'alimentation et de commande de la fréquence et le bruit de phase.

- *Procédure de modélisation en Verilog-A du VCO :*

Pour modéliser le fonctionnement du VCO de la Figure 3.9, il a été choisi de réaliser un modèle de type structurel et non comportemental. Les transistors MOS qui fournissent la résistance négative au circuit oscillant sont remplacés par des équations de source de courant simplifiées et les capacités servant au calibrage du VCO sont modélisées comme des composants venant s'ajouter au circuit LC. La structure du modèle du VCO est donc la transcription en Verilog-A du circuit au niveau transistor avec des simplifications pour améliorer la vitesse de simulation.

Etant donné que le VCO est le composant central de la PLL et un des blocs les plus sensibles aux bruits de l'alimentation, c'est le bloc qui a reçu la plus grande attention au cours de la modélisation. Ce modèle a été réalisé en gardant à l'esprit la nécessité de pouvoir réutiliser le modèle facilement. Les paramètres des équations sont essentiellement ceux fournis par les caractéristiques de la technologie. Les autres paramètres sont liés au dimensionnement effectif des transistors (largeur et longueur du canal W/L).

Pour ce qui est du bruit de phase, il a été décidé de tirer parti de la modélisation structurelle afin de pouvoir observer le phénomène physique de génération du bruit de phase à partir des sources de bruit internes des transistors. Au lieu de se servir de la fonction Verilog-A flicker_noise [19] pour générer directement du bruit en $1/f^\alpha$ en sortie de l'oscillateur, on ajoute des sources de bruit en $1/f$ au niveau des transistors MOS et des sources de bruit blanc qui seront converties par repliement en bruit de phase lors du fonctionnement du VCO.

La puissance du bruit injectée est directement fonction des dimensions des transistors MOS afin de faciliter la réutilisation du modèle pour d'autres circuits. Les équations utilisées sont celles présentées dans [20] [21]. Le diagramme bloc est présenté sur la Figure 3.10. Les varactors, la résistance négative et l'inductance sont connectés en parallèle. L'alimentation intervient directement sur la résistance négative. Le bruit de phase est injecté au niveau des sorties différentielles du VCO. Une partie des lignes de code modélisant le VCO est montrée dans l'annexe B.

– Performances du modèle de VCO en Verilog-A :

Les simulations effectuées avec le modèle du VCO en Verilog-A permettent de vérifier que les performances du modèle correspondent à celles réalisées avec le circuit électrique au niveau transistor. La première vérification concerne le comportement temporel (Figure 3.11). Le comportement du modèle de VCO lors du démarrage (Figure 3.11 (a)) ainsi qu'en régime établi (Figure 3.11 (b)) est comparé aux résultats de simulation du circuit au niveau transistor.

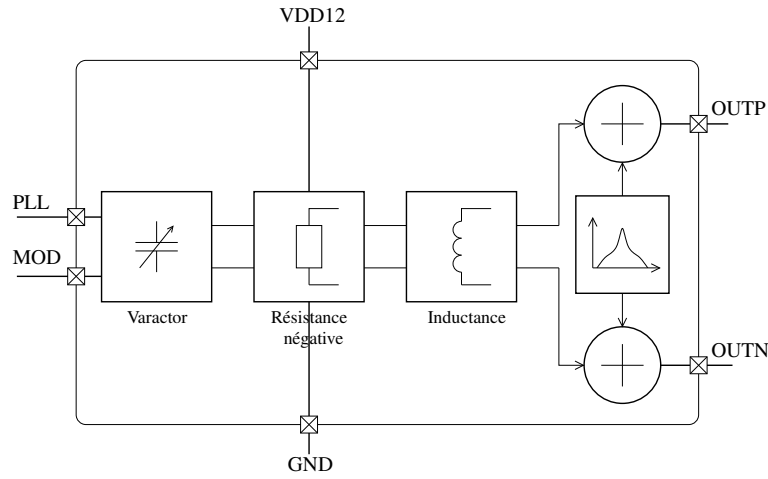


FIGURE 3.10: Diagramme bloc du VCO.

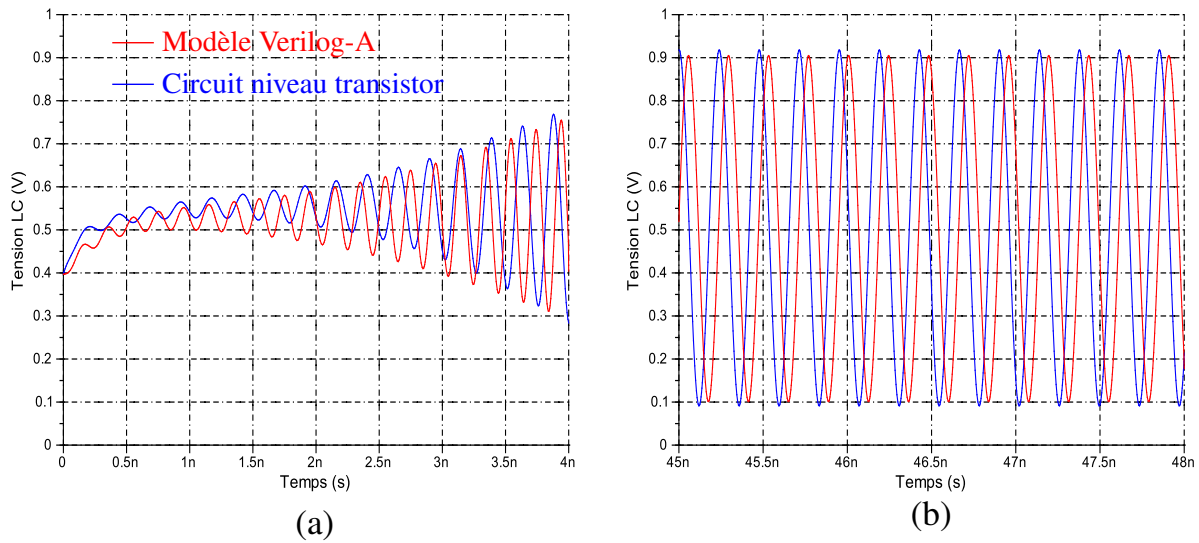


FIGURE 3.11: Comparaison du régime transitoire du VCO avec le modèle Verilog-A au démarrage (a) et en régime établi (b).

On observe un décalage seulement de 2 mV dans les deux cas simulés au niveau de la tension moyenne du résonateur LC. Il existe également un déphasage dû à la différence de temps de démarrage entre les signaux mais aucune contrainte n'avait été fixée vis à vis de la phase du VCO. Ce modèle peut donc être considéré comme conforme à nos attentes pour ce qui concerne le régime temporel.

La vérification suivante consiste à s'assurer que la fréquence du VCO s'adapte bien au changement de tension de commande de la fréquence correspondant aux bits de commande. Il faut en effet pouvoir garantir que le modèle intègre bien les composants parasites qui sont présents dans le circuit du VCO et qui participent à la fréquence d'oscillation de ce dernier. La Figure 3.12 représente la variation de la fréquence du VCO pour diverses valeurs de calibrage.

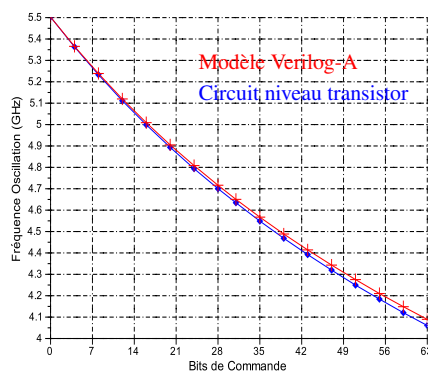


FIGURE 3.12: Fréquence du VCO modélisé en fonction des bits de commande.

Pour la gamme de fréquences qui nous concerne, le modèle de VCO fournit une bonne estimation de la fréquence d'oscillation lorsque les bits de commande sont modifiés.

Le bruit de phase du VCO a été modélisé pour coïncider avec les résultats de la simulation obtenus en utilisant le circuit au niveau transistor. La Figure 3.13 montre la comparaison entre le profil du bruit de phase modélisé et simulé à partir du circuit au niveau transistor lorsque l'alimentation du VCO est perturbée par un bruit modélisé par une tension sinusoïdale à la fréquence de 20MHz et avec une amplitude de 20mV.

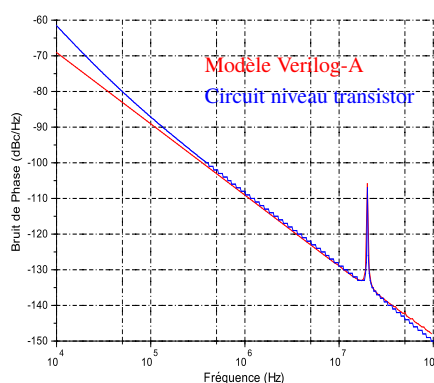


FIGURE 3.13: Comparaison du profil du bruit de phase entre la modélisation et la simulation du circuit transistor.

On observe que le chemin entre l'alimentation et la sortie du VCO est bien pris en compte dans le modèle Verilog-A à travers la remontée du bruit de phase à la fréquence où la perturbation a été introduite.

Le gain de temps en simulation avec le modèle en Verilog-A est important. Pour obtenir les formes d'ondes sur une durée de 100ns, le temps de simulation en temporel passe de 638 secondes à 4 secondes soit un gain en temps d'un facteur 160 environ. Enfin, le temps de simulation fréquentielle du circuit est lui aussi réduit puisqu'il passe de 49 minutes à 3,5 minutes soit un facteur 14.

Modélisation du comparateur de phase/fréquence (PFD), de la pompe de charge (CP) et du filtre de boucle :

– Description du détecteur de phase/fréquence et de son modèle associé :

Le comparateur de phase est un circuit capable de fournir un signal proportionnel à la différence de phase de ses deux signaux d'entrée CKREF (signal de référence) et CKIN (signal de sortie du diviseur de fréquence) [22].

Le modèle du comparateur de phase et de fréquence en Verilog-A a pour but de reproduire le comportement du circuit transistor de façon précise afin de faire converger les simulations sous Eldo-RF. La fonction « cross » est utilisée pour détecter les fronts montants sur les entrées CKREF et CKIN. La fonction « transition » permet d'avoir des fronts sur les impulsions de tension UP et DOWN plus « doux ». Cela limite alors le risque d'avoir de brusques variations fortement dépendantes de l'instant de commutation. Les chemins entre l'alimentation et les sorties du comparateur sont aussi modélisés. Un échantillon des lignes de code modélisant le comparateur de phase et de fréquence est présenté dans l'annexe B en ne laissant apparaître que les signaux permettant d'en faciliter la compréhension. La Figure 3.14 présente le diagramme bloc décrivant la modélisation comportementale du comparateur de phase et de fréquence.

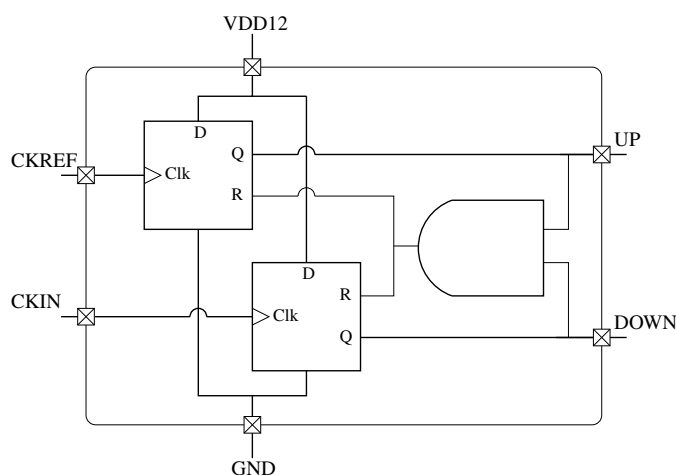


FIGURE 3.14: Diagramme bloc du comparateur de phase/fréquence.

– Description de la pompe de charge et de son modèle associé :

Les sorties du comparateur de phase et de fréquence sont connectées à un circuit de pompe de charge. Ce type de circuit permet de générer un courant de charge ou de décharge respectivement en

fonction des signaux logiques UP et DOWN. Le courant est converti par le filtre de boucle transimpédance en tension destinée à commander l'oscillateur.

Le modèle comporte deux commutateurs pilotés l'un par UP et l'autre par DOWN. Le courant de référence du circuit de la pompe de charge est fourni par une référence extérieure. Le modèle doit donc générer les impulsions de courant à partir de cette source extérieure. Le modèle permet ainsi de simuler l'impact d'une variation de la source de courant sur la boucle de phase. La contribution en bruit de la pompe de charge dépend en partie du bloc lui-même (bruit des transistors et des résistances du filtre) mais également de la résistance externe utilisée pour générer le courant de référence I_{ref} . Bien que l'on sache que le bruit proche de la porteuse dans une PLL est essentiellement dû à la source de référence, la contribution en bruit en $1/f$ de la pompe de charge a été modélisée. Les paramètres nécessaires à la modélisation du bruit de cette fonction ont été extraits des résultats de simulation du circuit au niveau transistor. L'essentiel du modèle de la pompe de charge est présenté dans l'annexe B. La modélisation des chemins de l'alimentation vers les entrées/sorties est réalisée par la méthode décrite dans la section précédente. La Figure 3.15 montre le diagramme bloc utilisé afin de modéliser de manière comportementale la pompe de charge.

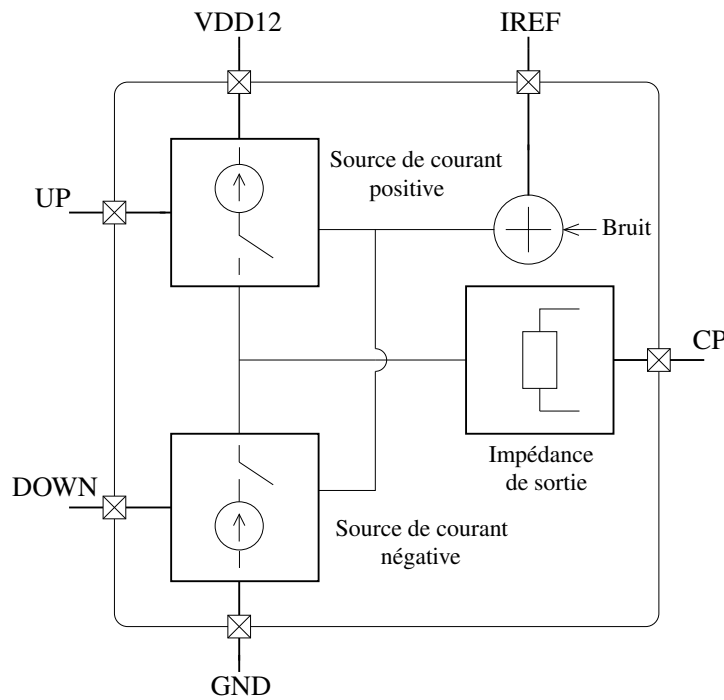


FIGURE 3.15: Diagramme bloc de la pompe de charge.

– Description du filtre de boucle et de son modèle associé :

Le signal de sortie de l'ensemble PFD-pompe de charge est constitué par une composante DC et un certain nombre d'harmoniques qui doivent être minimisés de façon à fournir un signal continu au VCO. Ces composantes indésirables étant en haute fréquence, l'utilisation d'un filtre passif passe-bas (Figure 3.16) s'impose [23]. Les composants C_1 , R_3 et C_3 permettent de réaliser la fonction de filtre passe-bas alors que R_2 et C_2 réalisent une fonction d'avance de phase afin de stabiliser la boucle de la PLL.

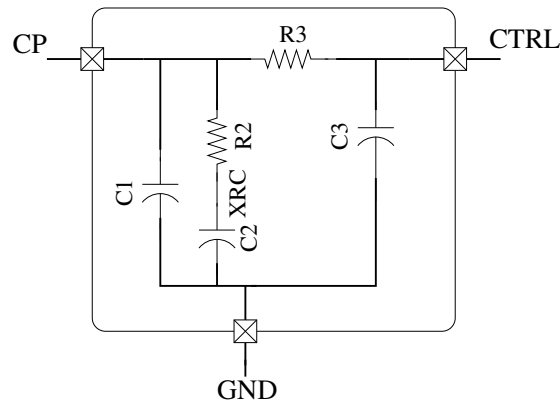


FIGURE 3.16: Schéma du filtre passif du troisième ordre.

Le modèle complet de type structurel du filtre passe-bas est présenté dans l'annexe B.

– Performances de l'ensemble PFD/CP/filtre modélisé en Verilog-A :

Les performances des modèles de l'ensemble des trois fonctions sont conformes à nos attentes. Il est ainsi possible de vérifier que les délais et la durée de la fenêtre de comparaison sont bien identiques à ceux simulés au niveau transistor pour le détecteur de phase/fréquence. La Figure 3.17 montre une comparaison des signaux aux nœuds de sortie de chaque fonction entre le modèle Verilog-A et le circuit au niveau transistor.

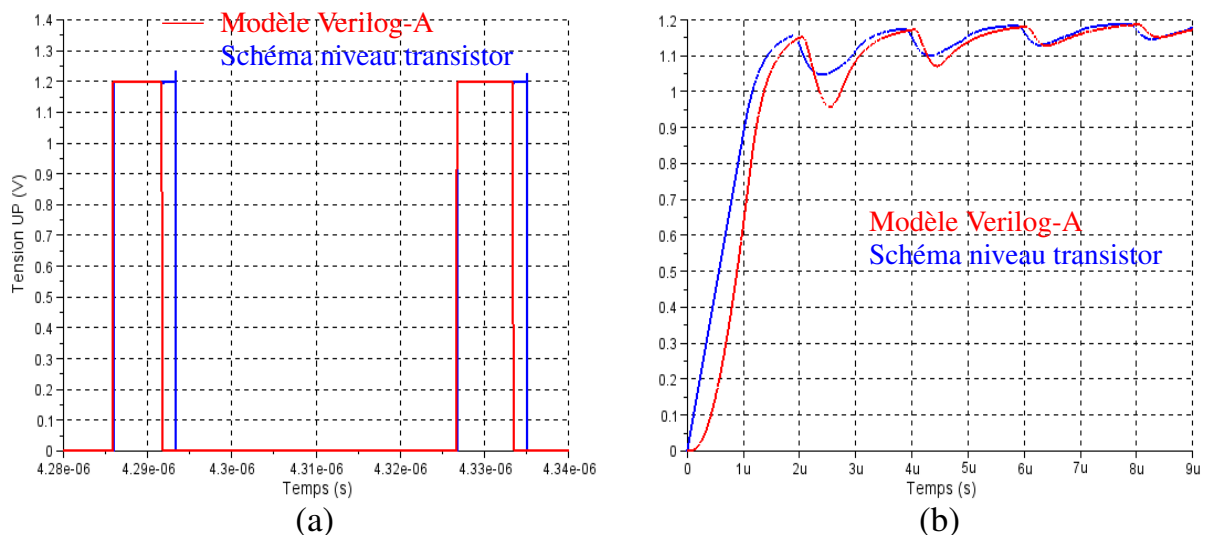


FIGURE 3.17: Comparaison entre le modèle Verilog-A et le circuit au niveau transistor de la sortie UP du détecteur de phase/fréquence (a) et de la sortie du filtre passe-bas (b).

D'un point de vu temps de simulation, la simulation sur une durée de 9 μ s de l'ensemble passe de 257 secondes au niveau transistor à 4 secondes avec le modèle Verilog-A, soit un facteur de gain de temps de 64. Pour ce qui est de l'analyse fréquentielle, la simulation met 360 secondes à converger avec le circuit au niveau transistors tandis que 4 secondes suffisent avec le modèle en Verilog-A.

Modélisation des diviseurs : Les diviseurs de fréquence permettent d'adapter le signal de sortie à la fréquence souhaitée en le synchronisant sur le signal de référence. Les fréquences atteintes en sortie vont jusqu'à la fréquence maximale d'oscillation du VCO. Le principe de fonctionnement des diviseurs de fréquence est basé sur le décodage par une logique combinatoire de l'état de plusieurs bascules rapides.

La modélisation de la détection de commutations se fait à l'aide de la fonction « cross ». Pour pallier aux difficultés de convergence causées par le manque de précision des simulations par défaut, la modélisation des créneaux est faite en utilisant la fonction tangente hyperbolique. Le recours à cette solution permet d'avoir des fronts sur les impulsions de tension plus « doux ». Cela limite alors le risque d'avoir de brusques variations fortement dépendantes de l'instant de commutation. L'essentiel du modèle de diviseur de fréquence est présenté dans l'annexe B.

Les simulations effectuées avec ce type de modèle permettant de vérifier que le fonctionnement du diviseur de fréquence était conforme à celui du circuit au niveau transistor. En revanche, on constate que le bruit de phase du signal d'entrée n'est pas présent à la sortie. Ce comportement s'explique par la commutation sur niveau du diviseur qui est fortement tributaire du pas de calcul du simulateur. Pour pallier à ce problème, on choisit d'utiliser les circuits au niveau transistor des diviseurs.

Simulation de la PLL : Chaque bloc constituant la PLL décrit dans les paragraphes précédents étant à présent modélisé et vérifié, il est désormais possible d'avoir recours à une simulation globale de la PLL bouclée. Les simulations font donc intervenir les modèles du VCO, du comparateur de phase et de fréquence avec le circuit de pompe de charge associés au filtre de boucle intégré et les circuits au niveau transistor des diviseurs de fréquences.

La simulation de la PLL au niveau transistor étant très longue et délicate à régler, elle n'est pas réalisée. Cependant, les vérifications individuelles des blocs ont permis d'élaborer des modèles en Verilog-A compatibles avec les circuits au niveau transistor. Grâce à cette modélisation, il est possible de simuler la phase d'accrochage du VCO comme le montre la Figure 3.18. On montre les deux signaux d'entrée (CKIN et CKREF) du comparateur ainsi que la tension de commande du VCO jusqu'au verrouillage.

Cependant, il ne s'agit pas de la partie la plus intéressante de ce modèle. En effet, le principal point ayant motivé la modélisation de la PLL et de la chaîne RF complète est la capacité offerte par le langage Verilog-A d'analyser le bruit de phase du circuit et par conséquent l'impact du bruit apporté par l'alimentation. La simulation de cette chaîne complète donne en 9 minutes le résultat présenté sur la Figure 3.19. Le bruit de phase est détérioré autour de la fréquence de la perturbation de l'alimentation.

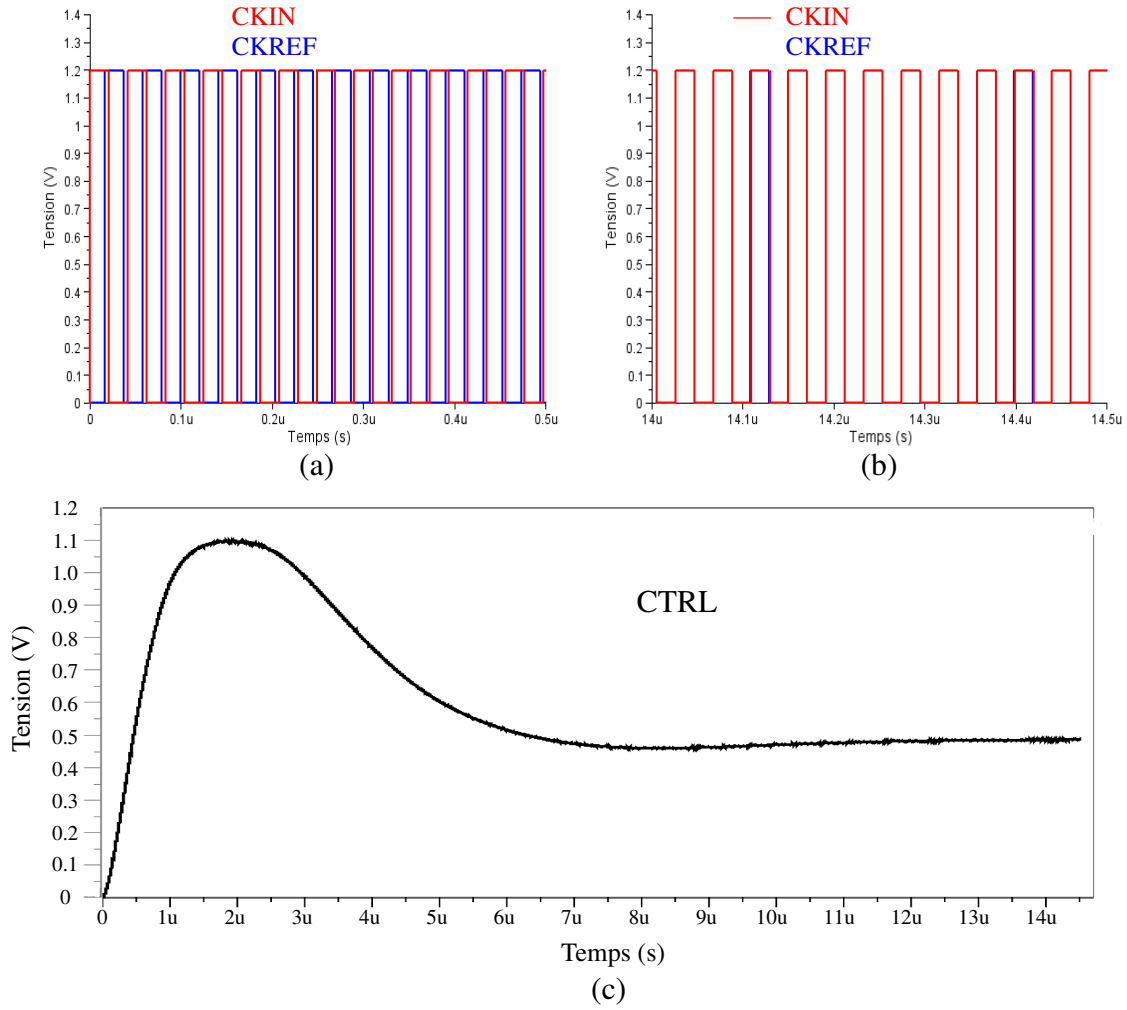


FIGURE 3.18: (a) Signaux d'entrée CKIN et CKREF non verrouillés. (b) Signaux d'entrée CKIN et CKREF verrouillés. (c) Tension de commande CTRL du VCO jusqu'au verrouillage.

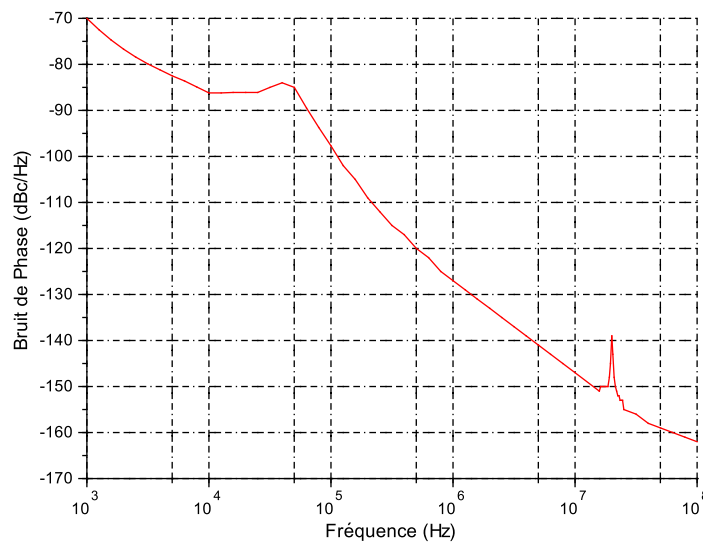


FIGURE 3.19: Simulation du modèle du bruit de phase en sortie de la PLL.

On peut aisément reconnaître sur cette figure les zones caractéristiques du bruit de phase d'une PLL décrite dans la Figure 3.7. On retrouve dans l'ordre, en partant de la porteuse, le bruit de la référence, le bruit de la pompe de charge et le bruit du VCO.

3.3.3.2 Modélisation du balun intégré

Un balun est nécessaire à l'entrée de l'émetteur-récepteur (voir Figure 3.6) pour passer d'un mode « single » à la sortie de l'antenne à un mode différentiel. Ce balun réalise l'interface avec l'antenne aussi bien pour la partie émission que pour la partie réception. Il doit donc être compatible avec les spécifications des deux branches.

Le modèle de balun directement obtenu à partir des équations traduisant le couplage magnétique entre les boucles de courants est présenté sur la Figure 3.20 [23]. Les pertes ohmiques sont représentées et peuvent se résumer à une résistance série r (r_p et r_s). Le modèle tient également compte des capacités de couplage entre les enroulements (C_p et C_x). Les entrées/sorties N et P sont connectées au LNA et au PA. Lorsque le module RF se trouve en mode émission, le PA est polarisé via l'entrée IN du balun. En mode réception, l'entrée IN est à la masse. On en déduit le modèle structurel (voir annexe B) en Verilog-A associé au diagramme bloc suivant.

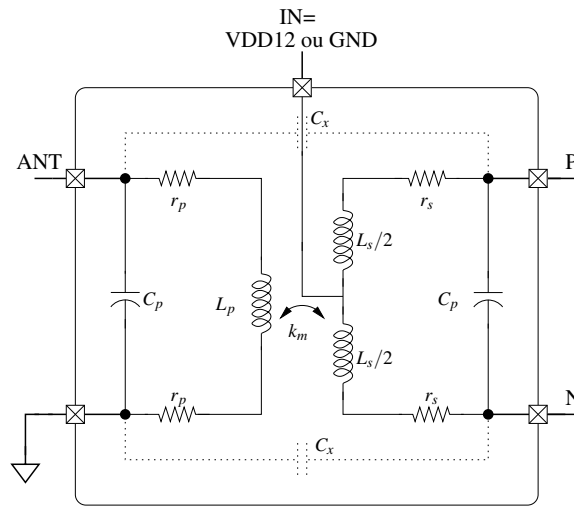


FIGURE 3.20: Modèle complet du balun intégré.

3.3.3.3 Modélisation de l'amplificateur de puissance (PA)

Un amplificateur de puissance de type cascode classique [24] est utilisé dans la tête RF. Le diagramme bloc de la Figure 3.21 présente les éléments servant à la modélisation comportementale de l'amplificateur de puissance. Les impédances d'entrée et de sortie sont modélisées en utilisant les relations courant-tension. Le gain de l'amplification dépend du nombre de cellules cascodes activées. La modélisation des chemins d'alimentation vers l'entrée et la sortie du bloc est réalisée à l'aide de la méthodologie décrite précédemment. Une partie des lignes de code modélisant le PA est présentée dans l'annexe B.

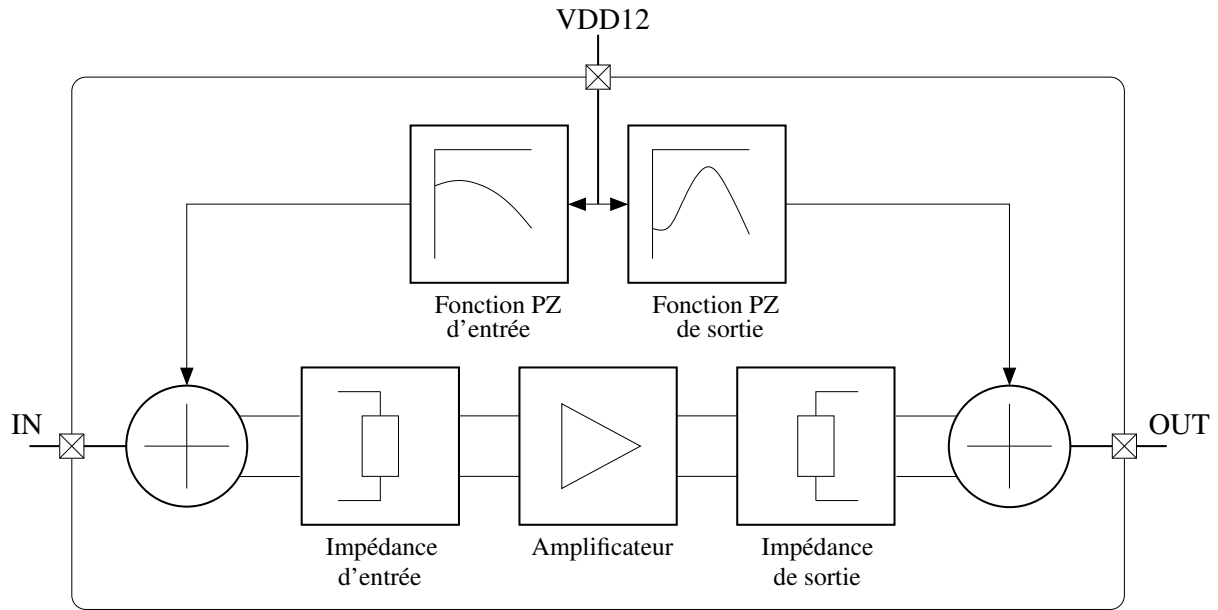


FIGURE 3.21: Diagramme bloc de l'amplificateur de puissance.

Les performances de l'amplificateur de puissance modélisé en Verilog-A ont été comparées avec celles au niveau transistor. La puissance de sortie en fonction du calibrage est bien identique à celle simulée avec le circuit au niveau transistor. Le modèle intègre la variation de la tension de sortie de l'amplificateur de puissance en fonction des variations de son alimentation. Pour cela, la méthodologie décrite dans le paragraphe 2 est utilisée dans la suite du mémoire. La Figure 3.22 présente les résultats de la simulation de l'amplificateur de puissance dans le domaine temporel. Une comparaison de la tension de sortie entre le modèle Verilog-A et le circuit au niveau transistor est réalisée pour une alimentation idéale et une alimentation bruitée par une tension sinusoïdale à la fréquence de 10MHz et avec une amplitude de 20mV.

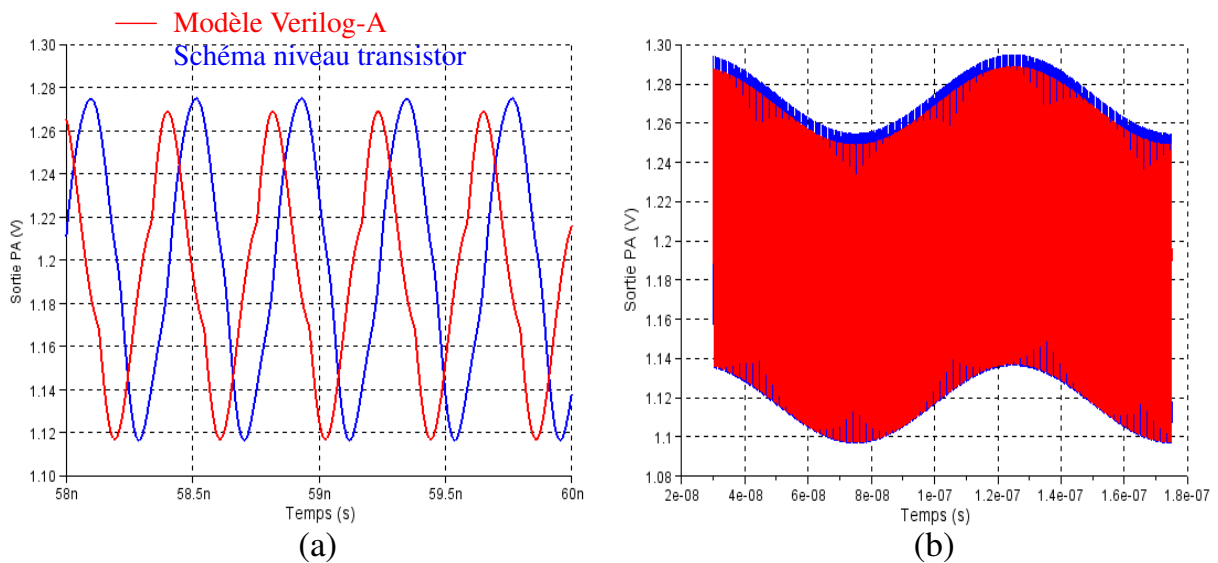


FIGURE 3.22: Comparaison entre le modèle Verilog-A et le circuit au niveau transistor de la tension de sortie de l'amplificateur de puissance avec une alimentation idéale (a) et une alimentation bruitée (b).

On observe un déphasage entre les signaux qui dépend du temps de retard engendré par les simulateurs. Cette différence de phase n'a pas d'impact sur la validité du modèle. Ce modèle peut donc être considéré comme conforme à nos attentes pour ce qui concerne le régime temporel.

D'un point de vu temps de simulation, la simulation en temporel de 200ns de l'amplificateur de puissance passe de 837 secondes au niveau transistor à 7 secondes avec le modèle Verilog-A, soit un facteur de gain de temps de 119.

3.3.4 Modélisation du récepteur en Verilog-A

Le récepteur est composé du même balun que l'émetteur permettant de faire la conversion « single-ended » vers différentiel, d'un amplificateur faible bruit (LNA) dont les entrées sont directement connectées au PA, d'un diviseur par deux sur la voie LO permettant de générer les signaux en quadrature nécessaires en sortie du mélangeur. Le mélangeur permet de passer de la fréquence RF à une fréquence intermédiaire de quelques MHz. L'étage suivant est un filtre de canal polyphase qui réalise le filtrage des fréquences parasites. Enfin, le dernier étage est un amplificateur à gain variable (VGA).

3.3.4.1 Modélisation de l'ensemble LNA/Mixeur/PMA

Description des blocs et des modèles du LNA/Mixeur/PMA : Un amplificateur faible bruit (LNA) est nécessaire en entrée de la chaîne de réception afin d'augmenter la sensibilité du récepteur. La technique dite de « noise cancelling » est utilisée afin de réduire la figure de bruit du LNA [25] et de faciliter l'adaptation d'impédance large bande en entrée. Le Tableau 3.4 résume les principales performances de cette solution à 2.45GHz.

Paramètres	Valeurs	Unités
Gain	15	mS
NF	9	dB
IP3	-7	dBm

TABLE 3.4: Performances du LNA.

Les valeurs de ces paramètres vont permettre de réaliser la modélisation comportementale du LNA. Les sous-blocs du diagramme suivant (Figure 3.23) présentent les caractéristiques prises en compte dans cette modélisation. Les impédances d'entrée et de sortie sont modélisées en utilisant les relations courant-tension. La réponse fréquentielle est décrite grâce à la fonction de Laplace « laplace_zp ». La non-linéarité du LNA est exprimée en termes de point d'interception du 3ème ordre et des saturations des amplitudes du signal d'entrée et de sortie. Une partie des lignes de code modélisant le LNA est présentée dans l'annexe B.

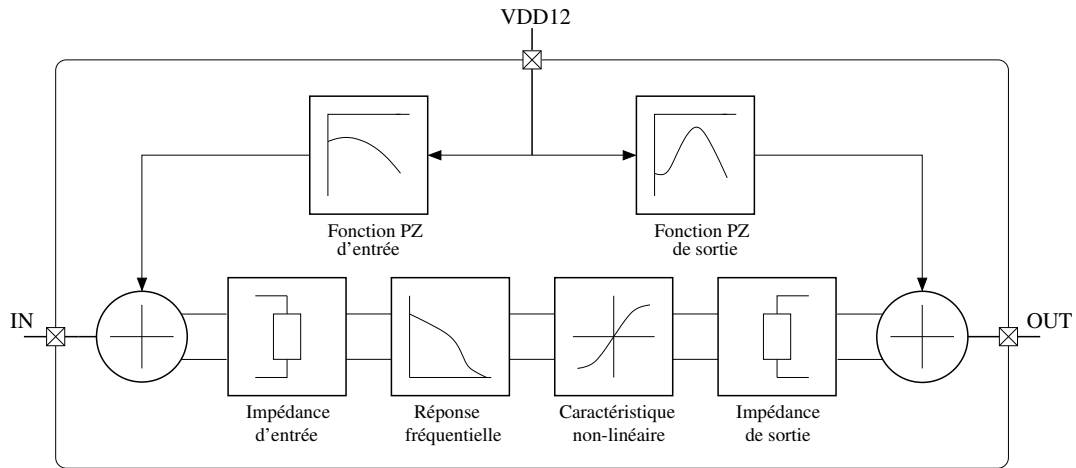


FIGURE 3.23: Diagramme bloc du LNA.

La sortie du LNA est connectée à un mélangeur CMOS [26]. Il permet de traduire en fréquence les signaux d'entrée avant de réaliser la sélection de canal. La Figure 3.24 présente le diagramme bloc du mixeur. Le code complet du mixeur est récapitulé en annexe B. La fonction Verilog-A « cross » est utilisée pour détecter les fronts montants sur les entrées LO.

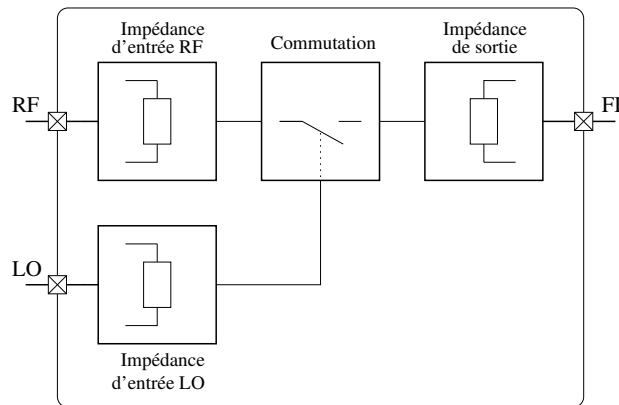


FIGURE 3.24: Diagramme bloc du mixeur.

Un amplificateur de type PMA (Post Mixer Amplifier) est ensuite utilisé pour réaliser un filtre du premier ordre. Il a pour but de faire, d'une part, une pré-sélection du canal, en filtrant les brouilleurs, et d'autre part, d'apporter un complément de gain suffisant pour masquer le bruit des étages suivants. Le diagramme bloc du PMA (Figure 3.25) présente les sous-blocs qui ont été modélisés en Verilog-A. Le code est présenté en annexe B.

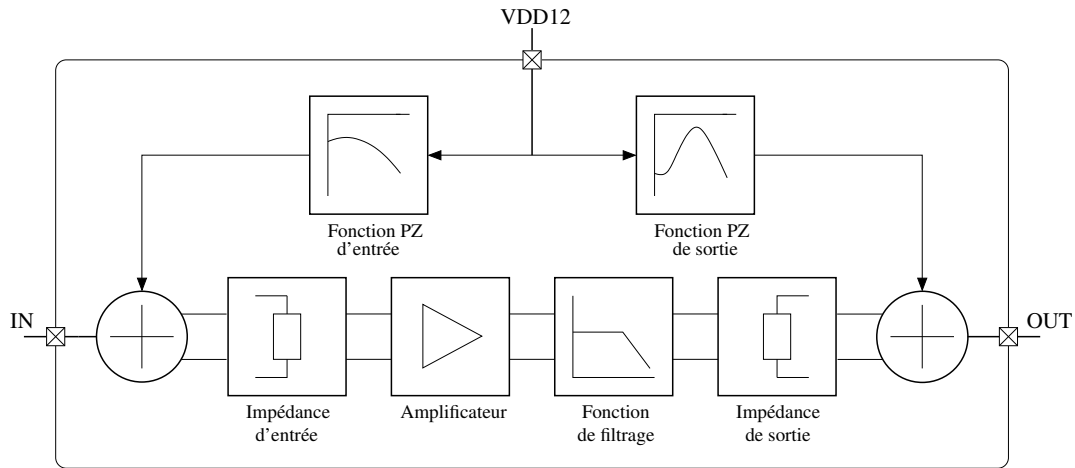


FIGURE 3.25: Diagramme bloc du PMA.

3.3.4.2 Modélisation du filtre polyphase

L'objectif d'un filtre complexe est d'effectuer une distinction entre les fréquences positives et les fréquences négatives d'un signal [26]. Cette fonction peut être réalisée à l'aide d'un filtre passe-bande obtenu par transformation fréquentielle linéaire d'un filtre passe-bas. La méthode la plus efficace pour réaliser la modélisation comportementale de ce bloc consiste à décrire la synthèse directe (un intégrateur et un amplificateur complexe) de la fonction de transfert [26] en utilisant l'équation :

$$\frac{\omega}{\omega_0} \cdot Y(j\omega) = X(j\omega) + (j \cdot 2 \cdot Q - 1) \cdot Y(j\omega) \quad (3.1)$$

avec ω_0 représentant la fréquence de coupure à -3dB du filtre passe-bas d'origine et Q le facteur de qualité du filtre passe-bande. Ce dernier paramètre est défini comme le rapport entre la fréquence centrale et la bande passante à -3dB.

La Figure 3.26 montre le diagramme du filtre complexe permettant la modélisation comportementale du bloc. Un extrait des lignes du code est présenté en annexe B.

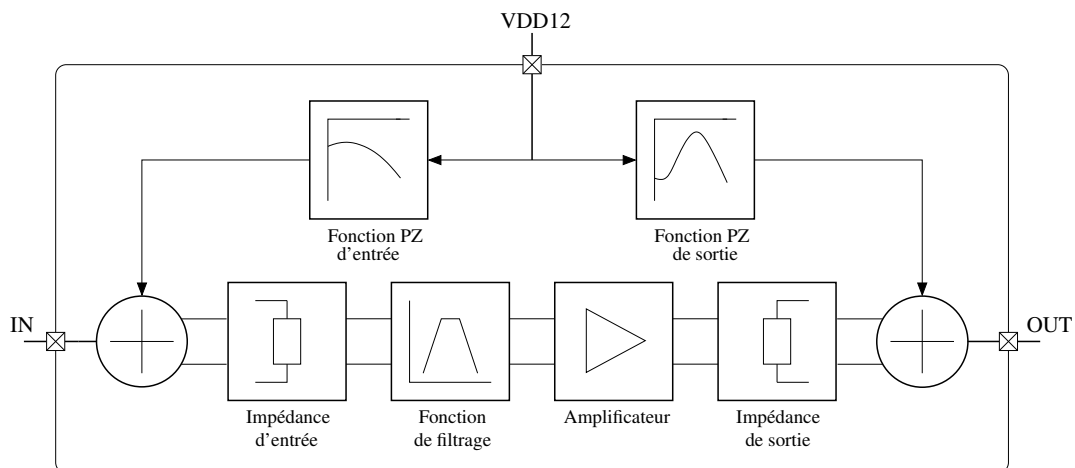


FIGURE 3.26: Diagramme bloc du filtre polyphase.

3.3.4.3 Modélisation de l'amplificateur à gain variable (VGA)

Un amplificateur à gain variable est utilisé en sortie de la chaîne de réception afin d'adapter le niveau du signal à la dynamique du convertisseur analogique-numérique avant le traitement numérique en bande de base. Le diagramme bloc de la Figure 3.27 présente les éléments servant à la modélisation comportementale du VGA. Les impédances d'entrée et de sortie sont modélisées en utilisant les relations courant-tension. Une partie des lignes de code modélisant le VGA est présentée dans l'annexe B.

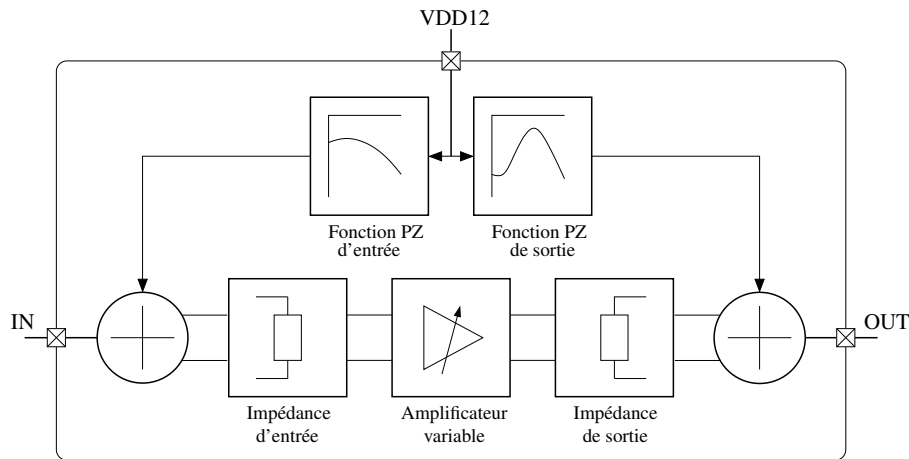


FIGURE 3.27: Diagramme bloc du VGA.

3.3.5 Simulation de la chaîne RF et choix de sa stratégie d'alimentation

Une fois tous les blocs de la chaîne RF modélisés et vérifiés, il est désormais possible d'avoir recours à une simulation globale de l'émetteur-récepteur. Comme le module RF fonctionne en mode « half-duplex », la simulation de l'émetteur est dissociée de celle du récepteur. Un bruit d'alimentation constitué d'une composante DC à laquelle est superposé un signal sinusoïdal d'amplitude et de fréquence connue est injecté pendant une émission ou une réception de la chaîne.

Cette simulation globale permet d'évaluer l'impact du bruit d'alimentation sur le signal RF en sortie de l'antenne en émission ou en sortie du module de détection en réception. Ainsi, les raies parasites sur les spectres d'émission et de réception permettent de déduire un rapport signal à bruit (SNR) en fonction de l'amplitude et de la fréquence du bruit d'alimentation. A partir des relations décrites dans l'annexe A (SNR en fonction de l'EVM/sensibilité), les performances en EVM et en sensibilité de la chaîne RF peuvent être calculées. Ainsi, il est possible de déterminer les principaux contributeurs dans la chaîne d'émission/réception qui dégradent les performances RF. A partir de ces résultats, une architecture d'alimentation optimisée composée d'un régulateur à découpage à fort rendement cascadié à des régulateurs linéaires à forte réjection des bruits d'alimentation est mise en place afin d'optimiser les performances RF. Les paramètres les plus critiques de ce système d'alimentation sont la fréquence de découpage, l'amplitude de l'ondulation résiduelle en sortie du régulateur à découpage ainsi que le niveau et la bande de fréquence de réjection du bruit d'alimentation des régulateurs linéaires.

3.3.5.1 Simulation de l'émetteur

L'architecture de l'émetteur est rappelée dans la Figure 3.28. Quatre domaines d'accès sont utilisés pour alimenter la structure :

- Vdd_{RF} alimente les blocs fonctionnant à 2.45GHz.
- Vdd_{VCO} alimente le VCO ainsi que le diviseur par deux associé.
- Vdd_{PFD} alimente la pompe de charge ainsi que le comparateur de phase/fréquence.
- Vdd_{PRESC} alimente le diviseur fractionnaire $N/N+1$.

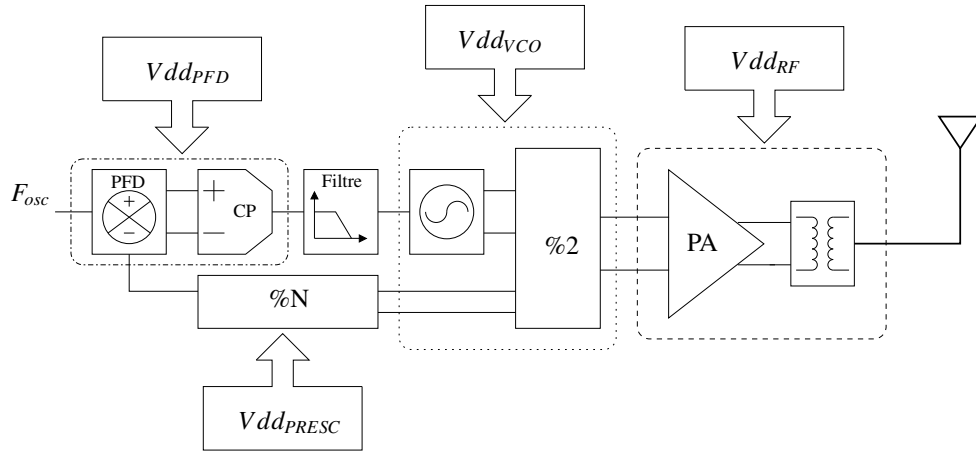


FIGURE 3.28: Structure de l'émetteur avec ses 4 domaines d'alimentation.

Tous les accès d'alimentation sont bruités de la même façon par un signal sinusoïdal. Un calcul de SNR en sortie de l'antenne permet de déterminer l'EVM en fonction de l'amplitude et de la fréquence du bruit de l'alimentation. La Figure 3.29 présente les résultats obtenus d'EVM pour une perturbation donnée. L'EVM le plus dégradé (6%) est obtenu pour une alimentation bruitée à une fréquence autour de 10MHz.

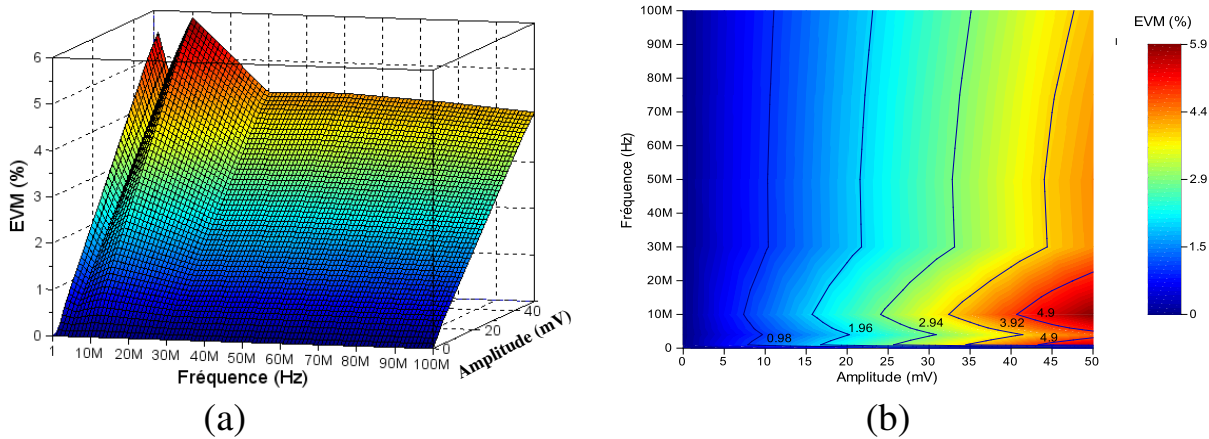


FIGURE 3.29: (a) EVM en fonction de l'amplitude et de la fréquence du bruit de l'alimentation. (b) Courbe de niveau représentant l'EVM en fonction de l'amplitude et de la fréquence du bruit de l'alimentation.

A partir de cette étude, il est possible de déterminer les niveaux de contribution des différents blocs qui dégradent l'EVM. La Figure 3.30 présente ces degrés de contribution : on constate que 89% de la dégradation de l'EVM est due au VCO.

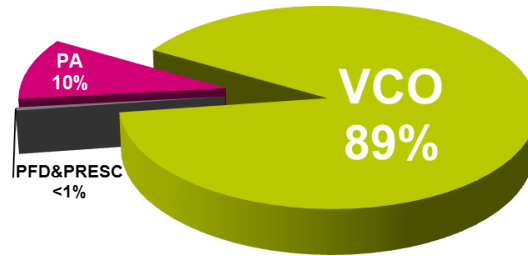


FIGURE 3.30: Répartition des contributeurs qui dégradent l'EVM.

3.3.5.2 Simulation du récepteur

La même étude est réalisée pour une phase de réception du module RF. La Figure 3.31 illustre la structure du récepteur avec ses différents accès d'alimentation. Parmi ces accès, on retrouve ceux dédiés à la PLL (Vdd_{VCO} , Vdd_{PFD} et Vdd_{PRESC}) et à l'alimentation des blocs fonctionnant à 2.45GHz (Vdd_{RF}). Un dernier accès (Vdd_{BBRX}) permet d'alimenter les blocs fonctionnant en bande de base.

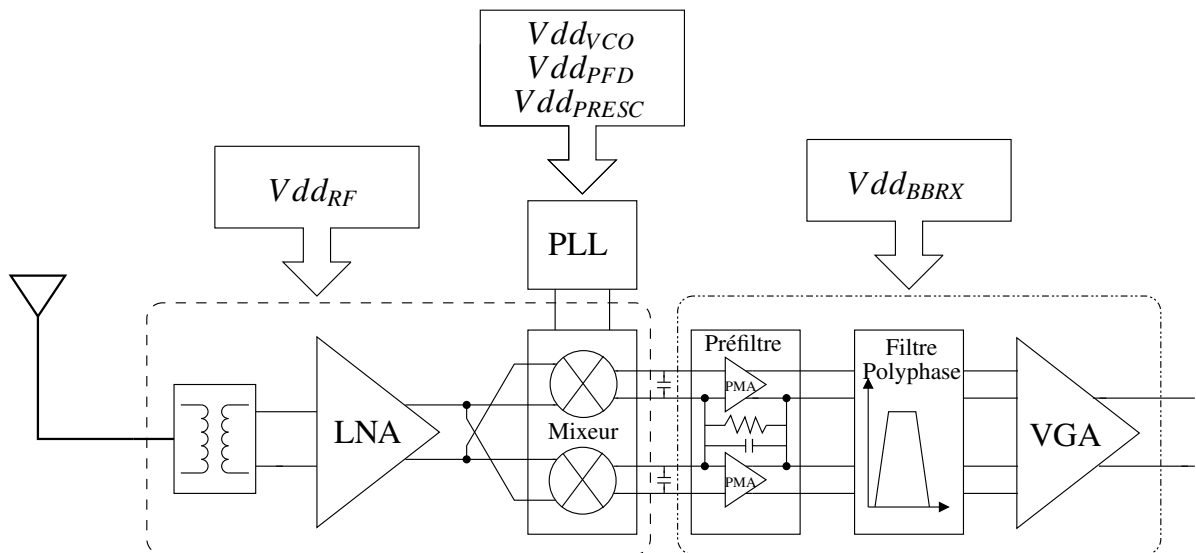


FIGURE 3.31: Structure du récepteur avec ses 3 domaines d'alimentation.

De la même façon que pour l'émetteur, tous les accès d'alimentation sont bruités de la même façon. Un calcul de SNR en sortie du bloc de traitement en bande de base permet de déterminer la sensibilité du récepteur en fonction de l'amplitude et de la fréquence du bruit de l'alimentation. La Figure 3.32 présente les résultats obtenus de sensibilité pour une perturbation donnée. Le récepteur

est donc le moins sensible pour des fréquences de l'alimentation inférieures à 10MHz ou supérieures à 20MHz.

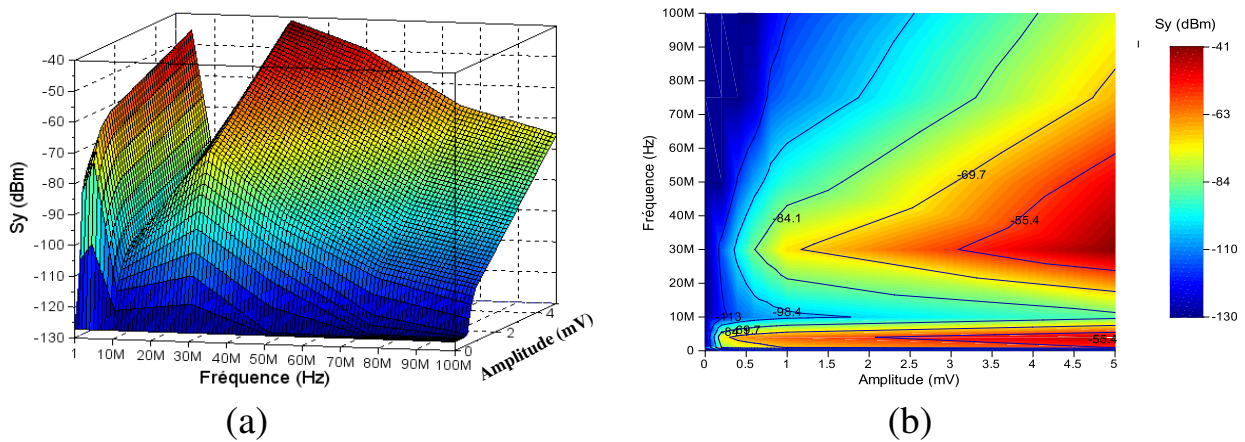


FIGURE 3.32: (a) Sensibilité du récepteur en fonction de l'amplitude et de la fréquence du bruit de l'alimentation. (b) Courbe de niveau représentant la sensibilité en fonction de l'amplitude et la fréquence du bruit de l'alimentation.

A partir de cette étude, il est possible de déterminer les niveaux de contribution des différents blocs qui dégradent la sensibilité. La Figure 3.33 présente les degrés de contribution des différents blocs en fonction de la fréquence du bruit d'alimentation. Pour des fréquences supérieures à 10MHz, plus de 80% de la dégradation est due aux blocs fonctionnant à 2.45GHz (LNA, mixeur et diviseur par 2).

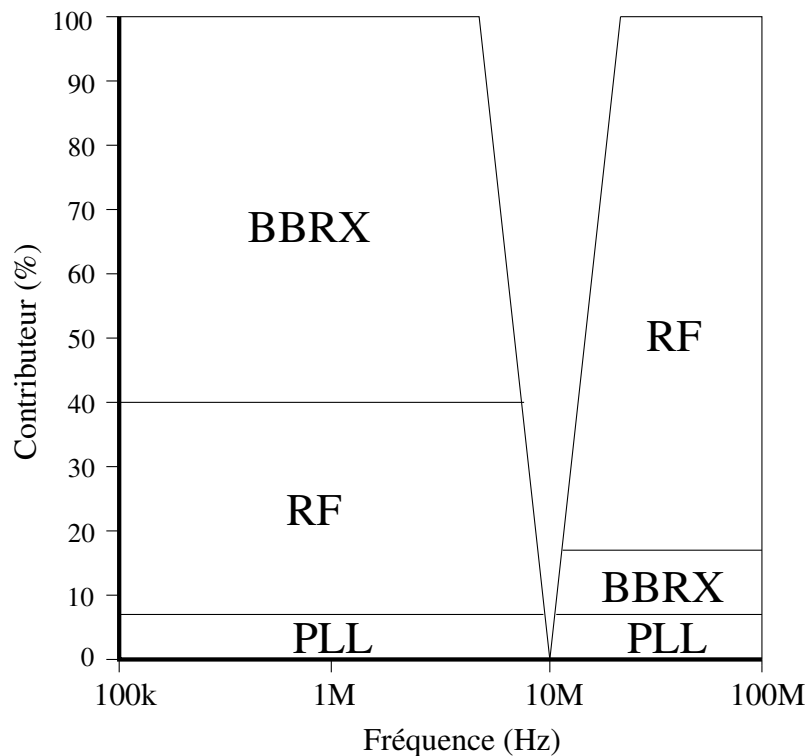


FIGURE 3.33: Répartition des contributeurs à la dégradation de la sensibilité en fonction de la fréquence de l'ondulation du bruit.

3.3.5.3 Détermination de la stratégie d'alimentation

A partir des résultats et des constats réalisés lors de la simulation de l'émetteur et du récepteur, il est possible de déterminer une stratégie d'alimentation adaptée à cet émetteur-récepteur. L'idée est de pouvoir minimiser l'impact du VCO sur les dégradations de l'EVM en émission et l'impact des blocs fonctionnant en RF sur la sensibilité en réception. On propose donc l'architecture montrée sur la Figure 3.34 qui permet de tenir compte de ces deux points critiques :

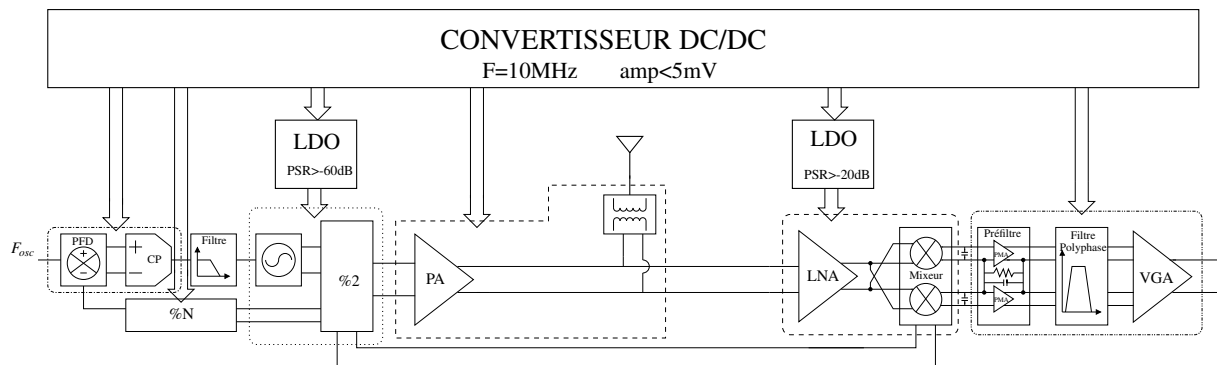


FIGURE 3.34: Proposition d'une stratégie d'alimentation adaptée pour l'émetteur-récepteur ZigBee.

Un régulateur à découpage de type SMPS à double sorties fournit une tension d'alimentation de 1.2V pour certains blocs RF et une tension de sortie de 1.5V pour alimenter deux régulateurs linéaires de type LDO. La fréquence de découpage doit être de 10MHz et l'amplitude des ondulations inférieures à 5mV. Concernant les LDOs, le premier régulateur alimente le VCO. Ce régulateur doit présenter une forte réjection des bruits d'alimentation (-60dB) sur une bande de fréquence supérieure à 10MHz afin de supprimer les bruits provenant du SMPS en amont. Le second LDO doit présenter une réjection classique (-20dB) sur la plus large bande de fréquence possible afin d'alimenter le LNA.

La Figure 3.35 présente les nouvelles performances du module RF en termes d'EVM ((a) et (b)) et de sensibilité ((c) et (d)) avec cette architecture d'alimentation. L'EVM serait ainsi inférieur à 1.2% pour une alimentation bruitée par un régulateur à découpage fonctionnant à une fréquence de 10MHz avec une ondulation de 5mV. Concernant la sensibilité du récepteur, pour le même bruit d'alimentation, elle serait de -108dBm. En comparaison avec les performances actuelles de cet émetteur-récepteur utilisant une alimentation non optimisée, l'EVM est de l'ordre de 2% et la sensibilité de -96dBm. Ceci montre tout l'intérêt présenté par notre méthodologie permettant de déterminer une architecture d'alimentation optimisée afin de minimiser son impact sur les performances du module RF.

Cette étude permet aussi de montrer qu'il est possible d'alimenter certains blocs RF directement par une alimentation à découpage dont on a déterminé les caractéristiques (fréquences de découpage et amplitude résiduelle des spurious en sortie) et sans qu'il soit nécessaire d'utiliser systématiquement des LDOs tampon avec pour conséquence une baisse de la surface et de la consommation des SoCs RF.

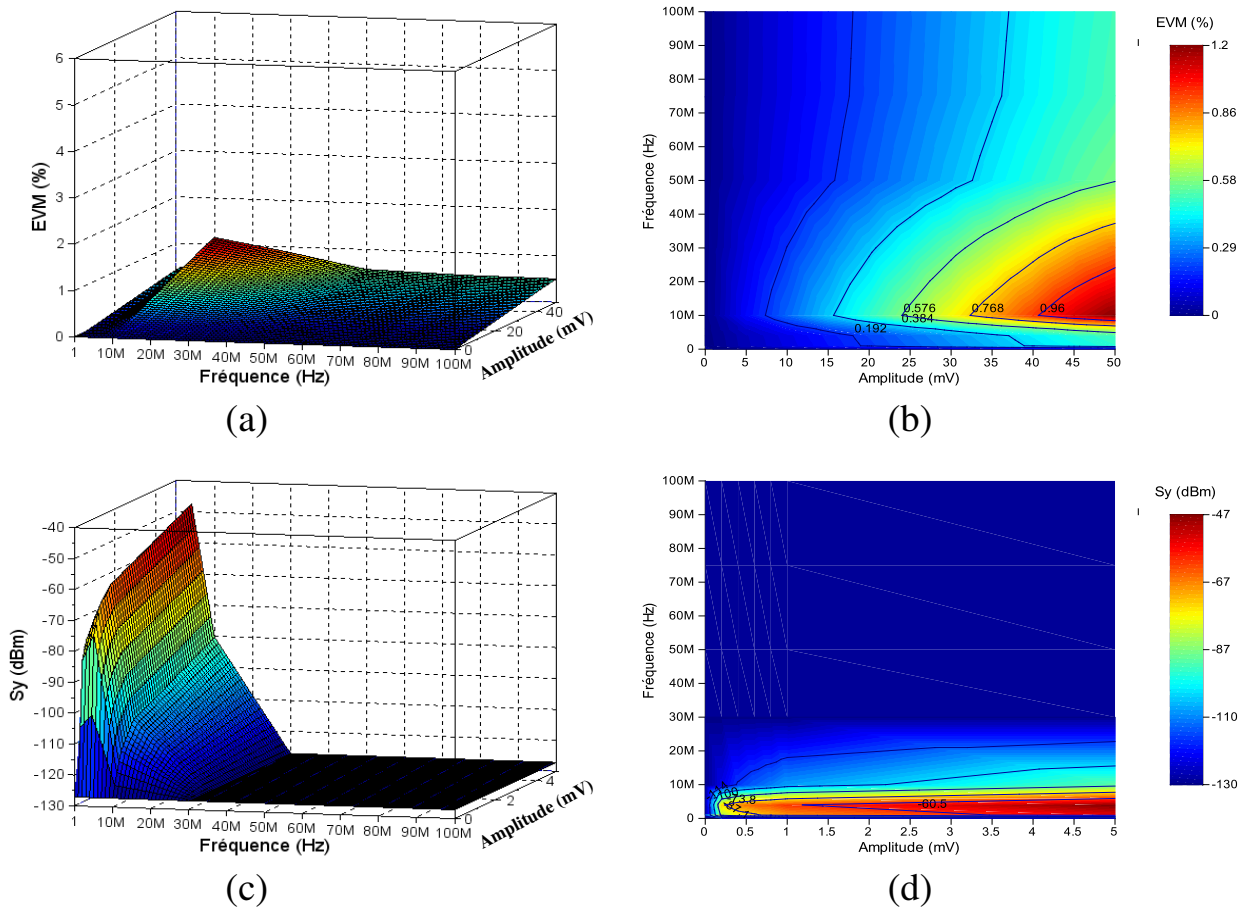


FIGURE 3.35: EVM (a) et courbe de niveau (b) en fonction de l'amplitude et la fréquence du bruit de l'alimentation avec la stratégie d'alimentation. Sensibilité (c) et courbe de niveau (d) du récepteur en fonction de l'amplitude et de la fréquence du bruit de l'alimentation avec la stratégie d'alimentation.

3.3.6 Validation de la méthodologie

La deuxième partie de notre travail concerne la validation de cette méthodologie. Pour effectuer cette validation, nous allons comparer les simulations des performances de la chaîne RF perturbée par son alimentation en utilisant les modèles Verilog-A, avec les résultats de tests expérimentaux. Ce travail permet de vérifier si les simulations rendent bien compte de l'impact d'une perturbation de l'alimentation sur les performances, ce qui permet de valider les modèles et la méthodologie. Une fois validée, cette méthodologie pourra être utilisée pour définir la stratégie d'alimentation la plus adaptée à l'émetteur-récepteur visé. Cette étape de validation permet aussi de vérifier les éventuelles lacunes du modèle telles que les problèmes d'impédance de sortie des régulateurs qui ne sont pas prises en compte.

Pour réaliser ce test, il a été nécessaire d'ajouter sur l'interface de test du circuit des accès analogiques permettant de perturber les tensions d'alimentation des différents blocs. Ces tensions sont disponibles sur des entrées/sorties du circuit.

Nous perturbons ainsi les alimentations de la chaîne RF avec un bruit connu et caractérisé (un

signal sinusoïdal d'amplitude et de fréquence variable). Une mesure des performances (EVM et sensibilité) sera réalisée pour ces différentes perturbations. La Figure 3.36 représente le banc de mesure et la carte de test utilisée. Cette carte est notamment constituée de la puce RF BeeIP avec ces quatre accès d'alimentation et d'un microcontrôleur (STM32L) permettant la gestion du protocole de communication.

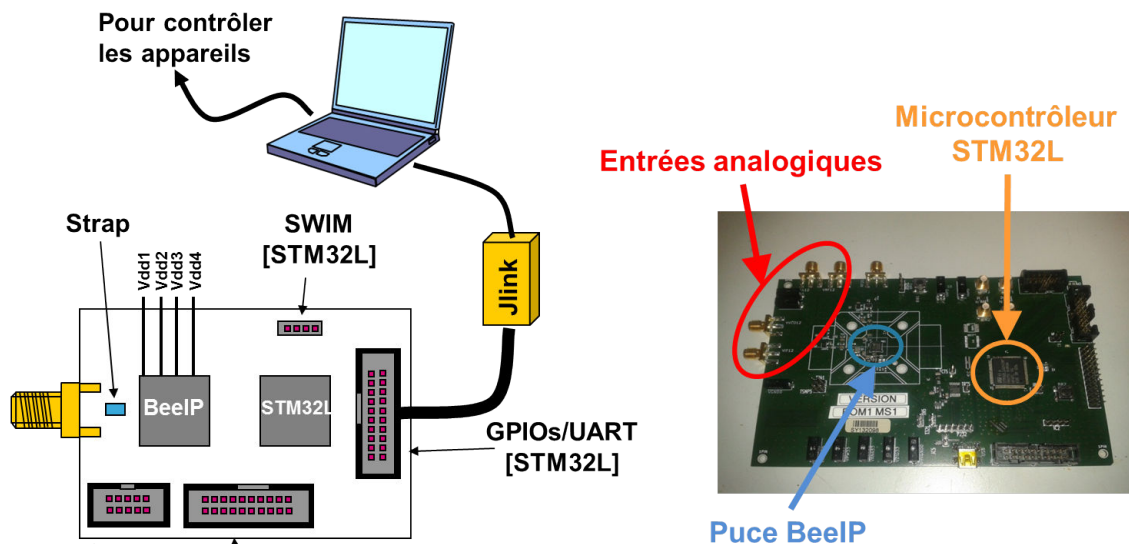


FIGURE 3.36: Banc de mesure et carte de test utilisés pour valider la méthodologie.

Ce projet BeeIP étant mené en parallèle de mon travail de thèse, cette version de puce n'a pas été conçue dans l'optique de valider la méthodologie de conception. Et malheureusement, il n'a pas été possible de découpler les différentes alimentations de cette puce entre elles. La campagne de mesure a donc été limitée au test de l'impact du bruit sur une alimentation globale lors d'une émission. La Figure 3.37 présente le spectre en sortie de l'antenne lorsque l'alimentation globale est « propre » (a) puis lorsque l'alimentation est bruitée (b) par un signal sinusoïdal d'amplitude 100mV et à la fréquence de 10MHz.

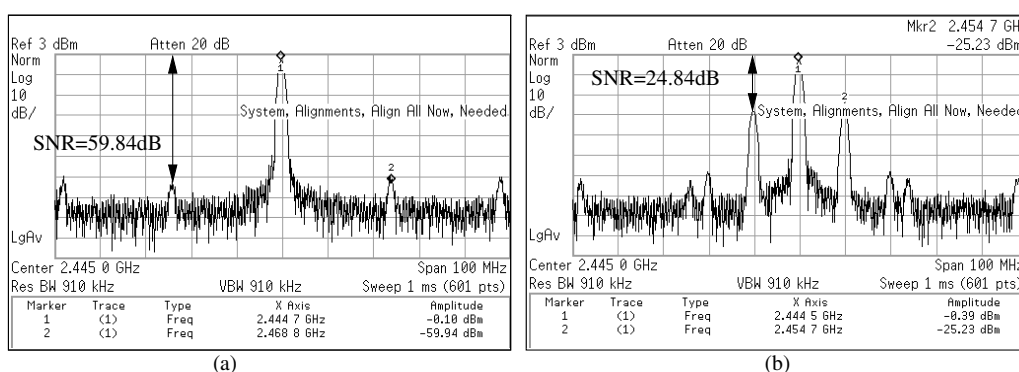


FIGURE 3.37: Spectre en sortie de l'antenne lorsque l'alimentation globale est « propre » (a) et bruitée (b).

Lorsque l'alimentation est « propre », on retrouve la raie principale du signal utile à 2.45GHz et des raies parasites dues aux bruits et aux non-linéarités intrinsèques de la chaîne RF. Un rapport signal à bruit (SNR) de 59,84dB est mesuré. Lorsque l'alimentation est bruitée, la raie principale est toujours présente mais des raies parasites dues aux bruits de l'alimentation apparaissent. Le rapport signal à bruit est donc dégradé (SNR=24,84dB).

Des mesures de SNR ont été réalisées pour des perturbations de différentes fréquences et de différentes amplitudes. La Figure 3.38 présente la comparaison entre les résultats de la campagne de mesure complète (EVM mesuré (a)) et ceux obtenus précédemment par simulation avec les modèles Verilog-A (EVM simulé (b)). Les deux courbes ont le même profil avec une variation au niveau de l'EVM maximum atteint (10% en mesure vs 6% en simulation). Cette différence est attribuée notamment à la non-prise en compte des parasites ajoutés par le bonding de la puce mais également par les pertes au niveau de la carte de test.

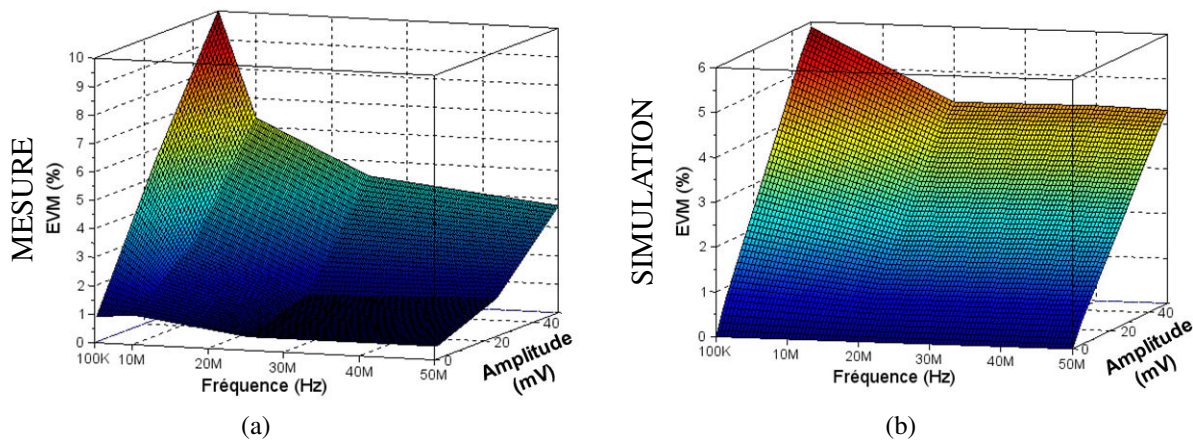


FIGURE 3.38: Comparaison de la campagne de mesure entre l'EVM mesuré (a) et simulé (b).

Au vu de ces premiers résultats, on peut conclure que la méthodologie mise en place reproduit correctement l'impact des bruits d'alimentation sur les performances d'un émetteur-récepteur. Mais, la validation de cette méthodologie reste à être confirmée en réalisant une campagne de mesure complète en réception en décorrélant les différentes alimentations de l'émetteur-récepteur. Cependant, ces premiers résultats induisent une confiance importante dans cette méthode.

3.4 Conclusion

La première partie de ce chapitre a permis de présenter l'intérêt de cette nouvelle démarche de conception. Développer une stratégie d'alimentation adaptée à un émetteur-récepteur en tenant compte des bruits de l'alimentation permet de déterminer l'architecture du système la plus optimisée. Cette démarche consiste en plusieurs étapes : étude du module et des blocs RF, modélisation en Verilog-A de la chaîne, détermination de la stratégie d'alimentation et dimensionnement au niveau transistor des différents blocs constituant cette architecture. Pour atteindre la finesse de simulation

désirée, nous avons développé plusieurs outils avec divers niveaux de modélisation. Puis, nous avons détaillé chacune de ces étapes ainsi que les modèles développés faisant intervenir les liaisons entre les sorties et l'entrée de chacun des blocs et l'alimentation.

La seconde partie du chapitre est une illustration de cette démarche de conception. En effet, nous avons appliqué cette méthodologie à un émetteur-récepteur ZigBee réalisé par STMicroelectronics. La modélisation complète de cette chaîne RF de type « faible FI » permet d'introduire tous les chemins de l'alimentation vers les entrées/sorties de chaque bloc du module RF. Une simulation en émission et en réception de la chaîne ainsi modélisée permet de déterminer l'impact d'un bruit de l'alimentation sur les performances RF de la chaîne. A partir de ces observations, une stratégie d'alimentation adaptée à cet émetteur-récepteur en est déduite. Afin de valider cette méthodologie, des mesures sur silicium des performances de la chaîne RF ont été comparées à la simulation système.

Grâce à la méthodologie mise en place, nous pouvons déterminer avec précision l'impact d'un bruit de l'alimentation sur les performances de la chaîne RF. Il est donc possible d'imaginer de nouvelles architectures d'alimentation faisant intervenir des régulateurs de tension de type commutés directement connectés à la partie radiofréquence sans passer par des régulateurs linéaires « tampon ». Les performances énergétiques du module RF pourraient être ainsi drastiquement améliorées sans pour autant dégrader les performances RF.

3.5 Bibliographie

- [1] M. Khan, Y. Wang and R. Raut, "*Noise Optimization Techniques for IV 1GHz CMOS Low-Noise Amplifiers Design*", WASET Transactions On Engineering, Computing and Technology, pp. 177-180, December 2004. (p. 41)
- [2] L. Belostoski and J-W. Haslett, "*Noise Figure Optimization of Inductively Degenerated CMOS LNAs With Integrated Gate Inductors*", IEEE Transactions On Circuits and Systems - I : Regular Papers, Vol. 53, issue 7, pp. 1409-1422, Juillet 2006. (p. 41)
- [3] R. Frevert et al., "*Modeling and Simulation for RF System Design*", Springer, Dec 19, 2005. (p. 43)
- [4] "*Star-Hspice Manual*", chapter 24, Release 1998.2. (p. 45)
- [5] G. Stewart and C. Moler, "*An Algorithm for Generalized Matrix Eigenvalue Problems*", SIAM J., Numer. Anal., vol. 10, pp. 241-256, Apr. 1973. (p. 45)
- [6] B. S. Garbow, "*Algorithm 535 : The QZ Algorithm to Solve the Generalized Eigenvalue Problem for Complex Matrices*", ACM Trans. Math. Softw., vol. 4, pp. 404-410, Dec. 1978. (p. 45)
- [7] <http://www.eda.org/verilog-ams/htmlpages/overview.html>, Accellera Verilog Analog Mixed-Signal Group. (p. 46)
- [8] *Eldo RF User's Manual*, Mentor Graphics, Software Version 6.3, Release 2010.2. (p. 48)
- [9] *Eldo Verilog-A User's Manual*, Mentor Graphics, release AMS2010.2b. (p. 48)

- [10] *Part 15.1 : Wireless medium access control (MAC) and physical layer (PHY) specifications for wireless personal area networks (WPANs)*, IEEE 802.15.1, 2005. (p. 49)
- [11] *Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) specifications*, IEEE 802.11, 1999. (p. 49)
- [12] H. Tosaka, T. Fujii, K. Miyakoshi, K. Ikenaka, and M. Takahashi, "An Antenna Switch MMIC Using E/D Mode P-HEMT For GSM/DCS/PCS/WCDMA Bands Application", IEEE MTT-S International Microwave Symposium Digest, 2003. (p. 50)
- [13] T. Watanabe, K. Furutani, N. Nakajima and H. Mandai, "Antenna Switch Duplexer For Dualband Phone (GSM/DCS) Using LTCC Multilayer Technology", IEEE MTT-S International Microwave Symposium Digest, 1999. (p. 50)
- [14] C. Durdodt, M. Friedric et al., "A Low-IF RX Two-Point $\Sigma\Delta$ -Modulation TX CMOS Single-Chip Bluetooth Solution", IEEE Trans. on Microwave Theory and Techniques, vol. 49, issue 9, 2001. (p. 51)
- [15] J. Craninckx and M. Steyaert, "A Fully Integrated CMOS DCS-1800 Frequency Synthesizer", IEEE Journal of Solid-State Circuits, pp. 2054-2065, vol. 33, 1998. (p. 51)
- [16] J. Notor and G. Levy, "RF and Analog Design Considerations For Fully-Integrated Bluetooth CMOS RFICs", in Proceeding of the the Communications Design Conference, 2002. (p. 52)
- [17] S. Mirabbasi and K. Martin, "Classical and Modern Receiver Architecture", IEEE Commun. Mag., vol.43, no. 6, pp. 43-51, Dec. 2005. (p. 52)
- [18] J. Mahattanakul, "The Effect of I/Q Imbalance and Complex Filter Component Mismatch in Low-IF Receivers", IEEE Transactions on Circuits and Systems I, vol. 53, no. 2, pp. 247-253, February 2006. (p. 53)
- [19] K. Kundert, *Predicting the Phase Noise and Jitter of PLL-Based Frequency Synthesizers*, The Designer's Guide, <http://www.designers-guide.com/>, 2004. (p. 53)
- [20] A. Hajimiri and T. H. Lee, "A General Theory of Phase Noise in Electrical Oscillators", IEEE Journal of Solid-State Circuits, pp. 179-194, vol. 33, issue 2, 1998. (p. 54)
- [21] T. H. Lee, *The design of CMOS radio-frequency integrated circuits*, Cambridge university press, pp. 243-256, 1998, ISBN : 0-521-83539-9. (p. 54)
- [22] R. E. Best, *Phase-Locked Loops design, simulation and applications*, 5ème ed. McGraw-Hill, 2003, ISBN : 0-07-141201-8. (p. 56)
- [23] J. R. Long, "Monolithic Transformers for Silicon RF IC Design", IEEE Journal of Solid-State Circuits, vol. 35, issue 9, 2000. (p. 61)
- [24] L. A. Andiamontes, "Amplificateur de puissance en classe commutée pour application dans un émetteur multiradio à haut rendement", Thèse de Doctorat de l'Université de Paris-Est, Oct. 2010. (p. 61)

- [25] F. Bruccoleri, E.A.M Klumperink and B. Nauta, "*Noise cancelling in wideband CMOS LNAs*", IEEE Solid-State Circuits Conference, 2002. (p. 63)
- [26] C. Jan and M. Steyaert, "*CMOS Wireless Transceiver Design*", Kluwer Academic Publishers, 1997. (p. 64, 65)

Conception d'un régulateur linéaire de type LDO à forte réjection des bruits d'alimentation

Sommaire

4.1	Introduction	77
4.2	Alimentation de blocs RF sensibles aux bruits de l'alimentation	78
4.3	Cas du VCO	78
4.4	Conception d'un LDO à forte réjection (PSR) sur une large bande de fréquence	82
4.5	Conclusion	114
4.6	Bibliographie	116

4.1 Introduction

Dans le cadre de systèmes très sensibles aux bruits présents sur l'alimentation tels que les interfaces RF, un soin tout particulier doit être apporté à la conception du bloc qui fournit l'alimentation. En effet, les perturbations sur l'alimentation affectent les performances de l'émetteur-récepteur. Or, actuellement dans la littérature [1] [2], l'optimisation de ces circuits et de leurs performances ne consiste pas à considérer ces bruits d'alimentation et à les contraindre. **Le but de ce chapitre est donc de démontrer les relations existantes entre bruit d'alimentation et performances du bloc qu'il alimente afin de choisir la meilleure architecture (et dimensionnement) des régulateurs de tension, telle qu'ils atteignent les performances requises pour le standard visé.** La conception de ce régulateur de tension fait l'objet de la dernière partie de ce chapitre.

Dans une première partie, nous allons présenter les objectifs de notre démarche. Puis, nous illustrerons la pertinence de cette démarche grâce à l'étude de sensibilité des performances d'un oscillateur contrôlé en tension (VCO) aux différents bruits. Cette étude nous permet de définir un cahier des charges de son alimentation et donc de fixer les spécifications du bloc générant son alimentation. Cette étude est parachevée par la conception d'un régulateur de tension linéaire de type LDO dédié à l'alimentation de ce VCO. Les résultats de sa caractérisation sont présentés à la fin de ce chapitre.

4.2 Alimentation de blocs RF sensibles aux bruits de l'alimentation

4.2.1 Objectif

L'étude menée au Chapitre 3 démontre l'impact des perturbations de l'alimentation de chacun des blocs du module RF sur les performances globales de l'émetteur-récepteur. Cette étude démontre donc l'importance de la stratégie d'alimentation (i.e. choix de l'architecture du système générant l'alimentation) et de ces contraintes. Notre étude a aussi mis en évidence les blocs les plus sensibles aux bruits d'alimentation ainsi que ceux qui sont les plus influents sur les performances globales. L'objectif principal de cette démarche est de choisir et de concevoir l'architecture optimale du régulateur de tension pour un bloc RF donné.

4.2.2 Notion d'optimisation

L'optimisation d'un bloc d'alimentation consiste à obtenir des performances en bruit adaptées à celle de l'application visée. Dans la littérature [3] [4], lorsque l'on parle d'optimisation d'un circuit quelconque, on ne prend pas en compte l'effet des bruits de l'alimentation du circuit. Or, dans notre démarche d'optimisation, on va associer la contrainte du bruit de l'alimentation à la notion d'optimisation globale du circuit.

4.3 Cas du VCO

4.3.1 Introduction

Les performances d'un Oscillateur Contrôlé en Tension (VCO : Voltage Controlled Oscillator) au niveau du bruit de phase impactent de nombreuses spécifications d'un système RF [5] [6] [7] telles que l'EVM (Error Vector Magnitude) ou encore la sensibilité du récepteur. Il existe deux sources majeures du bruit de phase d'un VCO [8] [9] [10] : le bruit intrinsèque du circuit et le bruit ambiant ramené par l'alimentation, la masse ou le bruit du substrat. Le bruit des lignes d'alimentation peut être classifié de la façon suivante :

- Bruit de commutation et interférences avec les autres circuits de la même puce comme les diviseurs et les modulateurs,
- Bruits dus aux circuits de régulation de tension en amont.

Le bruit présent sur les alimentations est devenu un point critique dans les VCOs conçus dans les technologies avancées, principalement à cause de la réduction des tensions d'alimentation mais aussi à cause de l'augmentation des sources de bruits comme les blocs numériques de plus en plus denses et complexes intégrés sur le même substrat. Il a été également démontré que le bruit de l'alimentation a le plus grand impact sur le bruit de phase d'un VCO [11].

Le VCO est donc un cas d'étude très intéressant pour illustrer notre méthode de conception sous contrainte de bruit d'alimentation.

Pour cette analyse, nous avons choisi une structure classique de VCO à base d'une double paire croisée [12] (Figure 4.1).

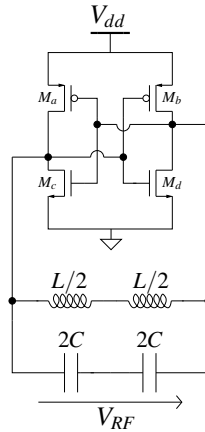


FIGURE 4.1: VCO à base d'une double paire croisée.

4.3.2 Bruit intrinsèque d'un VCO

Le bruit de phase est un phénomène dû à la conversion des différentes sources de bruit dans les composants autour de la fréquence porteuse générant ainsi une modulation de phase. La conséquence est la variation aléatoire de la fréquence du signal de sortie du VCO.

Comme source de bruit, on retrouve trois grandes familles :

- Le bruit de diffusion lié aux propriétés intrinsèques du substrat. Il est causé par les interactions entre les électrons circulant dans le circuit et le réseau cristallin du semi-conducteur,
- Le bruit en excès qui vient s'ajouter au bruit se retrouvant naturellement dans les semi-conducteurs et qui est prévisible physiquement,
- Le bruit de jonction des semi-conducteurs.

Dans le domaine temporel, le phénomène de bruit de phase se traduit par le « jitter » (Figure 4.2). Pour définir ce paramètre, on peut parler pour un oscillateur d'une variation aléatoire ΔT_{VCO} de sa période T_0 .

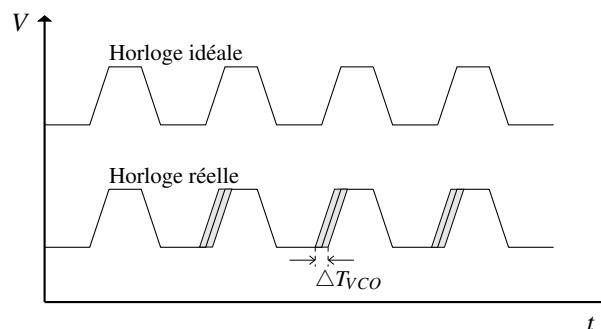


FIGURE 4.2: « Jitter » de période.

Plusieurs modélisations de bruit de phase dans les oscillateurs ont été faites. Celle de Leeson [13] est souvent utilisée :

$$\mathcal{L}(VCO) = 10 \cdot \log \left[\frac{2 \cdot F \cdot k \cdot T}{P_{sig}} \cdot \left(1 + \left(\frac{\omega_0}{2 \cdot Q \cdot \Delta\omega} \right)^2 \right) \cdot \left(1 + \frac{\Delta\omega_{1/f^3}}{|\Delta\omega|} \right) \right] \quad (4.1)$$

où P_{sig} est la puissance du signal, Q le facteur de qualité, F un coefficient empirique, ω_0 la pulsation de résonance, $\Delta\omega$ l'écart entre la pulsation à laquelle est observé le bruit et la pulsation d'oscillation et enfin $\Delta\omega_{1/f^3}$ l'écart par rapport à la porteuse de la pulsation pour laquelle la pente du bruit de phase passe de -30dB/décade à -20dB/décade. La Figure 4.3 représente la forme classique du bruit de phase dans un VCO.

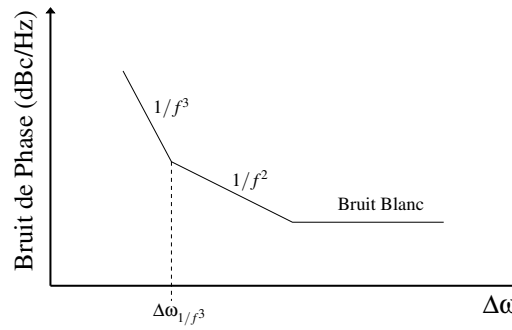


FIGURE 4.3: Forme du bruit de phase d'un VCO.

4.3.3 Sensibilité d'un VCO aux bruits de l'alimentation

Un bruit de l'alimentation à faible fréquence (quelques MHz) peut être converti dans la bande de fréquence de l'oscillation du VCO et donc il peut contribuer au bruit de phase du VCO. Ce bruit de conversion est directement relié au facteur dit de « *pushing* » du VCO. Ce facteur est défini comme la variation de la fréquence d'oscillation du VCO lors d'un changement de la tension d'alimentation pour une tension de modulation constante.

Quand la tension d'alimentation varie de ΔV (variation due aux ondulations et aux bruits de l'alimentation), la fréquence d'oscillation du VCO change de $\Delta\omega$ autour de sa valeur nominale. Le facteur de « *pushing* » est défini comme $K_{push} = \Delta\omega / \Delta V$ rad/V.

On montre (annexe C) que le bruit de l'alimentation $V_{dd}(t) = V \cdot \cos(\omega_n \cdot t)$ induit un bruit de phase donné par la relation :

$$\mathcal{L}(V_{dd}) = 10 \cdot \log \left[\frac{1}{4} \cdot \left(\frac{K_{push} \cdot V}{\omega_n} \right)^2 \right] \quad (4.2)$$

$$\mathcal{L}(V_{dd}) = 20 \cdot \log |K_{push}| + 20 \cdot \log(V) - 20 \cdot \log(\omega_n) - 6.02 \quad (4.3)$$

Cette équation montre que le bruit de phase dû au bruit de l'alimentation est directement proportionnel à l'amplitude du bruit de l'alimentation et au facteur de « *pushing* » et inversement propor-

tionnel à la fréquence du bruit. La fonction de transfert du bruit de l'alimentation converti en bruit de phase est montrée dans la Figure 4.4.

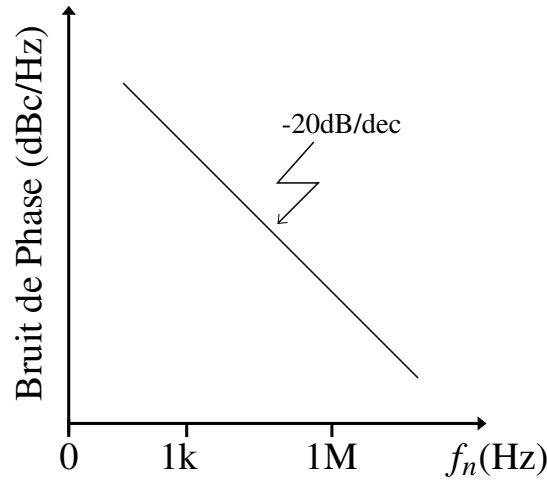


FIGURE 4.4: Fonction de transfert du bruit de l'alimentation converti en bruit de phase.

4.3.4 Bruit total

Le bruit total dans un VCO oscillant librement correspond à la racine carrée de la somme des carrés de la contribution du bruit de l'alimentation et celle intrinsèque du VCO selon la formule :

$$\mathcal{L}_{TOTAL} = \sqrt{\mathcal{L}(VCO)^2 + \mathcal{L}(V_{dd})^2} \quad (4.4)$$

ou bien exprimé en dB :

$$\mathcal{L}_{TOTAL} = 10 \cdot \log \left[\log^{-1} \left(\frac{\mathcal{L}(VCO)}{10} \right) + \log^{-1} \left(\frac{\mathcal{L}(V_{dd})}{10} \right) \right] \quad (4.5)$$

4.3.5 Conclusion

Cette étude démontre donc l'impact du bruit de l'alimentation sur le bruit total dans un VCO. Pour réduire l'effet des bruits de l'alimentation, notre approche consiste à utiliser un régulateur linéaire de type LDO présentant une forte réjection de l'alimentation sur une large bande de fréquence. Les spécifications de ce LDO dédié à l'alimentation de blocs RF très sensibles au bruit de l'alimentation sont :

- forte réjection de l'alimentation sur une large bande de fréquence : -60dB de PSR sur la plus large bande de fréquence possible,
- circuit bandgap de référence très peu bruyant,
- LDO très peu bruyant : $< 30nV / \sqrt{Hz} @ 100kHz$,
- faible courant de repos,
- faible surface,
- faible capacité de sortie (quelques nanofarads).

4.4 Conception d'un LDO à forte réjection (PSR) sur une large bande de fréquence

4.4.1 Introduction du PSR

La réjection des bruits de l'alimentation (PSR = « *Power Supply Rejection* ») définit la capacité de rejeter les ondulations de la tension de l'alimentation du régulateur à sa sortie. Les performances en PSR des régulateurs classiques de type LDO sont limitées à cause de la faible bande passante de l'amplificateur d'erreur du cœur du régulateur [14].

Le PSR d'un régulateur LDO classique est dû à différents chemins entre l'entrée V_{dd} et la sortie V_{reg} du LDO [15] [16]. La Figure 4.5 montre les 3 chemins qui peuvent transférer les ondulations de l'entrée vers la sortie du régulateur. Le chemin 1 se crée à cause de la conductance finie du transistor de puissance P_1 . Le chemin 2 est dû au faible PSR du circuit bandgap qui fournit la tension de référence V_{ref} et le chemin 3 correspond au PSR intrinsèque de l'amplificateur d'erreur.

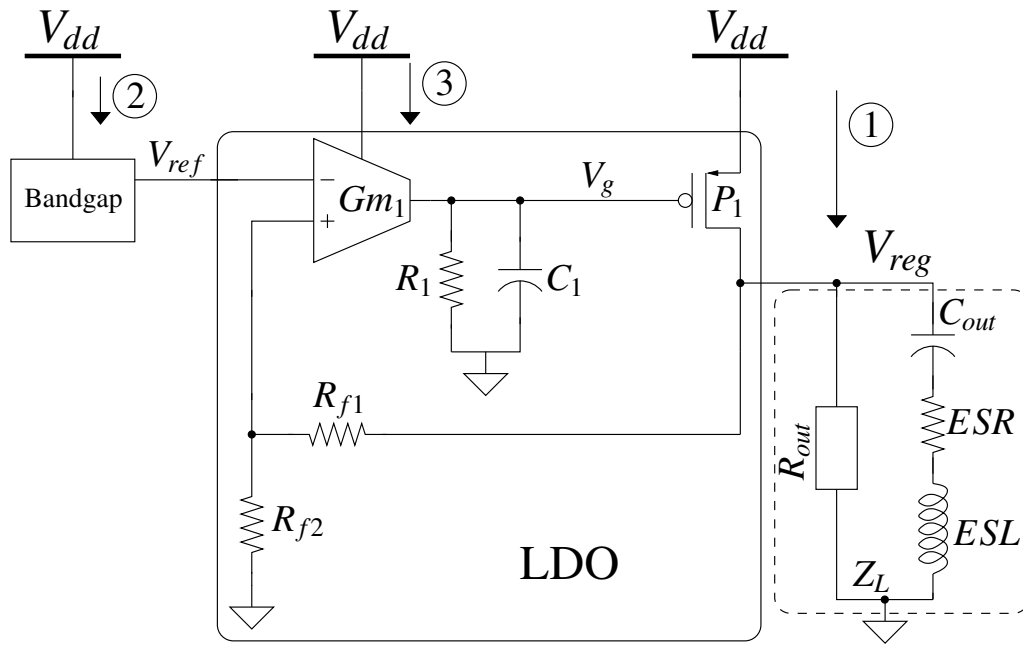


FIGURE 4.5: Chemin des perturbations de l'alimentation vers la sortie du régulateur.

4.4.1.1 Chemin 1

Pour analyser l'impact des perturbations de l'alimentation par le chemin 1 sur la sortie, le régulateur peut être modélisé par le diagramme de la Figure 4.6.

A partir de ce diagramme, la fonction de transfert entre la sortie du régulateur V_{reg} et l'alimentation V_{dd} est établie par la relation :

$$\left. \frac{V_{reg}}{V_{dd}} \right|_1 = \frac{Rds_p \cdot Gm_p}{1 + \frac{Rds_p}{Z_L(s)} + \frac{Rds_p \cdot R_{f2} \cdot Gm_p \cdot Gm_1 \cdot R_1}{(R_{f1} + R_{f2}) \cdot (1 + R_1 \cdot C_{eq} \cdot s)}} \quad (4.6)$$

avec

$$C_{eq} = G_{gd} \cdot (1 - A_v) + C_1 + C_{gs} + C_{gb} \quad (4.7)$$

$$A_v \approx -Gm_p \cdot (R_{out} || Rds_p) \quad (4.8)$$

où Gm_p , Rds_p et A_v sont respectivement la transconductance, la résistance drain-source et le gain en tension du transistor de puissance P_1 . R_{out} et C_{out} sont la charge et la capacité de sortie. Z_L est l'impédance totale de sortie (sans les résistances de rétroaction R_{f1} et R_{f2}) qui charge le nœud V_{reg} . $Gm_1 \cdot R_1$ et $R_1 \cdot C_{eq}$ sont respectivement le gain DC et le pôle dominant de l'amplificateur d'erreur.

Comme démontrée dans la référence [15], l'équation (4.6) montre que, à basse fréquence, le PSR dépend du gain de rétroaction $Gm_1 \cdot R_1 \cdot R_{f2} / (R_{f1} + R_{f2})$. Lorsque la fréquence augmente, le pôle dominant de l'amplificateur d'erreur réduit le gain de rétroaction. Ainsi, le PSR commence à se dégrader. A haute fréquence (HF), à cause de l'inductance ESL (Figure 4.5) considérée comme un circuit ouvert, la capacité de sortie devient inefficace. Les ondulations de l'alimentation peuvent même être amplifiées.

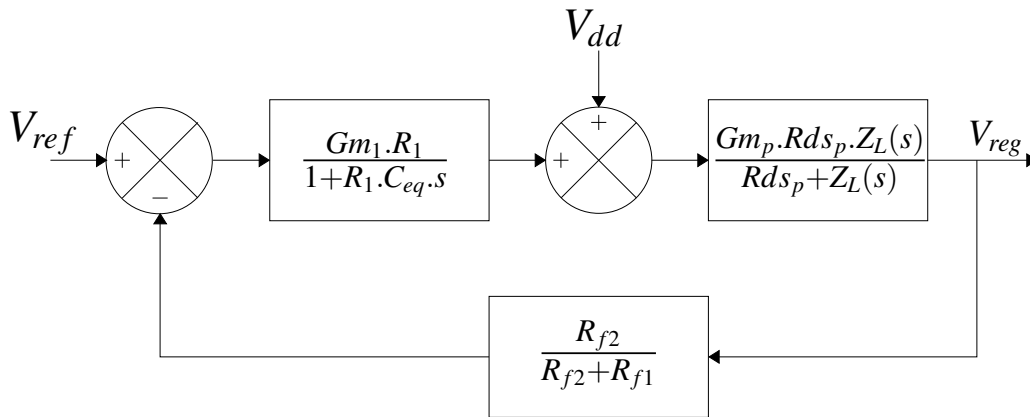


FIGURE 4.6: Diagramme bloc d'un régulateur classique.

4.4.1.2 Chemin 2 et 3

Pour les chemins 2 et 3, la fonction de transfert est donnée par la relation suivante :

$$\left. \frac{V_{reg}}{V_{dd}} \right|_{2,3} = \frac{Gm_p \cdot Z_{tot} \cdot \frac{Gm_1 \cdot R_1}{1 + R_1 \cdot C_{eq} \cdot s}}{1 + \frac{R_{f2} \cdot Gm_p \cdot Gm_1 \cdot R_1}{(R_{f1} + R_{f2}) \cdot (1 + R_1 \cdot C_{eq} \cdot s)}} \cdot (PSR_e + PSR_{bg}) \quad (4.9)$$

avec

$$Z_{tot} = Z_L || Rds_p || (R_{f1} + R_{f2}) \quad (4.10)$$

où PSR_e est le PSR intrinsèque de l'amplificateur d'erreur et PSR_{bg} est le PSR du circuit bandgap qui fournit la tension de référence V_{ref} . L'équation (4.9) montre que le PSR dû aux chemins 2 et 3 est une amplification de PSR_e et PSR_{bg} . L'amplification est donnée par le ratio des résistances de la boucle

de rétroaction. A haute fréquence, à cause du pôle dominant de l'amplificateur d'erreur, $\left. \frac{V_{reg}}{V_{dd}} \right|_{2,3}$ tend vers l'infini et par conséquent, les ondulations dues aux chemins 2 et 3 n'apparaissent pas sur la sortie du régulateur.

4.4.1.3 Conclusion

Tous les chemins affectent le PSR à basse fréquence et seulement le chemin 1 le dégrade à haute fréquence. La Figure 4.7 illustre les effets de chaque chemin sur le PSR total du LDO. Dans la littérature, de nombreuses techniques ont été explorées pour améliorer le PSR à basse fréquence : réduire PSR_e et PSR_{bg} , augmenter le gain de l'amplificateur d'erreur, cascader deux régulateurs ou bien utiliser un transistor de puissance de type NMOS avec une pompe de charge pour le polariser. Cependant, ces techniques présentent des inconvénients comme l'augmentation de la tension de déchet, une augmentation de la surface silicium et du courant de repos ou l'ajout d'un bruit de commutation sur la sortie. A haute fréquence, aucune technique simple ne permet de résoudre le problème du PSR.

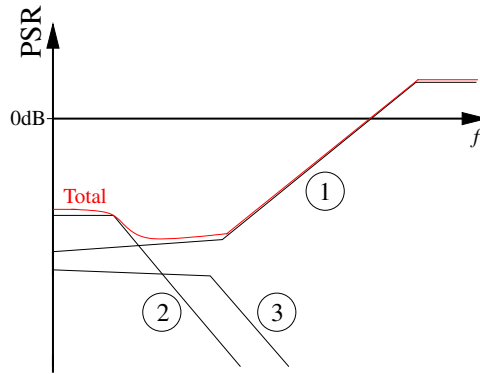


FIGURE 4.7: PSR de chaque chemin et total du LDO.

4.4.2 Etat-de-l'art des régulateurs à forte réjection en HF

On trouve de plus en plus de techniques dans la littérature pour concevoir des régulateurs à forte réjection. Dans [17], deux techniques sont proposées et illustrées sur la Figure 4.8.

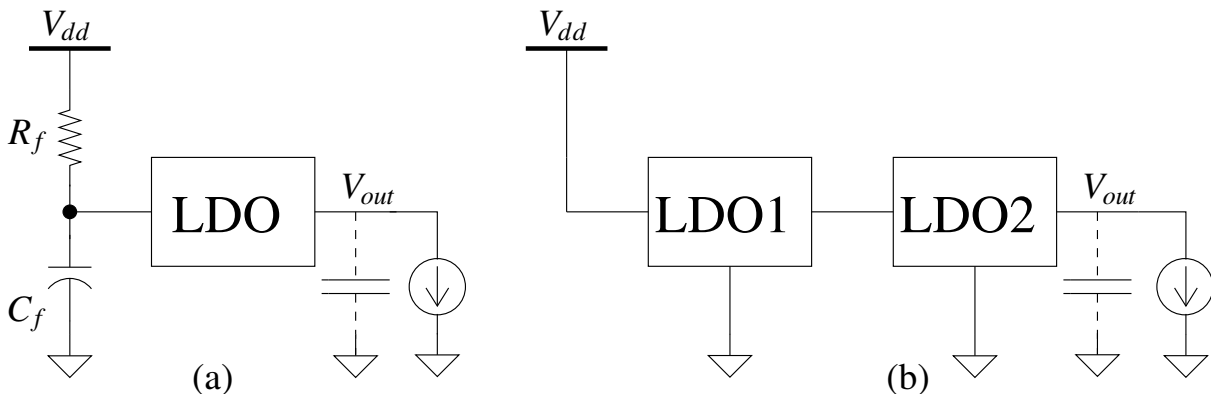


FIGURE 4.8: Techniques utilisées par [17] pour atteindre une forte réjection.

La première technique (Figure 4.8 (a)) utilise un filtre $R_f C_f$ pour supprimer les ondulations de l'alimentation V_{dd} avant d'injecter la tension dans le régulateur. Le problème avec cette technique est que la fréquence de coupure du filtre RC doit être très faible pour obtenir une large atténuation des perturbations à haute fréquence. De plus, la résistance R_f doit être relativement petite pour ne pas dégrader le rendement. Ainsi, la capacité C_f doit être très grande, ce qui augmente la surface silicium du régulateur. La seconde technique (Figure 4.8 (b)) cascade deux régulateurs en série, ce qui augmente la tension totale de déchet et la consommation de repos et donc diminue fortement le rendement global du système. La réjection à basse fréquence est améliorée mais pas à haute fréquence car elle est limitée par chaque régulateur.

La Figure 4.9 montre deux techniques d'annulation [15] [18] [19] des perturbations de l'alimentation par un autre chemin de rétroaction qui permet de maintenir la tension de source-grille du transistor de puissance PMOS M_p constante. Ainsi, lors d'une variation de V_{dd} , le courant du transistor de puissance changera très peu, permettant d'obtenir une forte réjection.

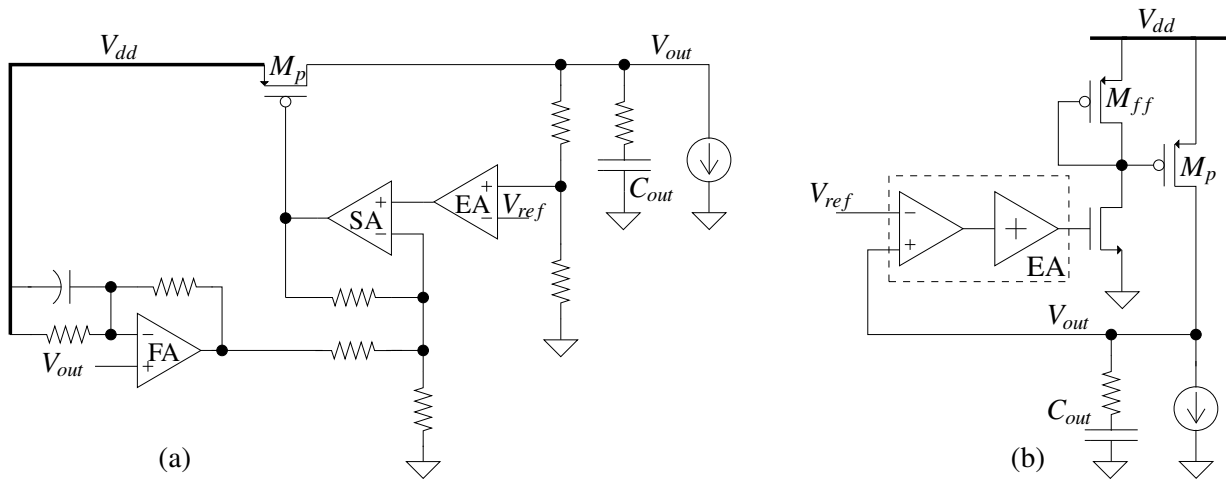


FIGURE 4.9: Méthode de réjection des bruits de l'alimentation par un second chemin de rétroaction pour obtenir une forte réjection [15] [18] [19].

La solution de la Figure 4.9 (a) utilise un transistor PMOS M_{ff} monté en diode comme second chemin pour annuler les perturbations du V_{dd} mais le gain de cette boucle est difficilement contrôlable. Il est donc difficile d'allumer ou d'éteindre complètement le régulateur quand le transistor de puissance et la diode ont de fortes différences de tension de seuil, ce qui implique que leurs dimensionnements doivent être différents. La deuxième solution (Figure 4.9 (b)) utilise une boucle active formée par l'amplificateur de rétroaction (FA) et le « sommateur » (SA) pour réaliser cette seconde boucle et obtenir un meilleur contrôle du gain. Cependant, pour obtenir une compensation efficace pour des variations hautes fréquences de l'alimentation, l'amplificateur (FA) et le « sommateur » (SA) doivent avoir une large bande passante et donc de forts courants de polarisation sont nécessaires. De plus, ces systèmes requièrent une capacité de sortie C_{out} de l'ordre de quelques microfarads afin de stabiliser l'ensemble, ce qui rend leurs intégrations complètes impossibles.

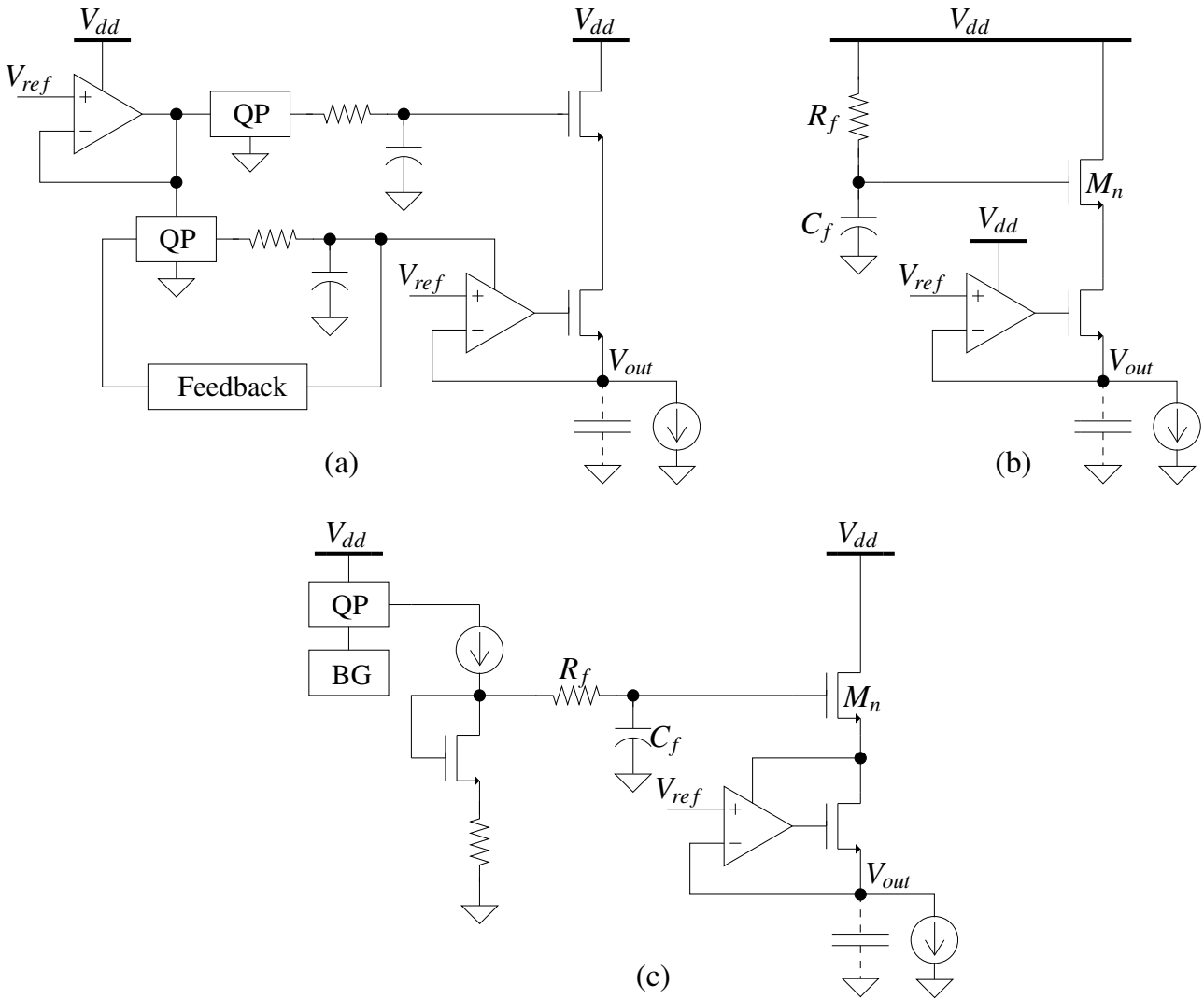


FIGURE 4.10: Topologies présentées dans [20] (a), [21] (b) et [22] (c).

La Figure 4.10 montre différentes techniques basées sur l'isolation des perturbations de l'alimentation afin d'obtenir une forte réjection [20] [21] [22]. Dans la Figure 4.10 (a), un transistor NMOS cascodé avec le transistor NMOS de puissance permet d'isoler la sortie du bruit de l'alimentation. Pour maintenir une faible tension de déchet, une pompe de charge (QP) est indispensable pour polariser le NMOS cascodé et l'amplificateur d'erreur du cœur du régulateur. Comme cette pompe de charge doit fournir un fort courant, les capacités intégrées ont des valeurs élevées. De plus, cette pompe de charge amène de forts bruits de commutation. Des filtres passe-bas avec des fréquences de coupure basses sont donc nécessaires pour les supprimer, ce qui augmente la surface silicium du système. Dans la Figure 4.10 (c), le même type de topologie est utilisé mais le NMOS cascodé ainsi qu'un générateur de tension de référence sont polarisés par une pompe de charge, ce qui permet de maintenir une faible tension de déchet. Cependant, le générateur de tension de référence (BG) consomme beaucoup de courant et augmente la surface silicium de la pompe de charge.

Les performances des différents régulateurs à forte réjection sont comparées dans le Tableau 4.1. Bien que pour chaque application les valeurs des paramètres des LDOs soient différentes, les concepteurs cherchent à obtenir le meilleur PSR_{min} en choisissant le meilleur compromis entre la valeur de la

capacité de sortie (C_o), le courant de repos, le courant maximum de sortie $I_{o(max)}$ et une faible tension de déchet V_{DO} . Une figure de mérite FoM prenant en compte le PSR minimum, le courant de sortie maximum, la tension de déchet et la capacité de sortie reflète raisonnablement les performances d'un LDO à forte réjection. Cette FoM est donnée par :

$$FoM = \frac{PSR_{min[lin]} \cdot I_{o(max)}}{V_{DO} \cdot C_o} \quad (4.11)$$

Cette FoM n'inclut pas le courant de repos, la bande passante et la surface silicium car ces paramètres sont dépendants de la technologie utilisée.

Paramètre	[15]	[17]	[18]	[19]	[20]	[21]	[22]
Techno.	0.13μm	-	0.35μm	0.35μm	0.35μm	0.15μm	0.6μm
V_{DO}	150mV	165mV	300mV	150mV	-	700mV	600mV
$I_{o(max)}$	25mA	150mA	100mA	50mA	-	-	5mA
C_o	4μF	3μF	1μF	1μF	-	1.2nF	0.01nF
I_Q	50μA	100μA	-	160μA	-	-	70μA
PSR@100kHz	-60dB	-70dB	-60dB	-50dB	-40dB	-40dB	-60dB
PSR@5MHz	-61dB	-	-	-	-38dB	-40dB	-34dB
PSR@15MHz	-	-	-	-	-40dB	-40dB	-27dB
PSR@30MHz	-	-	-	-	-33dB	-	-
PSR_{min}	-56dB	-70dB	-60dB	-50dB	-33dB	-40dB	-27dB
Surface	0.049mm ^{2**}	-	0.26mm ²	0.053mm ^{2**}	-	-	-
FoM	25M	-	300M	105M	-	-	37M

**sans Bandgap

TABLE 4.1: Etat-de-l'art des LDOs à forte réjection.

4.4.3 Architecture proposée dans le cadre de ce travail

Afin d'obtenir un régulateur répondant aux spécifications visées, j'ai proposé une architecture (Figure 4.11) fonctionnant selon le principe d'estimation utilisé en automatisme. Cette estimation est rendue possible grâce à l'introduction d'une charge dupliquée (ou Réplica) présentant un modèle équivalent à la charge réelle (CHARGE) [23]. Pour compenser le régulateur sans sacrifier la réjection de l'alimentation ou augmenter la consommation, la structure utilise une seconde boucle de rétroaction sur l'entrée positive de l'amplificateur A_2 , ce qui permet de stabiliser le gain et d'augmenter la bande passante tout en conservant la stabilité. Cette technique permet d'améliorer les performances en PSR. En effet, cette boucle locale permet une estimation du bruit à laquelle la charge réelle est soumise et ainsi, l'étage de sortie est piloté en fonction de cette estimation d'où une meilleure réjection sur la charge réelle.

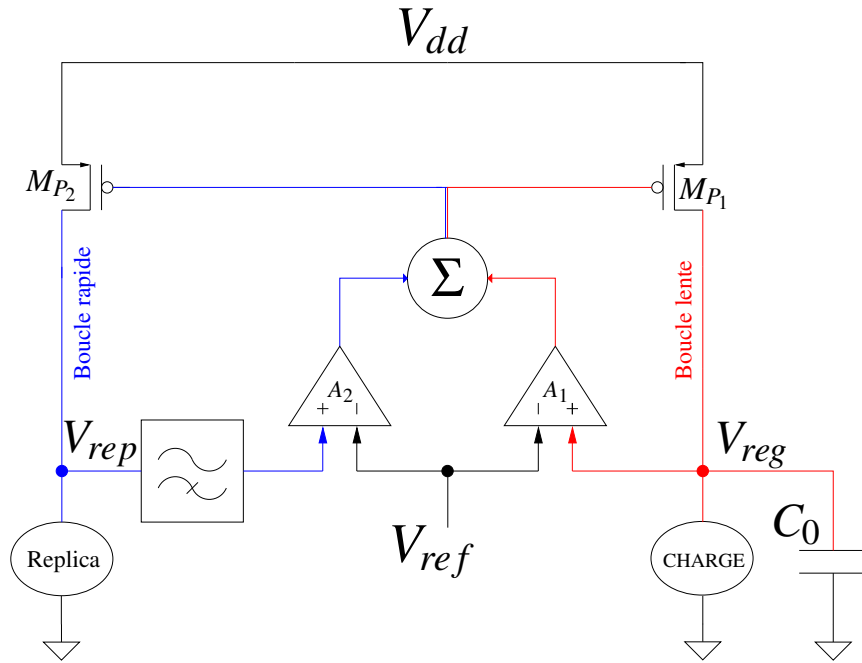


FIGURE 4.11: Architecture du LDO proposée.

Cette architecture est conçue pour maintenir une faible sensibilité au bruit de l'alimentation à haute fréquence. Une boucle principale (A_1 et M_{P1}) régule la tension de sortie V_{reg} sur la charge principale CHARGE. La seconde boucle de rétroaction (A_2 et M_{P2}) est utilisée pour augmenter le PSR à haute fréquence, à travers la charge dupliquée. Le bruit HF de l'alimentation est injecté à travers cette seconde boucle dans la boucle de contrôle du LDO. Pour obtenir une réjection optimale, la tension aux bornes du replica V_{rep} et aux bornes de la charge V_{reg} doivent se comporter de la même manière vis-à-vis du bruit de l'alimentation. Pour annuler tout offset entre ces deux nœuds, la charge dupliquée doit avoir les mêmes caractéristiques que la charge réelle : même comportement courant – tension, même génération de bruit de commutation, etc.

Cependant, l'impédance d'une charge RF varie selon le fonctionnement du bloc alimenté. Il est donc impossible de faire correspondre les caractéristiques du replica et de la charge réelle dans toutes les conditions de fonctionnement, ce qui introduit un offset systématique entre les nœuds de tension V_{reg} et V_{rep} . Pour surmonter cet inconvénient, nous proposons l'utilisation d'un filtre passe-haut dans la seconde boucle de rétroaction [24], ce qui permet de filtrer l'offset et les harmoniques à basse fréquence de V_{rep} , correspondant à la différence entre la charge réelle et la charge dupliquée. Avec cette solution innovante, on obtient un fort PSR sur une large bande de fréquence. De plus, la conception du replica n'a pas besoin de correspondre exactement à la charge réelle contrairement aux précédentes réalisations [23].

Pour réaliser la sommation, le domaine en courant est choisi en connectant en parallèle deux transconductances avec un ratio n entre elles. Pour revenir dans le domaine des tensions afin de commander la grille du transistor de puissance, les sorties des transconductances sont connectées sur un transistor monté en diode, qui équivaut à une charge active R_0 comme le montre la Figure 4.12.

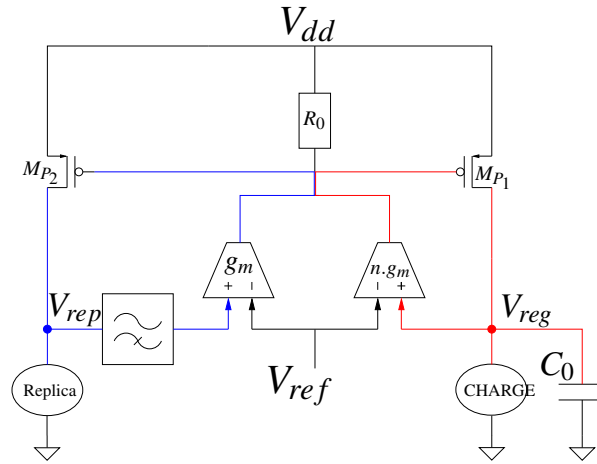


FIGURE 4.12: Architecture du LDO incluant la sommation en courant.

4.4.3.1 Etude du PSR intrinsèque du LDO [24] [25]

Les performances en PSR du régulateur proposé sont évaluées à travers une analyse « petit-signal ». Les détails de la construction des sous-blocs du système sont donnés dans l'annexe D. La Figure 4.13 présente le modèle mathématique du LDO.

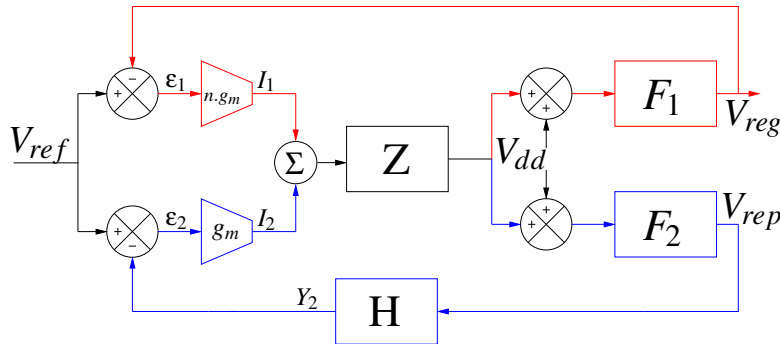


FIGURE 4.13: Modèle mathématique complet du LDO.

La fonction de transfert du PSR entre V_{dd} et V_{reg} est donnée par la relation :

$$S_{Y1} = \frac{V_{reg}}{V_{dd}} = \frac{F_1}{1 + Z \cdot n \cdot g_m \cdot F_1 + Z \cdot g_m \cdot H \cdot F_2} \quad (4.12)$$

où F_1 et F_2 sont les fonctions de transfert de la charge de sortie et du réplica respectivement. $H = s/(s + \omega_c)$ est la fonction de transfert du filtre passe-haut et Z est l'impédance de sortie des deux étages de transconductance $n \cdot g_m$ et g_m . Les fonctions de transfert de la charge de sortie et de la charge dupliquée peuvent être modélisées de la façon suivante :

$$F_1 = \frac{Gm_{MP1} \cdot R_1}{1 + R_1 \cdot C_1 \cdot s} \quad (4.13)$$

$$F_2 = \frac{Gm_{MP2} \cdot R_2}{1 + R_2 \cdot C_2 \cdot s} \quad (4.14)$$

L'impédance Z est donnée par la relation :

$$Z = \frac{R_0}{1 + R_0 \cdot C_{eq} \cdot s} \quad (4.15)$$

A partir de l'équation (4.12), la réjection à basse fréquence sans le filtre (cas a) et avec le filtre (cas b) peut être approximée par :

$$a) S_{Y1}[DC] \approx \frac{1}{R_0 \cdot g_m \cdot \left(n + \frac{G_{mP_2} \cdot R_2}{G_{mP_1} \cdot R_1} \right)}$$

$$b) S_{Y1}[DC] \approx \frac{1}{n \cdot R_0 \cdot g_m} = Cst$$

Cette étude, à partir du modèle mathématique, nous permet de voir que le filtre permet d'obtenir un PSR constant à basse fréquence. En effet, la réjection à basse fréquence dépend uniquement de la transconductance g_m et de la partie réelle R_0 de l'impédance Z . Le PSR devient donc indépendant de la différence entre les impédances de la charge réelle et dupliquée, comme le montre la Figure 4.14. A haute fréquence, la seconde boucle de rétroaction, qui est plus rapide que la boucle principale, prend la main pour rejeter les ondulations de l'alimentation. Ce comportement est illustré sur la Figure 4.14, issue de simulations Monte Carlo.

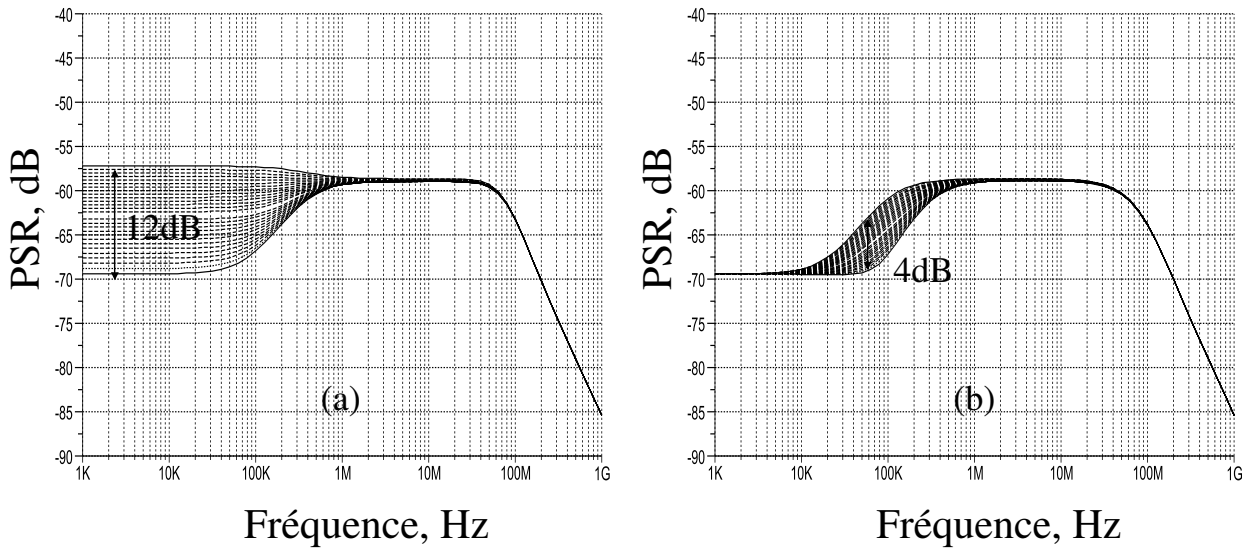


FIGURE 4.14: Simulation du PSR sans (cas a) et avec (cas b) le filtre passe-haut pour des variations d'impédance entre la charge réelle et dupliquée.

On remarque que sans le filtre (cas a), à basse fréquence, le PSR varie de -68dB à -40dB. La présence du filtre permet d'obtenir un PSR constant de -68dB. A haute fréquence, la seconde boucle à base du réplica permet d'atteindre un PSR de -62dB. Cette architecture permet donc d'atteindre un fort PSR sur une très grande gamme de fréquence.

4.4.3.2 Etude du RVR (Reference Voltage Rejection)

D'après l'étude réalisée en 4.4.1, il apparaît que le couplage entre la tension externe d'alimentation V_{dd} et la tension de référence V_{ref} impacte aussi le PSR global du régulateur à travers le circuit « bandgap ». Dans ce sens, il est intéressant d'estimer les performances en RVR (Reference Voltage Rejection) du régulateur en considérant une tension de référence réelle de type « bandgap ».

Les performances en RVR du régulateur proposé sont évaluées à travers une analyse « petit-signal ». Les détails de la construction des sous-blocs du système sont donnés dans l'annexe D. D'après la Figure 4.13, la fonction de transfert du RVR entre V_{ref} et V_{reg} est donnée par la relation :

$$RVR = \frac{V_{reg}}{V_{ref}} = \frac{F_1 \cdot Z \cdot g_m \cdot (n+1)}{1 + Z \cdot n \cdot g_m \cdot F_1 + Z \cdot g_m \cdot H \cdot F_2} \quad (4.16)$$

La Figure 4.15 montre le diagramme de Bode équivalent. Le système se comporte comme un filtre passe-bas du premier ordre. Tout bruit sur la tension de référence V_{ref} se retrouvera sur la tension de sortie régulée V_{reg} jusqu'à la fréquence de coupure du filtre, correspondant à l'impédance de sortie du LDO.

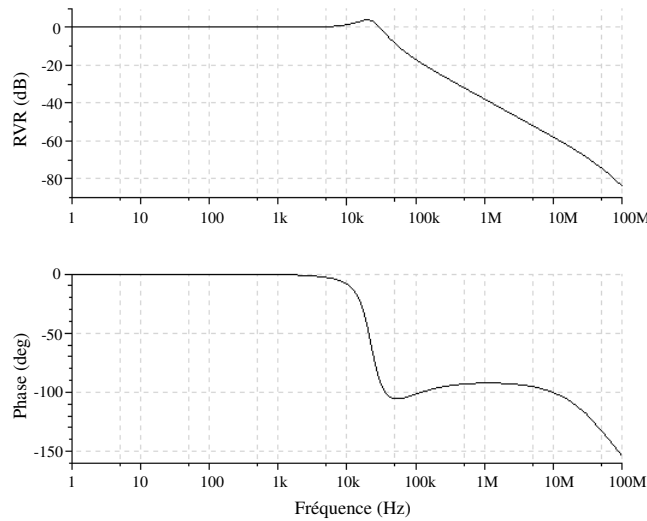


FIGURE 4.15: Diagramme de Bode de la fonction de transfert RVR du LDO.

Il est donc possible d'étudier l'impact de l'alimentation extérieure V_{dd} sur la sortie V_{reg} à travers la tension de référence V_{ref} . En effet, d'après la Figure 4.16, la fonction de transfert de la réjection des bruits de l'alimentation à travers le circuit « bandgap » est :

$$S_{Y2} = \frac{V_{reg}}{V_{dd}} = \frac{V_{ref}}{V_{dd}} \cdot \frac{V_{reg}}{V_{ref}} = PSR_{bg} \cdot RVR \quad (4.17)$$

avec $PSR_{bg} = g_m \cdot (r_{Q1} + R_3) \cdot \frac{1 - A_{dd}}{1 + g_m \cdot (r_{Q2} + R_1) \cdot A - g_m \cdot r_{Q1} \cdot A}$ le paramètre représentant le PSR intrinsèque d'un circuit « bandgap » classique [26].

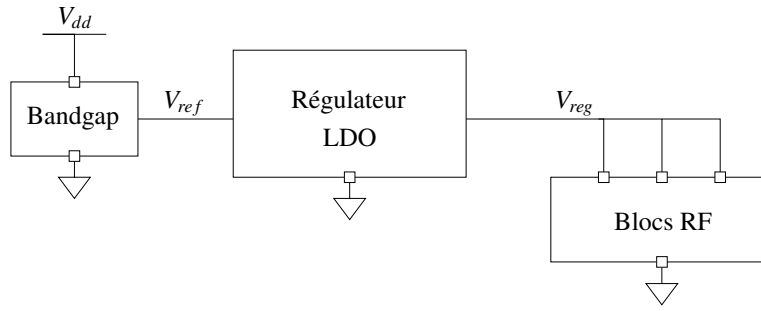


FIGURE 4.16: Etude de l'impact de l'alimentation extérieure V_{dd} sur la sortie V_{reg} à travers la tension de référence V_{ref} .

La Figure 4.17 représente la fonction de transfert résultant de la mise en série de chaque fonction de transfert (PSR_{bg} , RVR et S_{Y2}).

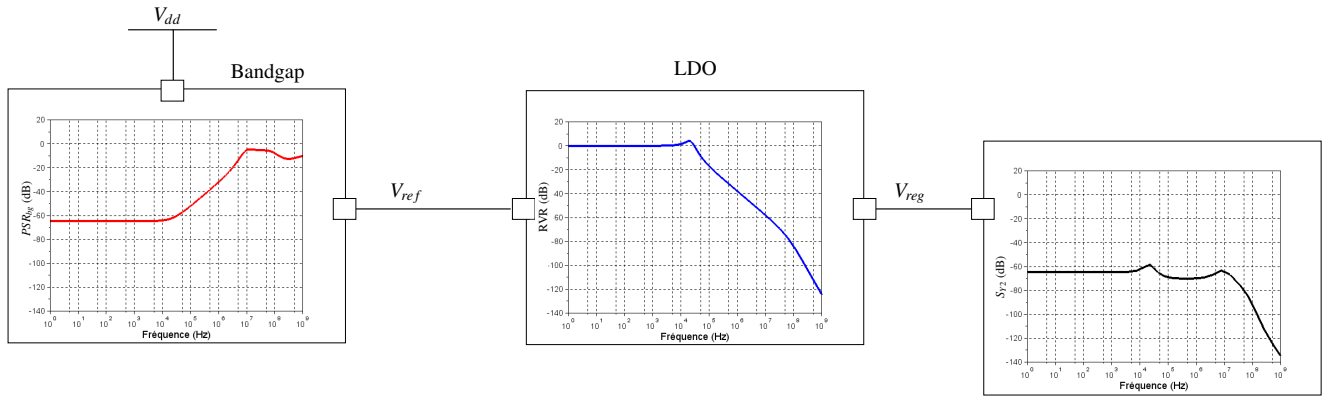


FIGURE 4.17: Diagramme de gain des fonctions de transfert PSR_{bg} , RVR et S_{Y2} .

On voit que tout bruit sur l'alimentation extérieure V_{dd} sera atténué de -60dB sur toute la bande de fréquence et ne perturbera donc pas la tension de sortie du LDO.

Par contre, cette architecture étant un système bouclé, une étude de stabilité est nécessaire pour garantir sa stabilité. Cette étude fait l'objet du paragraphe suivant.

4.4.3.3 Etude de stabilité [27]

Approche linéaire classique : Dans une boucle de régulation, il faut s'assurer que le système soit stable et que la réponse à une perturbation soit suffisamment rapide.

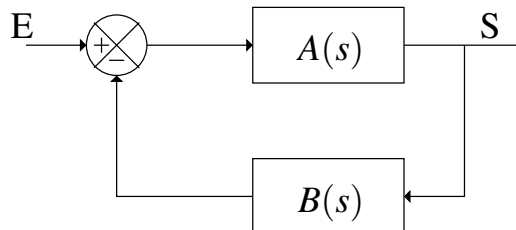


FIGURE 4.18: Système bouclé.

Pour le système considéré (Figure 4.18), la fonction de transfert en boucle fermée (FTBF) et la fonction de transfert en boucle ouverte (FTBO) sont :

$$FTBF = \frac{A(s)}{1 + A(s) \cdot B(s)} \quad (4.18)$$

$$FTBO = A(s) \cdot B(s) \quad (4.19)$$

Pour ce système bouclé, l'équation caractéristique est $\Delta = 1 + A(s) \cdot B(s)$: toute cette étude se fait autour de la condition critique $A(s) \cdot B(s) = -1$.

On rappelle, dans un premier temps, les notions de marge de gain, marge de phase, marge de module et marge de retard réalisant la condition de stabilité et comment nous les appliquons au cas de notre régulateur. Enfin, on indique les limitations de cette approche linéaire.

a) La marge de gain (Figure 4.19) :

C'est la distance du lieu de la FTBO au point critique quand la phase est de -180° . On note :

$$MG = -G_{\varphi=-180}^{dB} \quad (4.20)$$

En pratique, on choisit souvent $MG = -6dB$.

b) La marge de phase (Figure 4.19) :

C'est la distance angulaire du lieu au point critique quand le gain est unitaire. On note :

$$MP = 180^\circ + \varphi_{G=0dB} \quad (4.21)$$

Généralement, on utilise $MP = 45^\circ$.

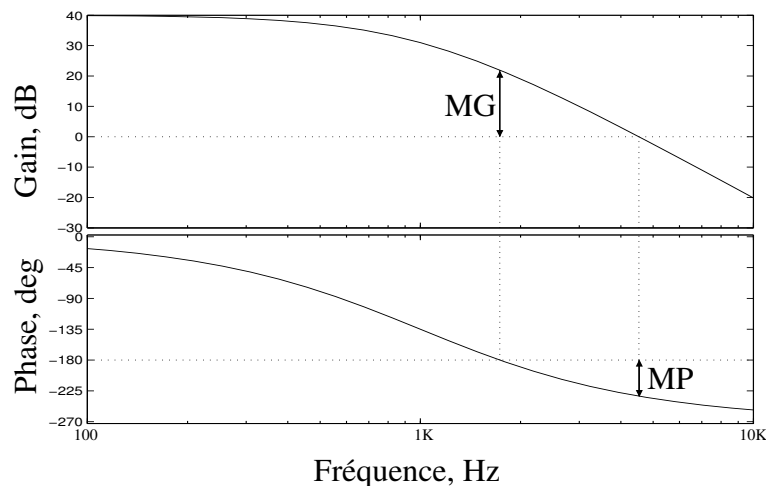


FIGURE 4.19: Marge de gain MG et marge de phase MP .

c) La marge de module (Figure 4.20 (a)) :

C'est la distance minimale entre le lieu de la FTBO et le point -1. Elle s'étudie dans le plan de Nyquist. On note :

$$MM = \min_{\omega} |AB + 1| \quad (4.22)$$

Généralement, on se fixe $MM = 0.5$ dB.

d) La marge de retard (Figure 4.20 (b)) :

C'est le plus grand retard pur tolérable par la boucle. Pour un retard plus grand, la boucle serait instable. On note :

$$MR = \frac{MP^{\circ}}{360 \cdot f_{G=0dB}} \quad (4.23)$$

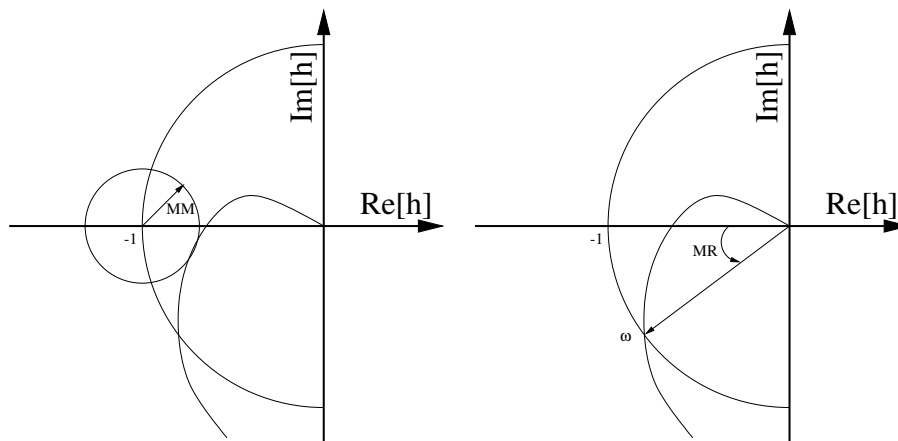


FIGURE 4.20: Marge de module MM et marge de retard MR .

e) Application au régulateur :

Le système est composé de deux boucles fermées qui se somment. Pour calculer la marge de phase, une seule boucle ne peut être étudiée à la fois.

Tous les blocs du modèle « petit-signal » ont été détaillés dans l'annexe D. L'étude de stabilité se réalise en deux parties :

- calcul des fonctions de transfert des différentes boucles,
- calcul des différentes marges pour chaque boucle.

La Figure 4.21 montre le diagramme bloc avec les différentes boucles ouvertes étudiées.

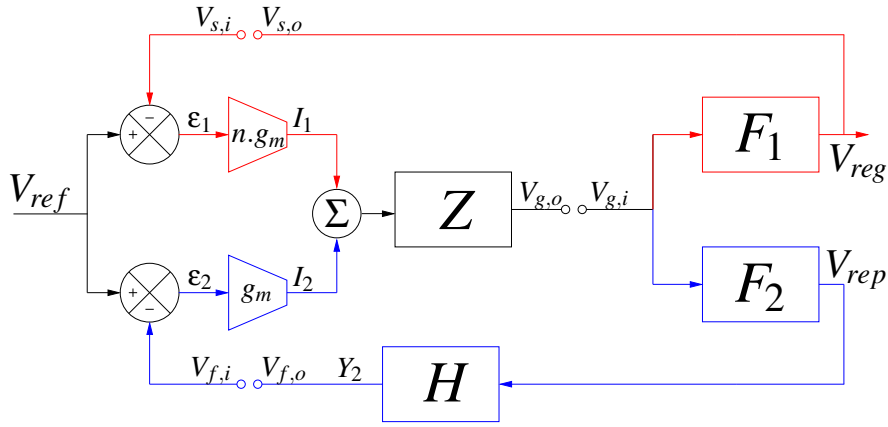


FIGURE 4.21: Diagramme bloc avec les différentes boucles ouvertes.

Pour étudier la stabilité de la première boucle (la boucle lente par exemple), la boucle rapide reste fermée et la fonction de transfert $FTBO_{slow}$ est calculée :

$$FTBO_{slow} = \frac{V_{s,o}}{V_{s,i}} = \frac{n \cdot g_m \cdot Z \cdot F_1}{1 + H \cdot g_m \cdot Z \cdot F_2} \quad (4.24)$$

La Figure 4.22 montre le diagramme de Bode correspondant. Une marge de phase de 87° est atteinte. Cette boucle est donc stable.

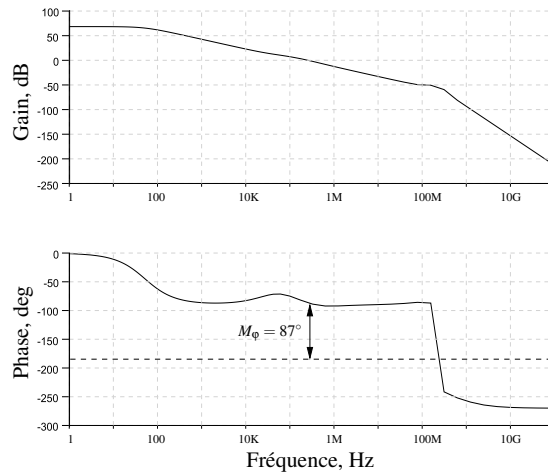


FIGURE 4.22: Diagramme de Bode de la fonction $FTBO_{slow}$.

Pour l'étude de la stabilité de la seconde boucle (la plus rapide), la boucle lente est fermée et on ouvre la boucle rapide. La nouvelle fonction de transfert $FTBO_{fast}$ est donnée par :

$$FTBO_{fast} = \frac{V_{f,o}}{V_{f,i}} = \frac{H \cdot g_m \cdot Z \cdot F_2}{1 + n \cdot g_m \cdot Z \cdot F_1} \quad (4.25)$$

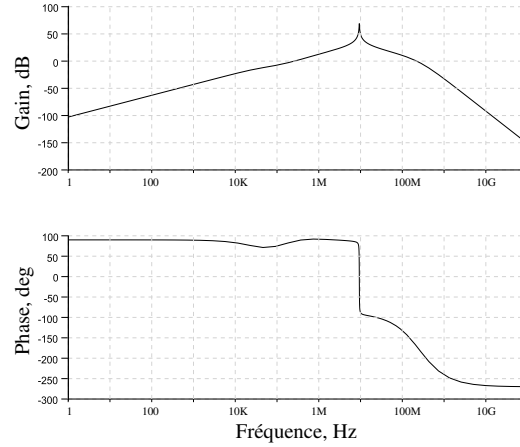


FIGURE 4.23: Diagramme de Bode de la fonction $FTBO_{fast}$.

Cette réponse fréquentielle (Figure 4.23) ne peut pas s'interpréter en utilisant le concept de marge de phase car elle présente une résonance à un gain positif, ce qui implique deux fréquences où la réponse coupe le gain unitaire. L'étude classique de stabilité ne peut pas s'appliquer pour cette boucle.

Une dernière boucle est enfin étudiée pour vérifier la stabilité de la boucle globale du système. Cette boucle est ouverte à la sortie du sommateur. La fonction de transfert globale $FTBO_{global}$ est donnée par :

$$FTBO_{global} = \frac{V_{g,o}}{V_{g,i}} = H \cdot g_m \cdot Z \cdot F_2 + n \cdot g_m \cdot Z \cdot F_1 \quad (4.26)$$

La marge de phase (Figure 4.24) est de 40° . Cette boucle est donc stable.

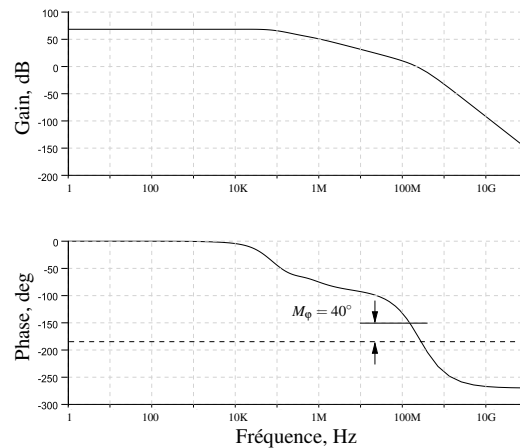


FIGURE 4.24: Diagramme de Bode de la fonction $FTBO_{global}$.

f) Limitations de l'approche linéaire :

En conclusion, cette approche classique de la marge de phase ne nous a pas permis d'étudier correctement la boucle rapide. En effet, nous ne pouvons pas interpréter correctement la réponse de la boucle rapide. De plus, si on suppose une erreur sur les tensions de rétroaction appliquée aux deux

comparateurs ($V_{rep} = (1 + \varepsilon_1) \cdot V_{rep}$ et $V_{reg} = (1 + \varepsilon_2) \cdot V_{reg}$), on ne peut considérer qu'une seule erreur à la fois avec cette méthode. Il est donc plus réaliste de considérer des incertitudes simultanées sur les deux boucles. L'utilisation de l'étude classique de stabilité en boucle ouverte n'est donc pas adaptée à l'analyse de systèmes composés de plusieurs boucles.

De plus, cette analyse ne prend pas en compte les effets non-linéaires et surtout les circuits faisant intervenir les boucles multiples comme c'est le cas dans notre LDO. Enfin, cette méthode aboutit à une prise en compte de marges de stabilité souvent trop importante, pénalisant par exemple le temps de réponse du système. Il est donc nécessaire d'introduire une méthode d'analyse exhaustive en termes de condition de stabilité et donnant un nouveau critère de stabilité.

Même si l'approche linéaire n'est pas représentative de la stabilité d'un système à plusieurs boucles, elle reste néanmoins un excellent point de départ. Elle permet de détecter certaines conditions d'instabilité mais elle n'est pas complète.

Méthode dite « continu dans l'espace d'état » : Les régulateurs de type « *Low Dropout* » sont des systèmes linéaires. Cependant, l'étude de stabilité conventionnelle n'est plus applicable pour ces régulateurs de plus en plus complexes présentant plusieurs boucles. Cette technique est appelée de manière générale la représentation en matrice d'état. Elle permet de modéliser un système dynamique sous forme matricielle en utilisant des variables d'état. Cette représentation, qui peut être linéaire ou non, continue ou discrète, permet de déterminer l'état du système à n'importe quel instant futur si l'on connaît l'état à l'instant initial et le comportement des variables exogènes qui influent sur le système. Nous allons ici la mettre en œuvre pour l'étude de notre système linéaire. La représentation d'état pour un système linéaire est décrite dans l'annexe E.

a) Détermination de la matrice d'état : La matrice d'état est extraite une fois que les fonctions de transfert ont été déterminées. Le détail de la méthode de calcul de la matrice d'état est décrit dans l'annexe E. On obtient la matrice suivante :

$$A = \begin{bmatrix} -\frac{1}{R_0 \cdot C_{eq}} & \frac{-Gm_{MP_1} \cdot R_1 \cdot n \cdot g_m}{R_0 \cdot C_{eq}} & \frac{-Gm_{MP_2} \cdot R_2 \cdot g_m}{R_0 \cdot C_{eq}} & \frac{\omega_c \cdot g_m}{R_0 \cdot C_{eq}} \\ \frac{R_0}{R_1 \cdot C_1} & -\frac{1}{R_1 \cdot C_1} & 0 & 0 \\ \frac{R_0}{R_2 \cdot C_2} & 0 & -\frac{1}{R_2 \cdot C_2} & 0 \\ 0 & 0 & Gm_{MP_2} \cdot R_2 & -\omega_c \end{bmatrix} \quad (4.27)$$

Les valeurs des principaux paramètres (PMOS M_{P_1} et PMOS M_{P_2}) ont été extraites avec le simulateur ELDO RF de Mentor Graphics, à partir d'un circuit conçu dans la technologie CMOS 90nm et simulé pour un courant maximum de charge de 5mA. Les différents paramètres sont récapitulés dans le Tableau 4.2 :

Paramètre	Valeur	Paramètre	Valeur
g_m	200 μ S	Gm_{MP_1}	13.73mS
n	3	Rds_{MP_1}	3962 Ω
R_0	90k Ω	Cgs_{MP_1}	1.02pF
Gm_{MP_2}	278 μ S	Cgd_{MP_1}	500fF
Rds_{MP_2}	183k Ω	Cgb_{MP_1}	305fF
Cgs_{MP_2}	20.5fF	Cdb_{MP_1}	106fF
Cgd_{MP_2}	10fF	Cds_{MP_1}	106fF
Cgb_{MP_2}	6.1fF	R_{rep}	50k Ω
Cdb_{MP_2}	2.1fF	f_c	40kHz
Cds_{MP_2}	2.1fF	R_{out}	1k Ω
V_{ref}	1.2V	C_o	47nF

TABLE 4.2: Paramètres du LDO.

A partir de la matrice d'état et des valeurs des différents paramètres, on calcule les valeurs propres (VP) :

$$\begin{aligned}
 VP1 &= -1.305 \times 10^9 \\
 VP2 &= -3.804 \times 10^8 \\
 VP3 &= -5.38 \times 10^4 + 1.31 \times 10^5 .j \\
 VP4 &= -5.38 \times 10^4 - 1.31 \times 10^5 .j
 \end{aligned} \tag{4.28}$$

Les parties réelles des valeurs propres obtenues sont négatives et donc le système étudié est stable. Cette approche par les matrices d'état nous permet donc de certifier que ce régulateur LDO est stable. Elle nous permet également d'étudier l'influence des différents paramètres et de déterminer les plus critiques.

b) Sensibilité des valeurs propres aux différents paramètres : Le but de cette étude est de déterminer les paramètres critiques pour la stabilité du système afin de trouver le meilleur compromis pour l'optimisation du circuit. L'influence d'une variation de chaque paramètre sur la valeur propre critique α (celle qui a la plus grande partie réelle) est observée. Dans le cas de notre architecture de LDO, un paramètre critique a été identifié : la capacité de sortie C_o . On fait varier la capacité de sortie de quelques picoFarads à des dizaines de nanoFarads.

Le diagramme de la Figure 4.25 est le résultat de l'algorithme (voir annexe E) correspondant à chaque valeur propre. On peut donc identifier facilement la valeur propre critique. Ainsi, l'identification des paramètres dont dépend chaque valeur propre n'a pas d'intérêt.

D'après la Figure 4.25, le système serait stable pour une capacité de sortie supérieure à 16pF. En effet, le pôle de sortie introduit par la capacité doit être assez faible en fréquence pour ne pas interférer avec les différents pôles du système et notamment celui de l'amplificateur d'erreur A_1 .

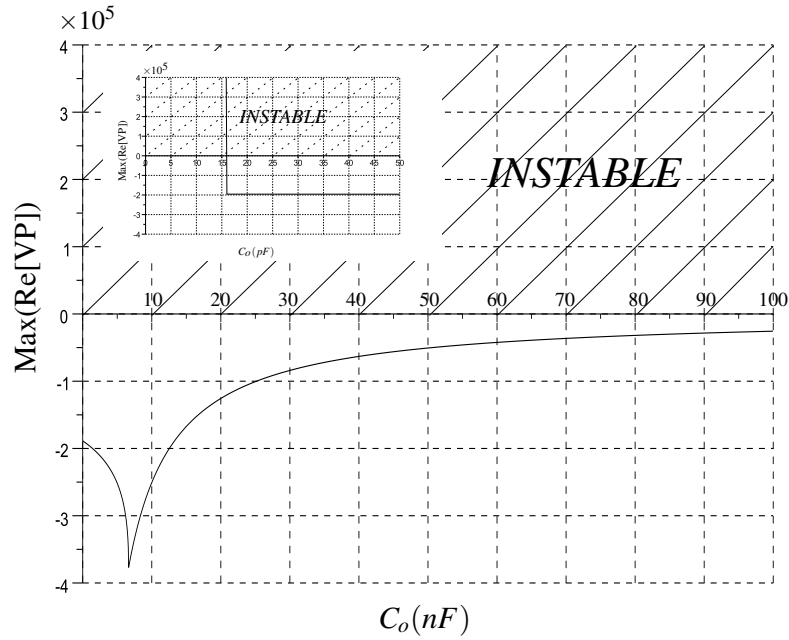


FIGURE 4.25: Sensibilité de la valeur propre critique au paramètre C_o .

c) Analyse Monte Carlo : L'analyse Monte Carlo permet de déterminer un jeu de variations aléatoires des paramètres qui conserve la stabilité du système. Tous les paramètres du circuit sont étudiés à travers une analyse Monte Carlo pour trouver le meilleur compromis et robustesse pour l'optimisation du circuit. L'influence de variations simultanées de tous les paramètres sur la valeur propre critique (celle dont sa partie réelle est la plus grande) est observée. La Figure 4.26 illustre la variation de la partie réelle de la valeur propre critique α en fonction de l'incertitude relative ρ sur les valeurs des paramètres.

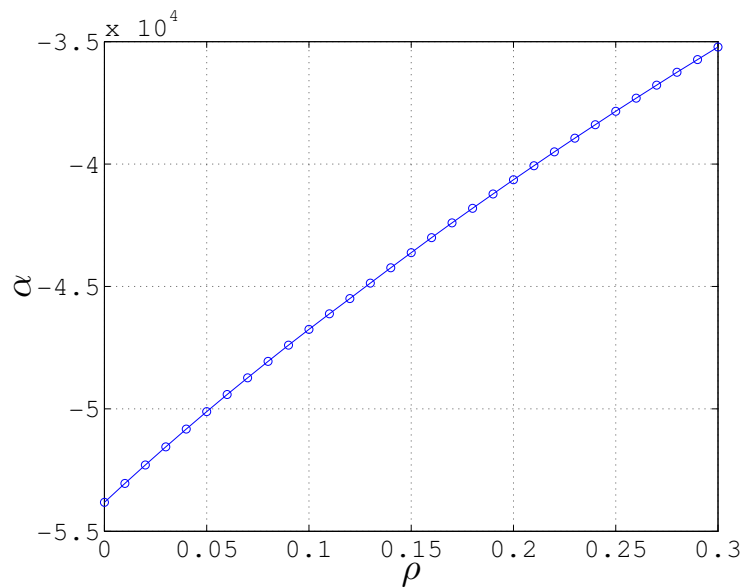


FIGURE 4.26: Analyse Monte Carlo.

D'après la Figure 4.26, quand $p < 30\%$ (ce qui correspond à la variabilité globale des process silicium), la partie réelle de la valeur propre critique reste négative et donc le système est stable. Cette analyse de robustesse assure une stabilité du système dans les conditions de variation de process.

Conclusion : Nous pouvons maintenant répondre à la question initiale de cette étude : trouver un moyen d'analyse de stabilité et d'analyse de robustesse. Le critère « petit-signal » (marge de phase, marge de gain) ne permet de prédire que de manière approximative la stabilité du régulateur. Avec l'approche développée dans ce chapitre, l'analyse est rigoureuse et la stabilité assurée.

De plus, cette méthode permet d'étudier l'influence de chacun des paramètres, d'identifier les plus critiques et de les optimiser afin de respecter le cahier des charges.

4.4.4 Implémentation

4.4.4.1 Choix et présentation de la technologie

Choix de la technologie : L'objectif de ce travail est l'intégration des blocs d'alimentation dans le même silicium que celui utilisé pour le circuit global. Dans cet objectif, mon travail de recherche porte sur une architecture optimisée d'alimentation mais il est nécessaire de prendre en compte toutes les contraintes que l'intégration d'un circuit complet engendre. Une des contraintes les plus importante concerne le fait que le circuit global doit être une puce multifonction comprenant non seulement la partie émission/réception mais aussi la mémoire flash et le microcontrôleur. Une technologie CMOS s'impose donc. Dans ce type de technologies, différentes longueurs de grille sont disponibles, allant de 180nm jusqu' à 32nm.

Notre choix s'est porté sur une technologie 90nm qui regroupe à la fois des performances optimales de courants de fuite pour la partie numérique, la possibilité d'intégrer de la mémoire flash et un coût de fabrication raisonnable contenu de l'application visée.

Présentation de la technologie CMOS 90nm : La technologie CMOS de 90nm de longueurs de grilles développée par STMicroelectronics [28] embarque la technologie flash afin d'intégrer de la mémoire. Elle est constituée d'un oxyde double cœur (GO1 et GO2). Elle dispose de trois options. Une option « low power (LP) » d'épaisseur d'oxyde de grille égale à 21Å (GO1), fonctionnant sous une tension typique de 1.2V, une option « general purpose (GP) » dont l'oxyde de grille est plus fin et fonctionnant sous une tension de 1V et une option de type GO2 (épaisseur d'oxyde de grille de 65Å) permettant l'utilisation de tension typique plus élevée (3.3V). L'option GP apparaît plus adaptée à la réalisation de circuits purement numériques. Elle dispose, en effet, de transistors plus rapides mais avec des courants de fuite élevés. L'option LP par contre correspond mieux aux circuits analogiques et mixtes commutables en régime OFF et utilisant des tensions plus élevées. L'option GO2 est adaptée aux circuits pouvant être connectés directement à une batterie. C'est donc cette dernière option qui a été retenue. La fonctionnalité et les performances du circuit doivent être garanties avec une variation de $\pm 10\%$ de la valeur de la tension d'alimentation.

a) Les niveaux métalliques : Cette technologique silicium intègre six niveaux métalliques. Le dernier niveau de métallisation supérieur (niveau M6) est de forte épaisseur et offre ainsi une faible résistivité. Son éloignement limite également le couplage capacitif avec le substrat. L'option retenue intègre un niveau supplémentaire appelé « alucap » (Figure 4.27). Les niveaux métalliques supérieurs ayant les plus faibles pertes sont préférentiellement utilisés pour la réalisation des inductances pour les blocs RF.

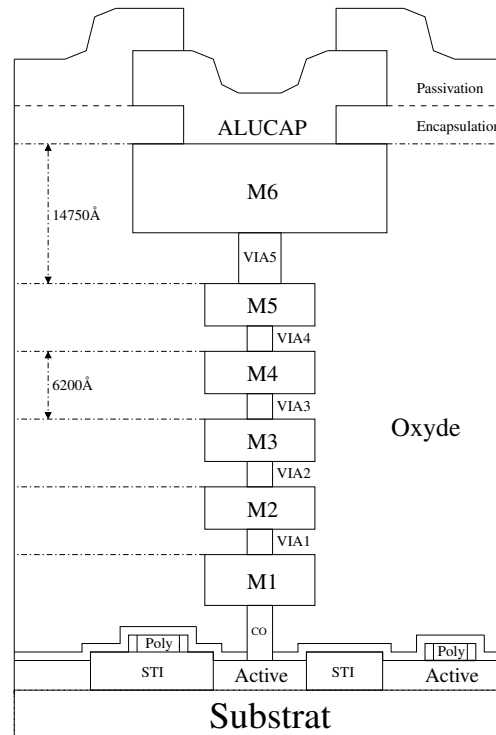


FIGURE 4.27: Niveaux métalliques de la filière CMOS 90nm de STMicroelectronics.

Nous allons maintenant évoquer les principales caractéristiques des composants actifs (transistor MOS) et des composants passifs disponibles dans cette technologie et que nous utiliserons par la suite.

b) Les transistors MOS : Les transistors MOS disponibles en technologie CMOS 90nm ont une longueur minimale de grille de $0.1\mu\text{m}$ (GO1) et de $0.38\mu\text{m}$ (GO2). Ils sont de deux types : le transistor SVT (standard V_{th}) et le transistor HVT (High V_{th}). Comme son nom l'indique, le transistor HVT est caractérisé par une tension de seuil plus élevée. Le Tableau 4.3 résume les principales caractéristiques des transistors MOS disponibles, dans le cas de la technologie typique et pour des transistors de dimension $W=1\mu\text{m}$ et $L=0.1\mu\text{m}$ (GO1) et $W=10\mu\text{m}$ et $L=0.38\mu\text{m}$ (GO2).

Le transistor HVT possède une fréquence de transition (F_T) plus faible que les SVT avec des courants de fuite plus faibles du fait de la valeur élevée de la tension de seuil. Il apparaît donc bien adapté à la réalisation des circuits digitaux. Le transistor SVT présente une fréquence de transition plus élevée et convient mieux à la réalisation des fonctions RF et analogiques. Pour notre étude, le transistor SVT a donc été utilisé dans toutes les fonctions analogiques.

	NMOS SVT		PMOS SVT		NMOS HVT		PMOS HVT		Unité
	GO1	GO2	GO1	GO2	GO1	GO2	GO1	GO2	-
$V_{th} [lin]$	366	570	380	530	455	-	483	-	mV
I_{on}	543	580	217	290	421	-	182	-	A/m
I_{off}	0.5	0.01	0.5	0.01	0.02	-	0.02	-	nA/m

GO1 : $V_{th} [lin]$: V_{th} dans la région linéaire ($V_{ds}=0.025V$ et $I_{ds}=40.W/L$ nA) ; I_{on} : I_{ds} avec $V_{ds}=1.2V$ et $V_{gs}=1.2V$ et I_{off} : I_{ds} avec $V_{ds}=1.2V$ et $V_{gs}=0V$

GO2 : $V_{th} [lin]$: V_{th} dans la région linéaire ($V_{ds}=0.1V$ et $I_{ds}=100.W/L$ nA) ; I_{on} : I_{ds} avec $V_{ds}=3.3V$ et $V_{gs}=3.3V$ et I_{off} : I_{ds} avec $V_{ds}=3.3V$ et $V_{gs}=0V$

TABLE 4.3: Caractéristiques des transistors MOS [29].

c) Les composants passifs : Les composants passifs utilisés pour la conception de l'alimentation sont les résistances et les capacités.

- Les résistances :

Plusieurs types de résistances sont disponibles dans la technologie CMOS 90nm. Elles sont présentées dans le Tableau 4.4. Elles sont de deux types : de type implanté (Source/Drain N ou P) ou bien de type polysilicium (Poly N+ ou P+). Il est souvent préférable d'utiliser un seul de type de résistance pour tout le circuit pour pouvoir utiliser les effets d'indexation.

Type	Min (Ω/\square)	Typ (Ω/\square)	Max (Ω/\square)	Mismatch ($\%.\mu m$)
Source/Drain N+	70	100	130	1.30
Source/Drain P+	120	150	180	0.57
Poly P+	380	440	500	1.54
Poly N+	92	123	155	4.2

TABLE 4.4: Les résistances disponibles.

- Les capacités :

Il existe trois types de capacités disponibles dans la technologie CMOS 90nm : la capacité Polysilicium (réalisée avec une épaisseur d'oxyde de 50Å), la capacité MOM (« Metal-oxyde-Metal ») et MOM RF inter-digitée adaptée aux circuits RF grâce à sa faible capacité parasite par rapport au substrat. Les densités de ces capacités sont résumées dans le Tableau 4.5 :

Type	Densité (fF/ μm^2)
Polysilicium	6
MOM	1.2
MOM RF	2

TABLE 4.5: Les capacités disponibles.

La capacité polysilicium est intéressante en raison de sa densité, mais elle présente cependant une valeur de capacité non linéaire ainsi qu'une résistance série importante. Pour avoir une densité

suffisante, la capacité MOM est constituée des niveaux de métaux 1 à 6. Elle résulte donc en une capacité parasite avec le substrat importante. La capacité MOM RF a été spécialement développée pour fonctionner en haute fréquence. Elle utilise les métaux fins allant du métal 2 au métal 5. Le métal 1 n'est pas utilisé pour réduire la capacité parasite par rapport au substrat.

4.4.4.2 Réalisation du circuit

Le but de cette partie est de réaliser notre régulateur sur silicium afin de vérifier les résultats développés précédemment. La première partie décrit la conception des blocs au niveau transistor puis le circuit intégré complet. La deuxième partie s'intéresse au test : l'interface de test, le protocole de mesures et les performances mesurées du prototype.

Etage de puissance : PMOS de sortie : De par son rapport W/L important qui lui permet de générer un courant de 5mA, ce transistor est un élément assez particulier.

La largeur W est directement liée aux deux paramètres les plus importants du LDO, le courant de sortie maximum en fonctionnement normal et la tension de déchet minimum : nous déterminons W à partir de ces deux caractéristiques. Nous prenons une longueur minimale, $L=0.38\mu\text{m}$, car il n'y a aucune contrainte sur cette dimension.

- *Calcul de W à partir du courant de saturation des transistors PMOS :*

La technologie donne $I_{sat} = -0.1\text{mA}/\mu\text{m}$ pour $L = 0.38\mu\text{m}$, $V_{gs} = -3.3\text{V}$ et $V_{ds} = -3.3\text{V}$ pour les transistors de type GO2 (double oxyde de grille). Pour fournir un courant de 5mA, il faut un transistor de largeur $W = 5/0.1 = 50\mu\text{m}$. Notons que nous n'aurons jamais $V_{ds} = -3.3\text{V}$, la largeur W devra donc être supérieure à $50\mu\text{m}$.

- *Estimation de W à partir de la tension de déchet minimum :*

Ce transistor doit rester dans son régime saturé. Pour cela, ses tensions drain/source V_{ds} , grille/-source V_{gs} et le seuil V_t doivent respecter l'équation suivante :

$$V_{ds} \geq V_{gs} - V_t \quad (4.29)$$

Le courant qui traverse ce transistor I_{ds} et qui est aussi le courant de sortie I_o est alors régi par l'équation :

$$I_{ds} = K_P \cdot \frac{W}{L} \cdot (V_{gs} - V_t)^2 \quad (4.30)$$

Soit

$$\frac{W}{L} \geq \frac{I_{ds}}{K_P \cdot V_{ds}^2} \quad (4.31)$$

Or, dans notre cas, on a :

$$V_{ds} = V_{DO(min)} - R_{accs} \cdot I_o \quad (4.32)$$

avec R_{accs} = résistances ramenées par les interconnexions entre le boîtier et la puce ($\sim 80\text{m}\Omega$).

En remplaçant ce terme V_{ds} dans l'équation par son expression, on trouve :

$$\frac{W}{L} \geq \frac{I_{ds}}{K_P \cdot (V_{DO(min)} - R_{acces} \cdot I_o)^2} \quad (4.33)$$

avec $I_{ds} = I_o = 5mA$, $V_{DO(min)} = 200mV$ et $R_{acces} = 80m\Omega$.

On trouve $\frac{W}{L} \geq 750$, ce qui donne $W > 300\mu m$. Pour être certain de rester en régime saturé ($V_{gs} - V_t$ plus faible) et supporter des courants de charges instantanés élevés, nous prenons finalement $W = 1200\mu m$.

Avec de telles dimensions, le dessin des masques de ce transistor relève d'un cas particulier et cette partie du régulateur constitue une cellule à part. Le PMOS de sortie est divisé en transistors élémentaires ($W = 25\mu m$ et $L = 0.38\mu m$) qui sont positionnés en forme de matrice. La longueur L de chaque transistor est celle du transistor global.

Le sommateur : Le « sommateur » et les deux amplificateurs (OTA1 et OTA2) sont réalisés par deux étages de transconductance différentiels dont les deux sorties en courant sont sommées sur un miroir en courant commun comme le montre la Figure 4.28 :

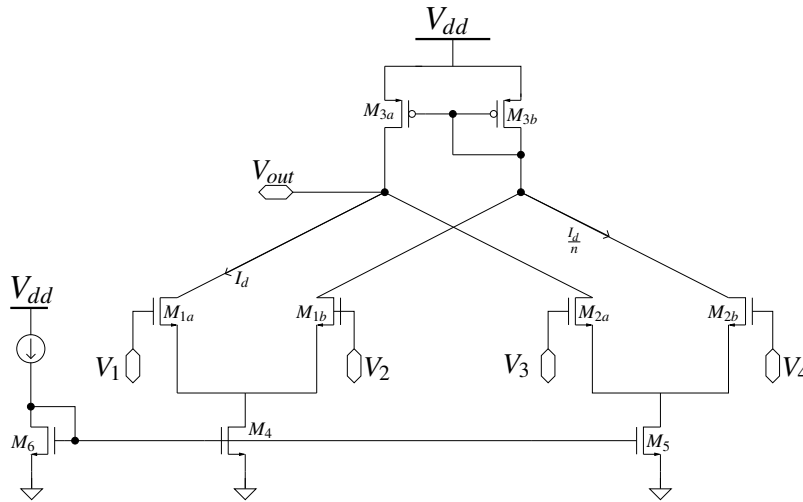


FIGURE 4.28: Implémentation du sommateur.

Les transistors sont dimensionnés de la façon suivante :

- $M_{1a} = M_{1b}$ avec $W(M_{1a}) = W(M_{1b}) = W$ et $L(M_{1a}) = L(M_{1b}) = L$
- $M_{2a} = M_{2b}$ avec $W(M_{2a}) = W(M_{2b}) = n \cdot W$ et $L(M_{2a}) = L(M_{2b}) = L$ avec $n \in \llbracket 1..10 \rrbracket$
- $M_4 = n \cdot M_5 = n \cdot M_6$ avec $L(M_4) = L(M_5) = L(M_6)$ et $W(M_4) = n \cdot W(M_5) = n \cdot W(M_6)$
- $M_{3a} = M_{3b}$

L'étage ainsi conçu réalise une fonction de sommation des deux entrées différentielles à un coefficient près et

$$V_{out} = n \cdot (R_{ds}(M_{1a}) || R_{ds}(M_{3a})) \cdot g_m(M_{2a}) \cdot (V_2 - V_1 + V_4 - V_3) \quad (4.34)$$

Le détail des calculs est présenté dans l'annexe F.

La source de courant : La solution retenue pour fournir le courant de polarisation est un étage qui s'adapte selon le besoin de courant dans la paire différentielle [30]. On parle d'auto-polarisation dans ce cas-là. Le courant de la paire différentielle est ajusté selon le courant de charge en sortie. Cette technique augmente les performances en bande passante et améliore ainsi la réponse dynamique. Le courant de polarisation devient une fraction du courant de charge. De plus, cela permet de s'affranchir de la conception d'une source de courant classique (structure de Wilson par exemple [30]).

La Figure 4.29 illustre le concept d’auto-polarisation pour un amplificateur opérationnel différentiel monté en suiveur. Les deux variables clés sont le courant d’entrée I_{in} et celui de sortie I_{out} .

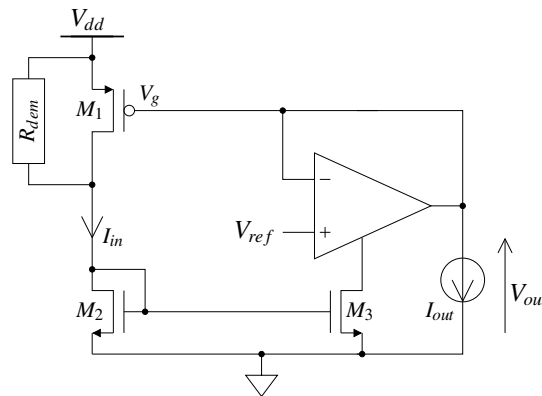


FIGURE 4.29: Principe d'auto-polarisation d'un AOP monté en suiveur.

Si le courant de sortie I_{out} augmente (augmentation de la température, variation de la charge...), la tension de sortie V_{out} va diminuer du fait de l'impédance de sortie de l'amplificateur, ce qui va augmenter la tension V_{gs} du PMOS M_1 et par conséquent le courant d'entrée I_{in} polarisant l'étage d'entrée de l'amplificateur. Ainsi, le montage forme une boucle d'asservissement imposant un courant I_{in} proportionnel à I_{out} . Cependant, cette structure peut se trouver dans un état de courant nul. Pour ces raisons, un mécanisme est nécessaire pour démarrer le circuit. On peut utiliser une résistance R_{dem} qui permet d'injecter un courant I_{in} non nul même si le transistor M_1 est bloqué et ainsi éviter cet état d'équilibre.

L'inconvénient majeur de cette structure est la consommation de courant qui est variable selon la charge à alimenter. On ne peut donc pas prévoir sa consommation. Dans la suite du mémoire, consacrée à une analyse « petit-signal », on ne considère que la charge et par conséquent les courants de polarisation I_{in} et I_{out} sont constants.

Le filtre passe-haut : Une réalisation simple de filtre serait d'utiliser des éléments passifs RC. Or, cette structure présente deux inconvénients :

- pour avoir une fréquence de coupure assez faible, on doit utiliser des éléments passifs de fortes valeurs, ce qui augmente fortement la taille du circuit.
- pour avoir une bonne réjection sur toute la bande de fréquence, la fréquence de coupure du filtre doit suivre les mêmes variations process que les bandes passantes des amplificateurs d'erreur [24]. Une structure RC ne le permet pas.

Une autre implémentation est l'utilisation d'un filtre passe-haut (FPH) de type Gm-C (Figure 4.30). Il bloque l'offset en DC et permet la transition entre les deux boucles sans impacter le PSR. La fréquence de coupure de ce filtre est choisie une décade au-dessus de la fréquence de coupure de l'amplificateur d'erreur de la boucle principale [24]. Il est constitué d'une capacité de type MOS de 15pF et un étage de transconductance.

Le seul inconvénient de cette structure est que l'on réinjecte les bruits de l'alimentation V_{dd} sur la tension de sortie V_{out} . On doit donc garantir que le filtre ait un PSR intrinsèque suffisant grâce notamment à l'étage cascode.

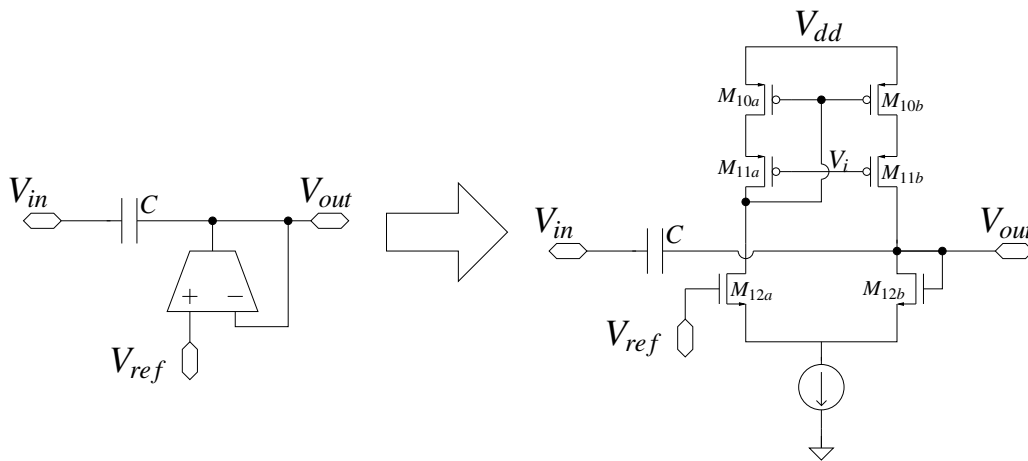


FIGURE 4.30: Conception du filtre passe-haut Gm-C.

La charge et le replica : Pour des raisons de caractérisation et de mesure, le LDO alimente un oscillateur (Figure 4.31) de type LC [12], qui est le bloc le plus sensible d'un synthétiseur de fréquence. Il est constitué d'une inductance différentielle intégrée, des varactors MOS CV1 et CV2 en accumulation permettant une variation continue de la fréquence et un système de 6 bits permettant de commander des capacités MOM pour assurer la variation grossière de la fréquence d'oscillation. Le replica est implémenté par une résistance en parallèle avec une source de courant, ce qui représente une approximation facilement reconfigurable de la charge réelle.

Dans le VCO, une source de courant (transistor PMOS M_e) est utilisée pour maîtriser le courant consommé par le circuit et permet de s'affranchir du bruit de l'alimentation. Cependant, ce transistor apporte sa propre contribution en bruit et limite la dynamique du signal de sortie. Ceci a pour impact d'augmenter le bruit de phase. Cependant, cette structure a été choisie car l'application visée nécessite une faible consommation du circuit et des spécifications de bruit de phase relâchées. Un étage diviseur placé après le VCO permet de diviser par quatre la fréquence d'oscillation de l'oscillateur. L'oscillateur est intégré sur la même puce que le LDO. Il oscille autour de 5GHz et il a besoin d'une alimentation peu bruyante sur une bande passante de quelques mégahertz pour assurer un faible bruit de phase autour de la porteuse.

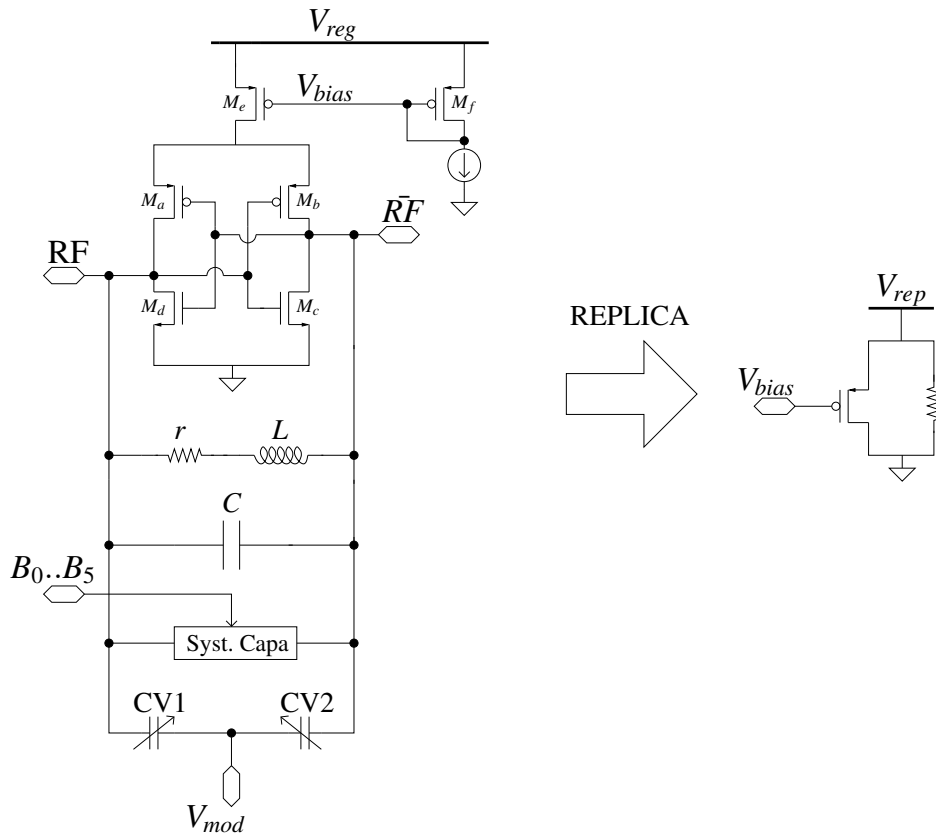


FIGURE 4.31: Implémentation du VCO et du replica.

Implémentation complète : La Figure 4.32 montre l'implémentation complète au niveau transistor du LDO. Une capacité céramique de sortie C_o de 47nF en externe est utilisée pour assurer la stabilité et améliorer le PSR. Une capacité de découplage intégrée de 60pF a été ajoutée pour assurer le bon fonctionnement du LDO. En effet, d'après l'analyse de stabilité, une capacité de sortie supérieure à 16pF doit être ajoutée afin de garantir la stabilité. Aucune autre technique de compensation n'est utilisée pour stabiliser le système. La stabilité est garantie sur une plage de courant de charge de 0 à 5mA.

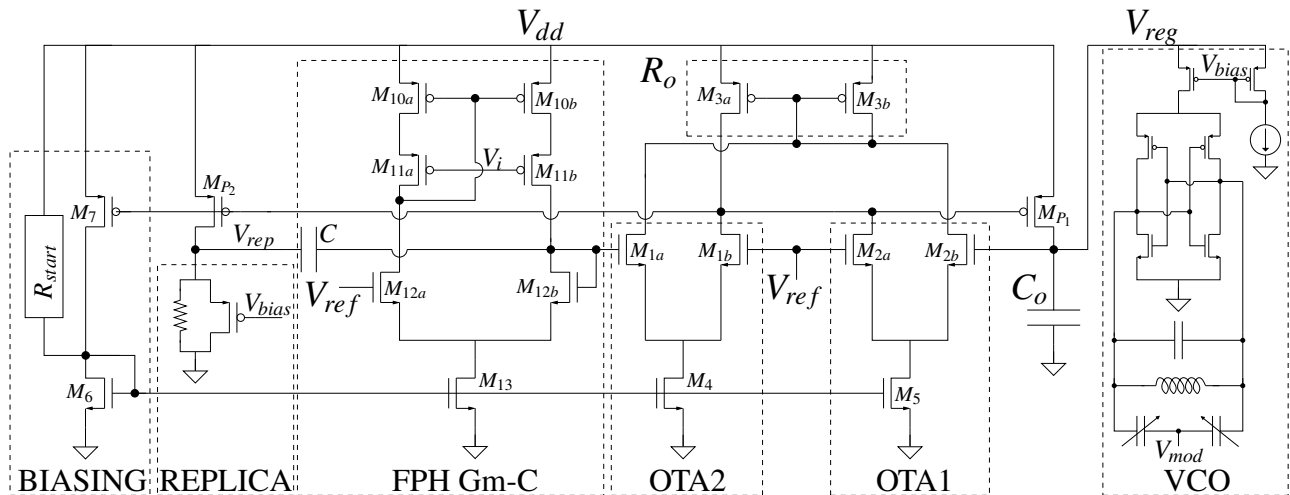


FIGURE 4.32: Implémentation du LDO.

La Figure 4.33 présente le plan et le dessin des masques du LDO. Les dimensions du LDO sont seulement de $80\mu\text{m} \times 110\mu\text{m} = 0.0088\text{mm}^2$.

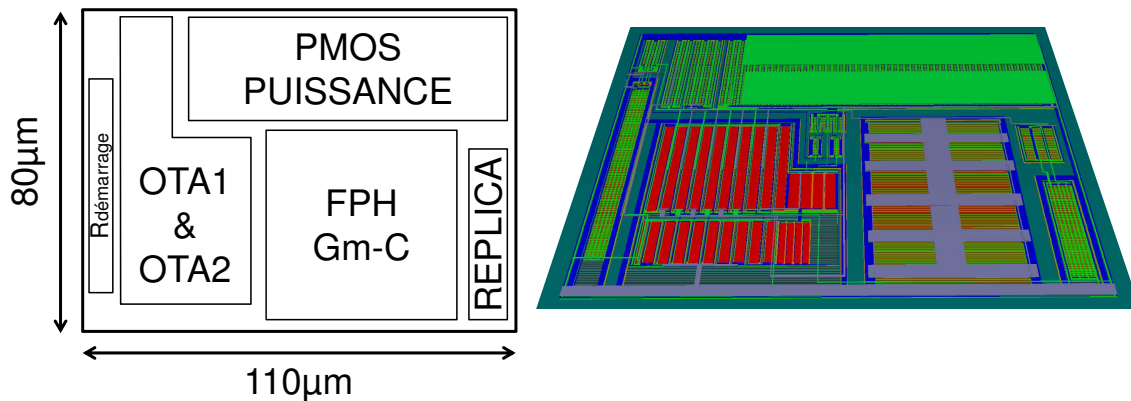


FIGURE 4.33: Plan et dessin des masques du LDO.

La Figure 4.34 montre le dessin complet des masques et la photomicrographie du circuit complet.

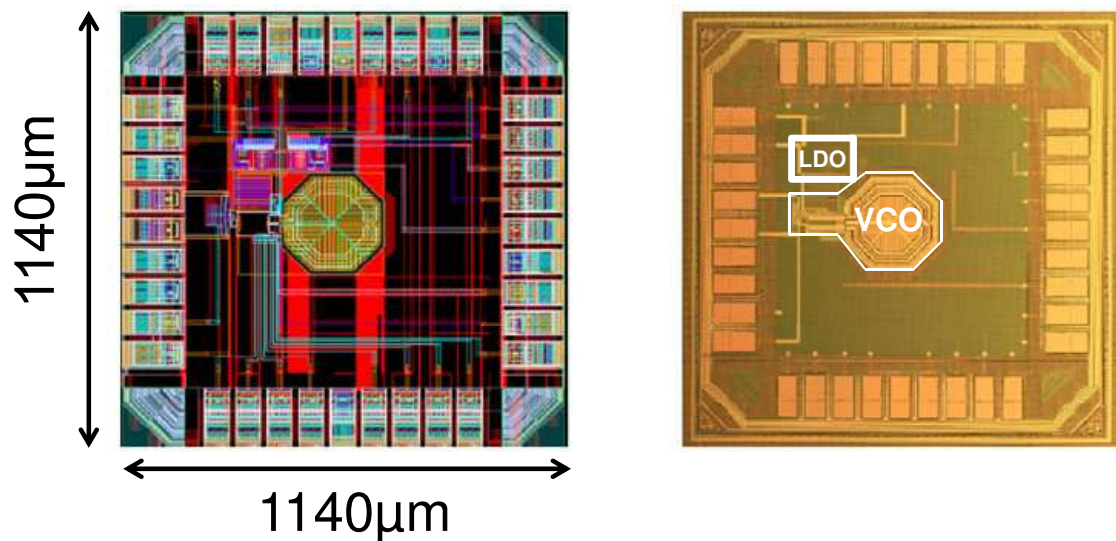


FIGURE 4.34: Dessin des masques et photomicrographie du circuit complet.

4.4.5 Interface de test et caractérisation

4.4.5.1 La mise en boîtier

Le boîtier choisi est un boîtier de type QFN (« *Quad-Flat No-Leads* ») à 32 broches. On réalise le diagramme des liaisons entre le silicium et le boîtier à l'aide d'un logiciel interne à STMicroelectronics : IC-Pack.

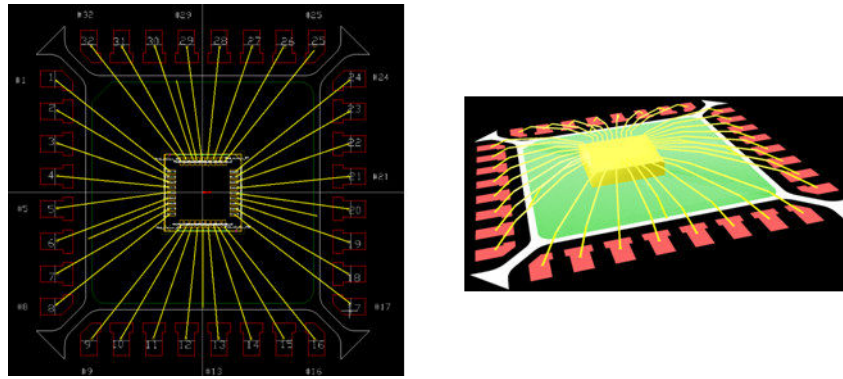


FIGURE 4.35: Diagramme des liaisons entre le silicium et le boîtier en 2D et 3D.

4.4.5.2 La carte de test

La Figure 4.36 montre la carte de test utilisée pour réaliser toutes les mesures. L'annexe G présente les précautions à prendre en compte lors de la conception de carte de test servant à alimenter des blocs sensibles à l'alimentation.

La tension de référence est générée par une alimentation externe. En effet, le circuit de bandgap n'a pas été inclus dans le circuit pour deux raisons : (1) ce n'est pas le centre de notre recherche et (2) sa présence pourrait impacter les performances intrinsèques du LDO. Une capacité de découplage de 47nF est utilisée pour stabiliser et obtenir une forte réjection à haute fréquence. Son inductance équivalente en série (ESL) et sa résistance équivalente en série (ESR) valent respectivement 600pH et 32mΩ.

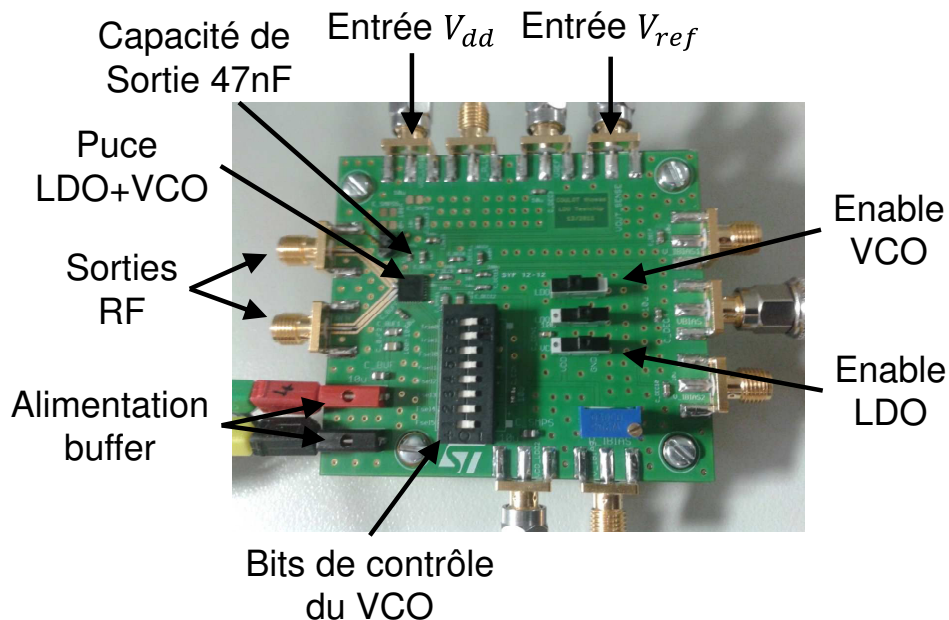


FIGURE 4.36: Carte de test utilisée pour les mesures.

Le LDO fonctionne sous une tension d'alimentation allant de 1.4V à 3.3V et il génère une tension régulée de 1.2V. Sa tension de déchet est donc de 200mV. Le courant de repos total du LDO est de

140 μ A lorsque sa tension d'alimentation est de 2V et sa charge un VCO. Le courant de repos dépend de la tension d'alimentation et de la charge à alimenter à cause de la technique d'auto-polarisation du courant et des deux amplificateurs d'erreur à polariser.

4.4.6 Résultats expérimentaux [31]

La première mesure (Figure 4.37) consiste à vérifier la variation de la tension DC en sortie du régulateur en fonction de la tension d'alimentation (régulation de ligne) et de l'état ON ou OFF du VCO et donc de la charge (régulation de charge). On constate que l'erreur entre la tension de référence et la tension de sortie du régulateur est toujours inférieure à 0.16% sur l'ensemble des variations et quel que soit l'état du VCO.

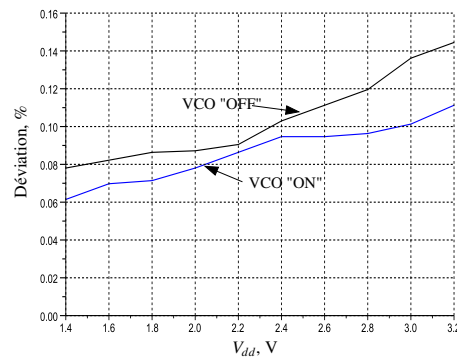


FIGURE 4.37: Mesure de la régulation de ligne et de charge du LDO.

Le test suivant (Figure 4.38) consiste à mesurer la réponse de la tension de sortie à une variation brusque de la tension d'alimentation V_{dd} de 2V à 2.6V avec un temps de transition de 10 μ s. On parle de régulation de ligne transitoire dans ce cas. La réponse mesurée montre une variation maximale de 1mV de la tension de sortie pour une variation de 600mV sur la tension d'alimentation. Cette réponse montre la réactivité du régulateur.

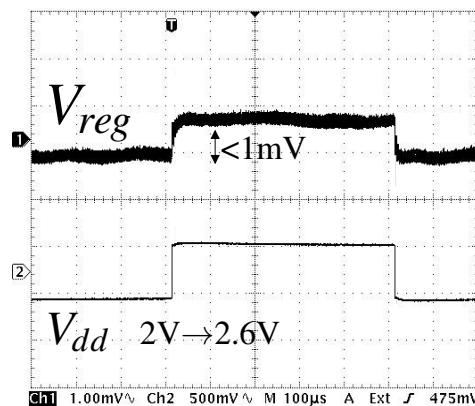


FIGURE 4.38: Mesure de la réponse du LDO lors d'une variation de la tension d'alimentation.

4.4.6.1 Mesure du PSR du LDO

Pour mesurer le PSR en fonction de la fréquence d'oscillation de la pollution de l'alimentation, l'analyseur de réseau HP8753D a été utilisé. Il permet de mesurer le niveau du signal à l'entrée du LDO (tension d'alimentation V_{dd}) et à sa sortie (tension régulée). Le paramètre S21 est donc mesuré en faisant varier la fréquence du signal sinusoïdal en entrée pour en déduire le PSR. L'amplitude de l'ondulation du signal d'entrée a été fixée à 25mV pour éviter de modifier les points de polarisation du LDO. La Figure 4.39 montre la comparaison entre la simulation et la mesure du PSR. Le minima du PSR du LDO est de -46dB à 100MHz. A partir de 15MHz, le PSR commence à varier à cause des pôles internes du LDO et de la résonance de la capacité externe de découplage.

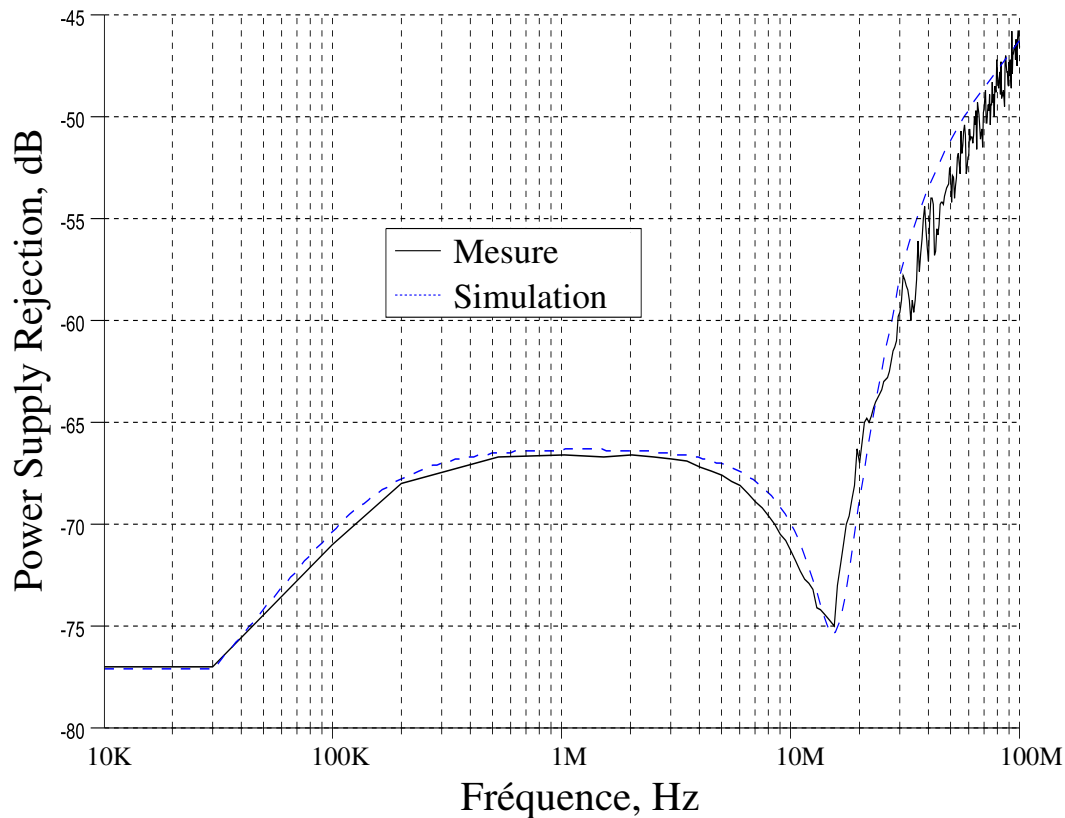


FIGURE 4.39: Comparaison entre la simulation et la mesure du PSR.

4.4.6.2 Validation de la stabilité

Pour quantifier le degré de stabilité du LDO et caractériser le temps de démarrage du régulateur, plusieurs mesures ont été réalisées : la réponse de la tension de sortie à un échelon de la tension de référence et la régulation de charge transitoire. Les performances peuvent être spécifiées en fonction du dépassement, du temps de réponse, du temps de montée ou du coefficient d'amortissement.

Pour valider la région de stabilité déduite par l'analyse de stabilité via la décomposition en matrice

d'état, ces différents tests ont été réalisés avec différentes valeurs du paramètre critique, la capacité de découplage :

- avec une capacité de 10pF uniquement en simulation,
- avec la capacité de découplage intégrée de 60pF en comparant la simulation et la mesure,
- avec la capacité de découplage intégrée et la capacité externe de 47nF (comparaison entre la simulation et la mesure).

Une simulation de la réponse à un échelon est réalisée avec uniquement une capacité de découplage intégrée de 10pF (au lieu des 16pF nécessaire pour assurer la stabilité du LDO). La Figure 4.40 montre le résultat de simulation quand un échelon de 1.2V est appliqué en entrée du LDO. La réponse du régulateur valide le fait que le LDO est instable avec une capacité de découplage intégrée inférieure à 16pF.

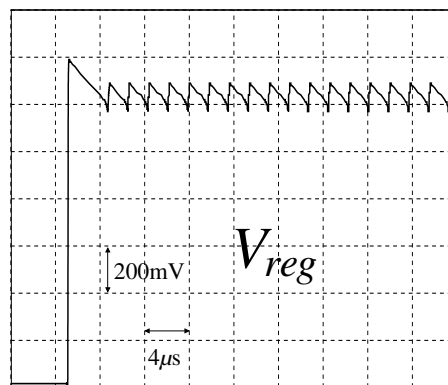


FIGURE 4.40: Simulation de la réponse indicielle avec seulement une capacité de découplage intégrée de 10pF.

Le même test est réalisé avec la capacité de découplage intégrée de 60pF. La Figure 4.41 montre la comparaison entre la simulation (a) et la mesure (b). La réponse indicielle montre que le régulateur est stable mais qu'il se trouve proche de sa région d'instabilité. La différence entre la mesure et la simulation est due à l'impédance de la sonde de l'oscilloscope qui n'est pas infinie. Le système est d'autant plus sensible à l'impédance de la sonde qu'il est proche de sa région d'instabilité. Ce résultat est confirmé par le test avec une capacité externe de 47nF sur la Figure 4.41 qui montre la comparaison entre la simulation (c) et la mesure (d).

Une mesure de régulation de charge transitoire a été également réalisée avec la capacité externe de 47nF. La Figure 4.42 (a) et (b) montre les résultats de simulation quand la charge du LDO varie de 0mA à 5mA avec un temps de montée et de descente de 100ns. Un dépassement de 33mV et de 43mV sont observés respectivement pour une variation de 0 à 5mA et de 5mA à 0mA. Aucune oscillation n'est observée. Les temps de réponse montrés sur la Figure 4.42 (c) et (d)) confirment les résultats de simulation de 18µs et de 14µs. Ainsi, la réponse du système à une régulation de charge transitoire montre que le LDO est stable et valide l'analyse de stabilité.

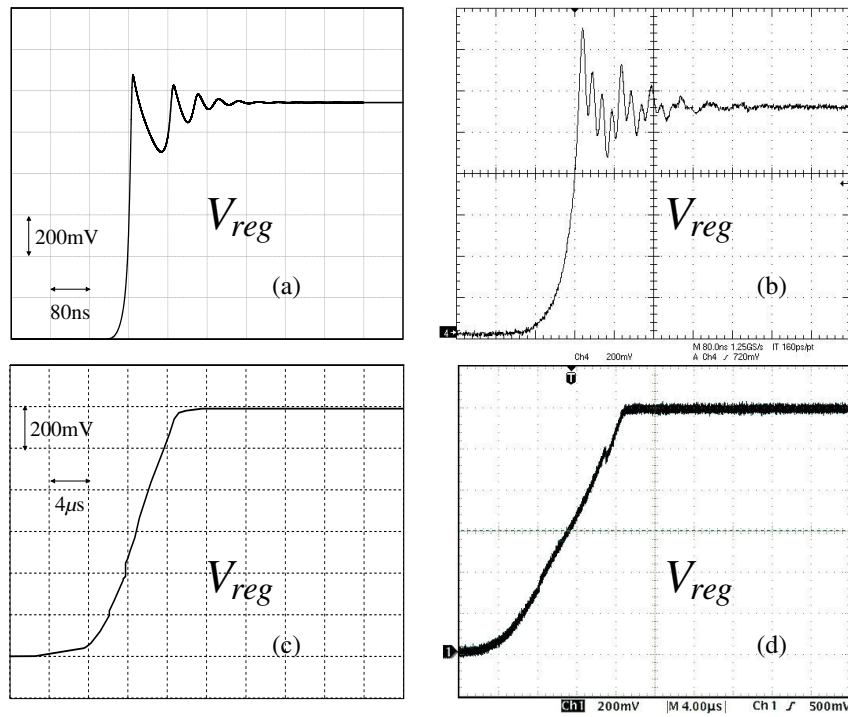


FIGURE 4.41: Simulation (a) et mesure (b) de la réponse à un échelon avec uniquement la capacité de découplage intégrée de 60pF; Simulation (c) et mesure (d) de la réponse à un échelon avec la capacité externe de 47nF.

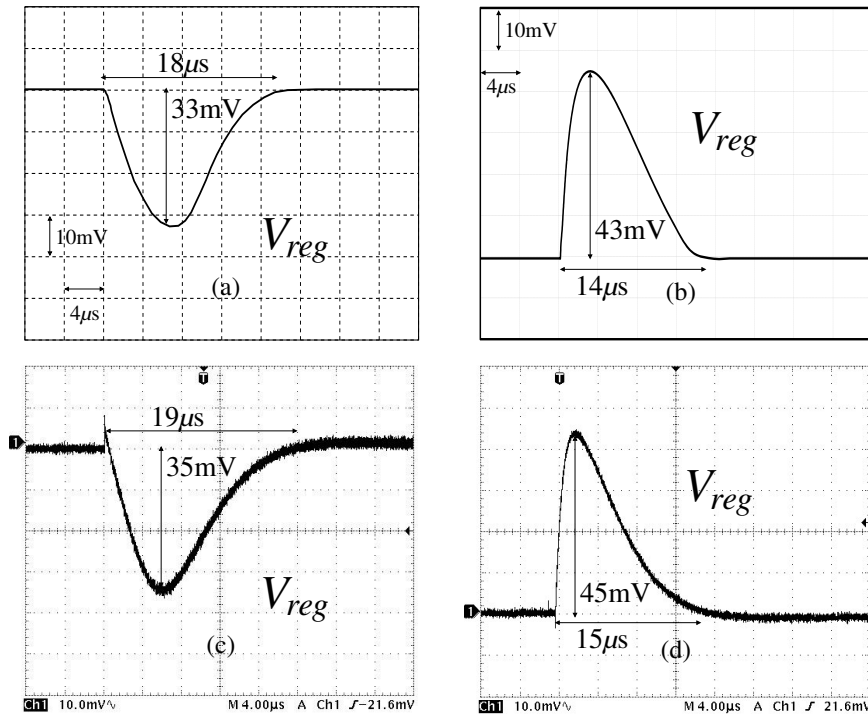


FIGURE 4.42: Simulation de la réponse du système à une régulation de charge transitoire pour une variation de 0 à 5mA (a) et de 5mA à 0mA (b); Mesure de la réponse du système à une régulation de charge transitoire pour une variation de 0 à 5mA (c) et vice versa (d).

4.4.6.3 Mesure des performances du VCO

Pour finaliser la caractérisation du régulateur, le bruit de phase du VCO alimenté par le LDO est mesuré et comparé au bruit de phase du VCO alimenté par un V_{dd} « idéal ». Ces mesures ont été effectuées avec l'analyseur de bruit de phase R&S®FSUP. La Figure 4.43 permet de quantifier l'impact du LDO sur le bruit de phase du VCO. Les courbes (1) et (2) comparent le bruit de phase du VCO quand il est directement alimenté par une alimentation externe sans bruit et lorsqu'il est alimenté par le LDO lui-même alimenté par une source externe bruyante. Cette source est composée d'une composante DC à laquelle est superposé un signal sinusoïdal de 20mV d'amplitude et de fréquence variant entre 10kHz et 100MHz. L'impact du bruit de l'alimentation du LDO est minimal grâce au PSR du régulateur et le bruit de phase est augmenté de seulement 1.3dBc/Hz pour une fréquence d'offset par rapport à la porteuse jusqu'à 40MHz.

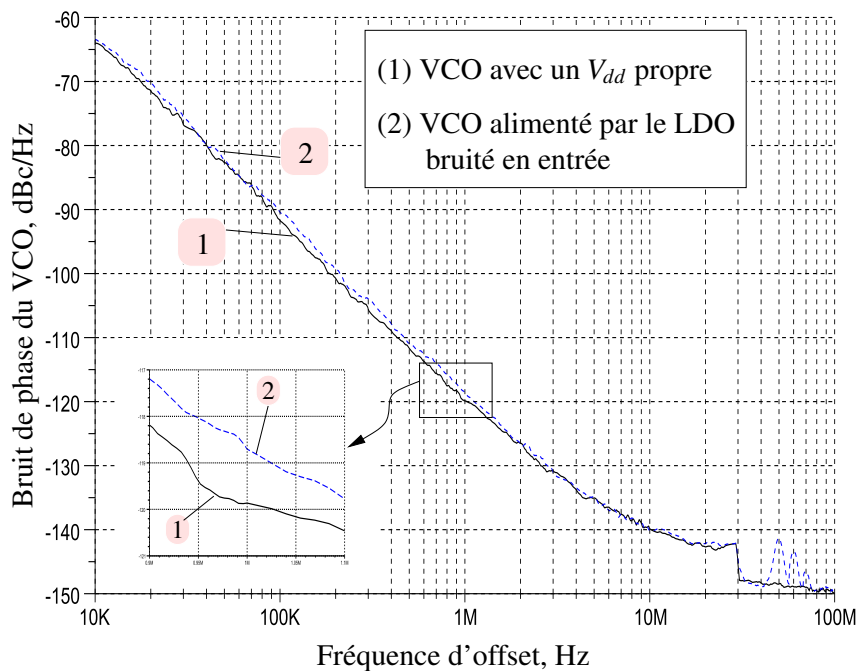


FIGURE 4.43: Mesure de l'impact du LDO sur le bruit de phase du VCO : (1) le VCO est directement alimenté par une alimentation externe ; (2) le VCO est alimenté par le LDO qui est lui-même alimenté par une source externe bruyante.

4.5 Conclusion

La première partie de ce chapitre a permis de cerner l'impact du bruit d'alimentation sur certains blocs critiques d'une interface RF. Les résultats de cette étude justifient la nécessité de concevoir un bloc d'alimentation régulé et très peu bruyant pour alimenter ces blocs critiques. Pour illustrer cette étude, un VCO a été choisi car c'est un des blocs les plus sensibles aux perturbations de l'alimentation.

Un état-de-l'art nous a permis de mettre en avant les problèmes rencontrés lors de la conception

de régulateur de tension linéaire à forte réjection (limite de la bande passante, présence d'une forte capacité externe). Une nouvelle topologie de régulateur basée sur une structure existante [23] à double boucles a été choisie et étudiée. Cette architecture multi-boucles nous a amené à utiliser une méthodologie particulière pour l'analyse de stabilité : la décomposition en matrice d'état. La validation de notre modèle par simulation a abouti à la conception d'un régulateur à forte réjection sur une large bande de fréquence, régulateur typiquement dédié à alimenter des blocs RF très sensibles aux bruits de l'alimentation tel que le VCO.

Le Tableau 4.6 résume les performances du LDO réalisé comparées à l'état-de-l'art. Le LDO conçu en technologie CMOS 90nm de STMicroelectronics assure une réjection des bruits de l'alimentation meilleure que -60dB sur une bande de fréquence jusqu'à 30MHz avec une capacité de découplage de valeur faible (47nF). De plus, compte tenu de la faible surface du circuit (0.0088mm²), ce régulateur peut être un parfait candidat pour une stratégie d'alimentation distribuée.

Paramètre	[22]	[32]	[33]	Ce travail
Techno. CMOS	0.6μm	0.18μm	65nm	90nm
PSR DC	-30dB	-	<-20dB	-60dB
PSR@10MHz	-30dB	>-60dB	<-25dB	-60dB
PSR@100MHz	-40dB	-	<-20dB	-46dB
$I_{o(max)}$	5mA	100mA	30mA	5mA
$C_o/ESR/ESL$	10pF/0/0	10μF/10mΩ/0	100pF/0/0	47nF/32mΩ/600pH
Capa. intégrée	60pF	1pF	>1pF	0
V_{dd}/V_{out}	1.8V/1.2V	1.2V/1.0V	-/1.37V	1.4V/1.2V
ΔV_{out}	937mV	14mV	22mV	45mV
I_Q	40μA	20.5μA	1mA	140μA
Bruit@100Hz	-	-	$700nV/\sqrt{Hz}$	$300nV/\sqrt{Hz}$
Bruit@100kHz	-	-	-	$30nV/\sqrt{Hz}$
Rendement	<67.2%	83.3%	<87%	84%

TABLE 4.6: Comparaison de ce travail avec l'état-de-l'art.

Deux perspectives concernant l'amélioration de ce régulateur apparaissent à l'issue de cette comparaison avec l'état-de-l'art. La première serait d'augmenter le courant de sortie du LDO dans le but d'augmenter son efficacité en courant. En effet, l'efficacité en courant de notre LDO est de 97.2% comparée à 99.98% pour la référence [32]. La seconde serait de pouvoir intégrer complètement la capacité de charge. En effet, l'analyse de stabilité montre que le LDO est stable pour une capacité de charge supérieure à 16pF. Une telle valeur de capacité est réalisable en technologie CMOS, ce qui permettrait une intégration totale du LDO et ainsi de diminuer le coût dû à l'implantation de la capacité externe. Cependant, un compromis entre la réjection des bruits et la valeur de la capacité intégrée devra être optimisé.

4.6 Bibliographie

- [1] G. Terrasson, "*Contribution à la conception d'un émetteur-récepteur pour microcapteurs autonomes*", Thèse de Doctorat de l'Université de Bordeaux, N d'ordre : 3682-2008. (p. 77)
- [2] W. Sheng, A. Emira and E. Sánchez-Sinencio, "*CMOS RF Receiver System Design : A Systematic Approach*", IEEE Transactions on Circuits and Systems I, pp. 1023-1034, vol. 53, issue 5, 2006. (p. 77)
- [3] K. A. Sankaragomathi, M. Sahoo, S. Dwivedi and B. S. Amrutur, "*Optimal Power and Noise Allocation for Analog and Digital Sections of a Low Power Radio Receiver*", Int. Symp. on Low Power Electronics and Design, pp. 271-276, 2008. (p. 78)
- [4] S. Dwivedi, B. S. Amrutur and N. Bhat, "*Optimizing Resolution of Signals in a Low-IF Receiver*", Int. Symp. on Signals, Circuits and Systems, pp. 1-4, 2007. (p. 78)
- [5] R. Poore, "*Phase Noise and Jitter*", Agilent EEsof EDA, 2001. (p. 78)
- [6] R. M. Cerda, "*Impact of ultralow phase noise oscillators on system performance*", [http ://www.rfdesign.com](http://www.rfdesign.com). (p. 78)
- [7] A. Hajimiri and T. H. Lee, "*A General Theory of Phase Noise in Electrical Oscillators*", IEEE Journal of Solid-State Circuits, pp. 179-194, vol. 33, issue 2, 1998. (p. 78)
- [8] T. H. Lee, *The design of CMOS radio-frequency integrated circuits*, Cambridge university press, pp. 243-256, 1998. (p. 78)
- [9] T. Lagutere, "*Conception et modélisation d'oscillateurs et de leurs boucles à verrouillage de phase associées pour des applications de radiocommunication mobiles professionnelles*", Thèse de Doctorat de l'Université de Poitiers, 2005. (p. 78)
- [10] J. Mira, "*Conception d'oscillateurs contrôlés en tension dans la gamme 2GHz-10GHz, intégrés sur silicium et analyse des mécanismes à l'origine du bruit de phase*", Thèse de Doctorat de l'Université de Bordeaux, N d'ordre : 2897-2004. (p. 78)
- [11] R. Fetche, C. Fetche, T. Fiez and K. Mayaram, "*Analysis of the Effects of Supply Noise Coupling on Phase Noise in Integrated LC CMOS Oscillators*", IEEE Radio and Wireless Conference, pp. 199-202, 2000. (p. 78)
- [12] A. Hajimiri and T. H. Lee, "*Design Issues in CMOS Differential LC Oscillators*", IEEE Journal of Solid-State Circuits, pp. 717-724, vol. 34, issue 5, 1999. (p. 79, 106)
- [13] D. B. Leeson, "*A Simple Model of Feedback Oscillator Noise Spectrum* ", Proceeding of the IEEE, pp. 329-330, 1966. (p. 80)
- [14] A. Patel and A. Rincón-Mora, "*High Power-Supply-Rejection (PSR) Current-Mode Low-Dropout (LDO) Regulator*", IEEE Transactions on Circuits and Systems II, pp. 868-873, vol. 57, 2010. (p. 82)

- [15] M. El-Nozahi, A. Amer, J. Torres, K. Entesari and E. Sanchez-Sinencio, "*High PSR Low Drop-Out Regulator With Feed-Forward Ripple Cancellation Technique*", IEEE Journal of Solid-State Circuits, pp. 565-577, vol. 45, 2010. (p. [82](#), [83](#), [85](#), [87](#))
- [16] T. Souvignet, T. Coulot, Y. David, B. Allard, S. Trochut and T. Di Gilio, "*Black Box Small-Signal Model of PMOS LDO Voltage Regulator*", IEEE IECON, November 2013. (p. [82](#))
- [17] *Improved power supply rejection for ic linear regulators*, Maxim. (p. [84](#), [87](#))
- [18] S. K. Hoon, S. Chen, F. Maloberti, J. Chen and B. Aravind, "*A Low Noise, High Power Supply Rejection Low Dropout Regulator for Wireless System-on-Chip Applications*", IEEE Custom Integrated Circuits Conference, pp. 759-762, 2005. (p. [85](#), [87](#))
- [19] Y. H. Lam and W. H. Ki, "*A 0.9V 0.35 μ m Adaptively Biased CMOS LDO Regulator with Fast Transient Response*", IEEE International Solid-State Circuits Conference, 2008. (p. [85](#), [87](#))
- [20] C. H. Lee, K. McClellan and J. Choma, "*A Supply-Noise-Insensitive CMOS PLL With a Voltage Regulator Using DC-DC Capacitive Converter*", IEEE Journal of Solid-State Circuits, pp. 1453-1463, vol. 36, issue 10, 2001. (p. [86](#), [87](#))
- [21] J. M. Ingino and V. R. Von Kaenel, "*A 4-GHz Clock System for a High-Performance System-on-a-Chip Design*", IEEE Journal of Solid-State Circuits, pp. 1693-1698, vol. 36, issue 11, 2001. (p. [86](#), [87](#))
- [22] V. Gupta and G. A. Rincón-Mora, "*A 5mA 0.6 μ m CMOS Miller-Compensated LDO Regulator with -27dB Worst-Case Power-Supply Rejection Using 60pF of On-Chip Capacitance*", IEEE International Solid-State Circuits Conference, 2007. (p. [86](#), [87](#), [115](#))
- [23] E. Alon, J. Kim, S. Pamarti, K. Chang and M. Horowitz, "*Replica Compensated Linear Regulators for Supply Regulated Phase-Locked Loops*", IEEE Journal of Solid-State Circuits, pp. 413-424, vol. 41, 2006. (p. [87](#), [88](#), [115](#))
- [24] T. Coulot, E. Rouat and F. Hasbani, "*Dispositif intégrée de régulation de tension du type à faible tension de déchet*", French Patent FR2976369, 2012. (p. [88](#), [105](#))
- [25] T. Coulot, E. Rouat, J.-M. Fournier, E. Lauga-Larroze and F. Hasbani, "*High Power Supply Rejection Low-Dropout Regulator for Ultra-Low-Power Radiofrequency Functions*", IET Electronics Letter, pp. 1117-1118, vol. 47, issue 20, 2011. (p. [89](#))
- [26] W. Li, R. Yao and L. Guo, "*A Low Power CMOS Bandgap Voltage Reference with Enhanced Power Supply Rejection*", ASIC, 2009. ASICON '09. IEEE 8th International Conference on, pp. 300-304. (p. [91](#))
- [27] T. Coulot, E. Lauga-Larroze, J.-M. Fournier, M. Alamir and F. Hasbani, "*Stability Analysis and Design Procedure of Multiloop Linear LDO Regulators via State Matrix Decomposition*", IEEE Transactions on Power Electronics, pp. 5352-5363, vol. 28, issue 11, Nov. 2013. (p. [92](#))
- [28] *CMOSM10 ULP Design Rules Manuel*, STMicroelectronics, 2011. (p. [100](#))
- [29] *CMOSM10 ULP Device Models Description for Circuit Simulation*, STMicroelectronics, 2011. (p. [102](#))

- [30] Gray, Hurst, Lewis and Meyer, *Analysis and Design of Analog Integrated Circuits*, 4th Edition, John Wiley & Sons, 2001, ISBN 978-0471321682. (p. 105)
- [31] T. Coulot, E. Lauga-Larroze, J.-M. Fournier, E. Rouat and F. Hasbani, "*High Power Supply Rejection Wideband Low-Dropout Regulator*", IEEE ECCE Asia, pp. 436-441, 2013. (p. 110)
- [32] L. G. Shen, Z. S. Yan, X. Zhang, Y. F. Zhao and T. J. Lu, "*Design of Low-Voltage Low-Dropout Regulator with Wide-Band High-PSR Characteristic* ", Int. Conf. on Solid-State and Integrated Circuit Technology, pp. 1751-1753, 2006. (p. 115)
- [33] V. Ivanov, *Design Methodology and Circuit Techniques for Any-Load Stable LDOs with Instant Load Regulation and Low Noise*, in Analog Circuit Design, pp. 339-358, ISBN 978-1-4020-8943-5. (p. 115)

5 Conclusion Générale

Les réseaux de capteurs sans fil nécessitent des fonctions de calcul et de transmission radio associées à chaque capteur. Les SoCs RF intégrant ces fonctions doivent avoir une autonomie la plus grande possible et donc une très faible consommation. Aujourd'hui, leurs performances énergétiques pourraient être drastiquement améliorées par des circuits d'alimentation innovants. En effet, ces circuits d'alimentation remplissent leur fonction classique de conversion d'énergie mais aussi des fonctions d'isolation des blocs RF et digitaux.

Notre travail de recherche apporte une contribution à cette problématique. Il a porté sur la mise en place d'une méthodologie de conception afin de déterminer une stratégie d'alimentation optimisée pour un émetteur-récepteur. Cette méthodologie a abouti à la réalisation d'un régulateur linéaire de type LDO à forte réjection sur une bande passante relativement large et bien adapté à l'alimentation des blocs RF très sensibles à des bruits d'alimentation sur un large spectre de fréquences.

Après avoir introduit dans un premier chapitre le cadre de notre étude, nous avons mis en évidence les spécifications importantes des réseaux de capteurs. L'efficacité énergétique représente un défi majeur de ces applications. Le module RF étant le contributeur le plus important, un outil de simulation de la consommation du module de communication en fonction des spécifications de l'application permet de mettre en évidence l'impact de chacun des blocs RF sur le budget énergétique. Ensuite, une étude de l'état-de-l'art des stratégies d'alimentation nous a permis d'établir des pistes d'amélioration et de définir plus précisément le cadre de l'étude.

Les différents niveaux de modélisation proposés dans le second chapitre ont été utilisés afin de mettre en place une méthode de conception d'alimentation adaptée à un module RF. L'intérêt de cette modélisation en Verilog-A est de déterminer la sensibilité de chaque bloc à son alimentation afin de construire une architecture innovante et dynamique de gestion/distribution de l'énergie sur le SoC. A partir de cette étude, nous avons été en mesure d'établir les spécifications de consommation et de performances pour chacun des régulateurs de tension constituant le module de gestion d'alimentation. Ensuite, la méthode proposée a été appliquée à un projet industriel (projet BeeIP) de STMicroelectronics. Une modélisation complète de cette chaîne de communication a été réalisée en prenant en compte tous les chemins entre les entrées/sorties et l'alimentation des différents blocs. La simulation de l'ensemble a permis de déterminer l'impact des bruits générés par les blocs d'alimentation sur les performances RF de la chaîne RF. A partir de ces observations, une stratégie d'alimentation adaptée à

cet émetteur-récepteur en a été déduite. Afin de valider cette méthodologie, des mesures sur silicium des performances de la chaîne RF ont été comparées à la simulation système.

Afin de compléter notre méthode de conception, il nous a semblé pertinent de réaliser un régulateur linéaire de type LDO adapté à l'alimentation des blocs RF très sensibles aux bruits de l'alimentation comme un VCO. La mise en équation du bruit de phase d'un VCO nous a permis de montrer les liens existants entre ce bruit de phase et les bruits de l'alimentation. Une architecture de régulateur linéaire à plusieurs boucles a été proposée et réalisée en technologie CMOS 90nm. Elle permet d'atteindre une forte réjection des bruits de l'alimentation sur une bande passante relativement large. La mise en équation de cette topologie à plusieurs boucles nous a amené à utiliser une méthodologie particulière pour l'analyse de stabilité.

En ce qui concerne les perspectives de nos travaux, nous aimerions intégrer cette méthode dans une démarche globale de conception de système qui requiert une contrainte au niveau de l'efficacité énergétique et qui souhaite intégrer de nouvelles sources d'énergie dites renouvelables mais fournissant moins de puissance. Notre méthode trouverait son efficacité dans une répartition optimale du système d'alimentation en fonction des contraintes de chacun des blocs analogiques et RF mais aussi en fonction des performances globales du système. Il serait aussi intéressant de réaliser la même étude pour l'alimentation des circuits numériques. En effet, la tendance actuelle est au partitionnement du SoC numérique en plusieurs sous-blocs, chaque sous-bloc étant alimenté individuellement en fonction de ses besoins instantanés. Dès qu'un bloc numérique peut fonctionner à fréquence réduite, on diminue alors sa tension d'alimentation. Et lorsqu'un bloc est inactif, sa tension est encore abaissée de façon à simplement conserver l'état des registres internes. Cette approche se confronte à deux principales limites : le nombre de sous-domaines de tension que l'on peut générer depuis le circuit de gestion d'énergie associé au SoC, et la vitesse de réaction de ces blocs d'alimentations externes au SoC. La figure de mérite [fréquence de calcul / énergie] pourrait être fortement améliorée par l'ajout de circuits d'alimentation innovants sur le SoC. Une méthodologie « top-down » permettrait d'ajouter dans le SoC des blocs d'alimentation dédiés et optimisés pour chaque bloc numérique.

ANNEXE

A Présentation du standard ZigBee

Sommaire

A.1 Introduction	123
A.2 Présentation de la couche physique	125
A.3 Notion de coexistence	129
A.4 Conclusion	130
A.5 Bibliographie	131

A.1 Introduction

Les contraintes des réseaux de capteurs définies et en particulier celle portant sur la consommation, montrent clairement que les standards sans fils classiques tels que le Bluetooth [1] ou le WLAN [2] ne sont pas adaptés pour être utilisés dans ce type de réseaux. Le premier standard à avoir été normalisé et prenant en compte ces nouvelles contraintes liées aux réseaux WSN est le standard Zigbee. La Figure A.1 présente la position de divers standards sur une échelle de portée et de débit, afin de mieux situer les contraintes du standard Zigbee.

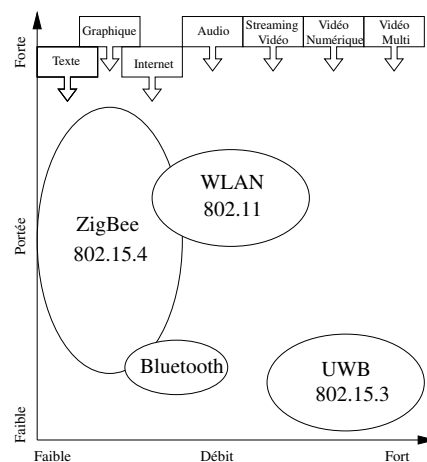


FIGURE A.1: Zigbee et les autres standards.

Un amalgame est souvent réalisé entre le standard Zigbee [3] et le standard IEEE 802.15.4 [4], qui s'appliquent pourtant à des niveaux différents. La distinction est illustrée sur la Figure A.2 : le standard Zigbee est une alliance qui profite de la couche physique de radiocommunications définie par le standard IEEE 802.15.4. Le standard Zigbee rajoute une couche réseau.

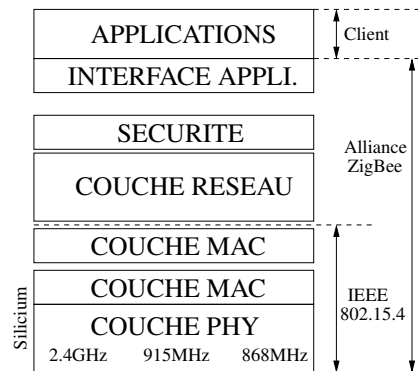


FIGURE A.2: Différence entre Zigbee et IEEE 802.15.4.

La Figure A.3 présente l'historique des standards Zigbee et IEEE 802.15.4. La première réflexion date de 1999 et la première proposition de 2000. La proposition à l'organisme IEEE a été faite en 2001 et, après plusieurs révisions, la version finale du standard IEEE 802.15.4 a été adoptée en mai 2003 [5]. De son côté, le standard Zigbee a créé une alliance en 2002.

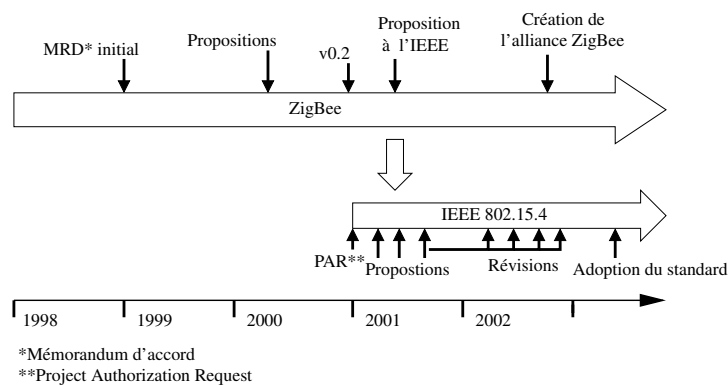


FIGURE A.3: Historique de la norme Zigbee et IEEE 802.15.4.

Le standard IEEE 802.15.4 est un protocole de paquet dont les principales caractéristiques sont les suivantes :

- la couche physique est simple,
- un réseau Zigbee possède un coordinateur (noeud puissant) et des noeuds esclaves disposés selon des topologies variables, en étoile ou non, plates ou hiérarchiques,
- la couche MAC est également simple, l'accès des noeuds au canal étant géré à l'aide du protocole CSMA-CA,
- le débit binaire est faible, de 20 à 250 kbits/s suivant la bande de fréquence utilisée,
- la portée se situe entre 10 et 100m, dans les bandes de fréquence ISM 800/900MHz et 2.4GHz,
- ce protocole est défini pour une durée de vie de batterie maximale, chaque capteur devant fonctionner sur une alimentation par pile pendant une durée minimum de 10 ans.

Le Tableau A.1 compare les paramètres qui viennent d'être décrits avec ceux des standards wifi et Bluetooth.

Caractéristiques	IEEE 802.11b WLAN	IEEE 802.15.1 Bluetooth 1	Zigbee
Durée de vie de la batterie	heures	jours	années
Complexité	très grande	grande	faible
Nombre de nœuds	32	7	64000
Distance	100m	10m	10m-300m
Extensibilité	oui	non	oui
Débit binaire	11Mbits/s	1Mbits/s	250kbits/s

TABLE A.1: Comparaison de différents standards.

A.2 Présentation de la couche physique

Le standard IEEE 802.15.4 spécifie la couche physique (PHY) dans les bandes ISM 868MHz, 915MHz et 2.4GHz avec un débit respectif de 20, 50 et 250kbits/s. Le nombre de canaux disponible étant plus important dans la bande 2.4GHz, c'est elle qui est la plus utilisée. Ce travail de recherche s'est donc concentré sur cette bande de fréquence dont les bornes basses et hautes sont respectivement 2.405GHz et 2.48GHz.

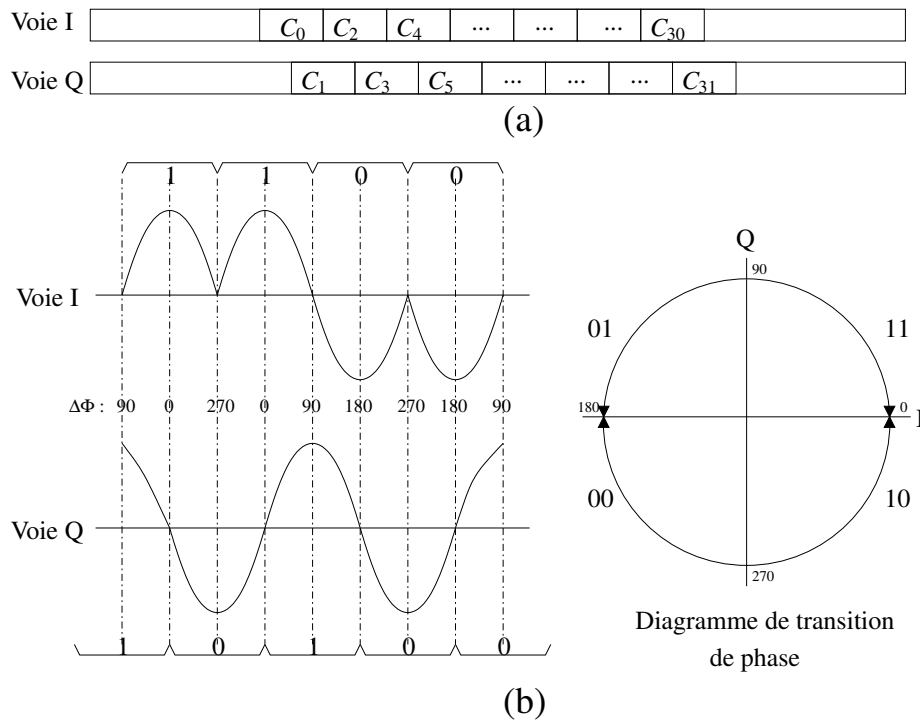


FIGURE A.4: (a) Répartition des chips sur les voies I et Q. (b) Exemple de modulation O-QPSK pour la trame de chips 1 10 11 00 01.

Un codage des bits par étalement de spectre est utilisé avant la modulation sur fréquence por-

teuse [6]. Cette technique d'étalement permet de faire fonctionner la transmission avec un rapport signal à bruit (SNR) plus important que ceux des systèmes à bande étroite, au prix d'une bande passante plus importante. La technique utilisée par le standard 802.15.4 consiste à faire correspondre à chaque groupe de 4 bits un code d'étalement de 32 bits (appelés chip dans le cas d'un codage par étalement de spectre) fixé par le standard. Le débit brut dans l'air étant de 250kbits/s, le débit chip obtenu est de 2Mchips/s. Les chips sont ensuite modulées sur la fréquence porteuse à l'aide d'une O-QPSK pour Offset Quaternary Phase Shift Keying [7] où les chips paires sont envoyées sur la voie I et les chips impaires sur la voie Q, chaque chip étant répétée deux fois sur chaque voie (voir Figure suivante). Un exemple de cette modulation est présenté sur la Figure A.4. Il montre les signaux I et Q après modulation pour une trame de chips composée de 110110001 ainsi que le diagramme de phase correspondant.

La modulation O-QPSK est équivalente à une modulation MSK pour Minimum Shift Keying [7] dont l'indice de modulation sera égal à 0.5. C'est une modulation à enveloppe constante, facilitant ainsi la conception de la chaîne de transmission ainsi que celle de la chaîne de réception, en réduisant notamment les contraintes de linéarité. En effet, en l'absence de modulation d'amplitude, le signal est en mesure de supporter des phénomènes de compression tant que ces phénomènes n'introduisent pas d'erreur dans la modulation de phase.

Une modélisation système de cette modulation a été réalisée sous Scilab [8]. Le spectre obtenu présente un lobe principal occupant une bande de fréquence de 3MHz (voir Figure A.5).

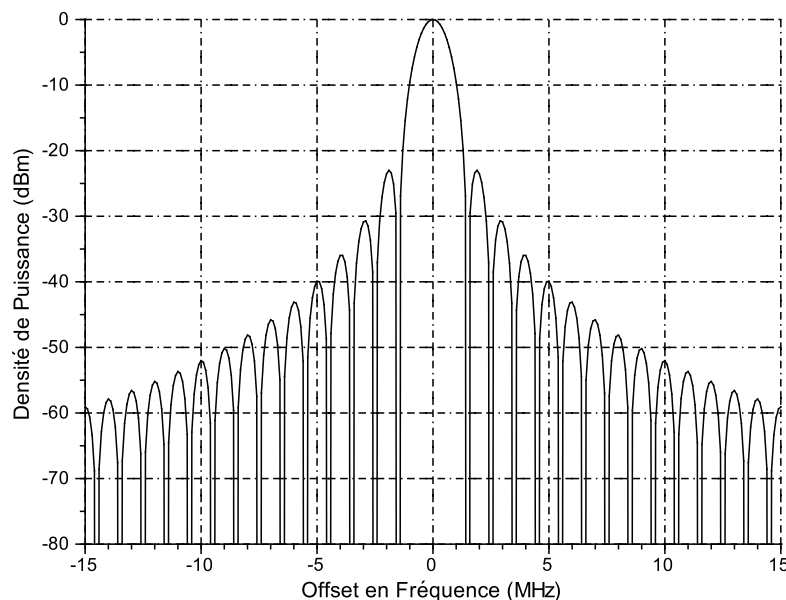


FIGURE A.5: Spectre de la modulation IEEE 802.15.4.

Dans la bande disponible entre 2.405GHz et 2.48GHz, le standard Zigbee définit donc 16 canaux avec un espacement inter-canal de 5MHz (voir Figure A.6). Ils sont numérotés de 11 à 26, les dix premiers correspondant aux canaux disponibles dans les bandes de fréquence 868 et 915MHz.

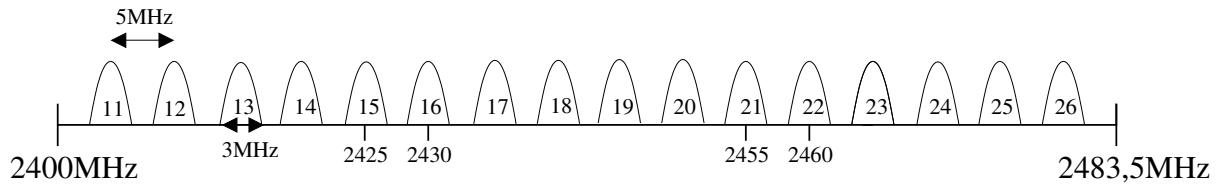


FIGURE A.6: Répartition des canaux IEEE 802.15.4.

Enfin, précisons que ce standard fonctionne en mode « half-duplex » pour lequel il ne peut y avoir simultanément réception et transmission de donnée, contrairement à ce qui est réalisé dans le mode « full duplex ».

Les principales caractéristiques de la couche physique 802.15.4 que nous venons de présenter dans ce paragraphe sont résumées dans le Tableau A.2 :

Paramètres	Valeurs	Unités
Débit binaire	250	kbits/s
Bande de fréquence étudiée	2.45	GHz
Bande totale	83.5	MHz
Nombre de canaux	16	-
Bande de canal	3	MHz
Espacement inter-canal	5	MHz
Modulation	O-QPSK	-

TABLE A.2: Résumé de la couche physique 802.15.4.

Ce paragraphe présente les spécifications définies par la norme IEEE 802.15.4 (voir Tableau A.3). Ces spécifications sont peu nombreuses et relativement simples en comparaison des spécifications des standards de communication plus conventionnels.

	Spécifications	Valeurs	Unités
Récepteur	Sensibilité @ 1% PER	-85	dBm
	Niveau de réception maximum	-20	dBm
	Réjection du canal adjacent	0	dB
Emetteur	Puissance d'émission maximum	+10	dBm
	EVM (amplitude de l'erreur vectorielle)	<35	%

TABLE A.3: Spécifications du standard IEEE 802.15.4.

Pour obtenir un ordre de grandeur de leur complexité, il est intéressant de calculer par exemple le facteur de bruit (NF pour Noise Figure) correspondant à une sensibilité de -85dBm.

Par définition, la sensibilité d'un récepteur correspond à la puissance minimale à l'antenne permettant d'obtenir une valeur définie du taux d'erreur binaire (BER pour Bit Error Rate) après dé-

modulation. Cette sensibilité est exprimée en dBm et est déterminée à partir du facteur de bruit du récepteur pour une source de bruit à la température de référence T_0 :

$$Sensi(dBm) = 10 \cdot \log(k \cdot T_0 \cdot B) + SNR(dB) + NF(dB) \quad (A.1)$$

où B représente la bande de bruit effective du récepteur, donc la bande passante du signal utile. Cette expression pour $T_0 = 300K$ devient :

$$Sensi(dBm) = -174 + 10 \cdot \log(B) + SNR(dB) + NF(dB) \quad (A.2)$$

Pour le standard 802.15.4, B est égale à 3MHz. Pour calculer le NF, il nous reste à déterminer la valeur du rapport signal à bruit (SNR pour Signal to Noise Ratio) permettant d'obtenir un PER (« Packet Error Rate ») de 1%. La courbe de la Figure A.7 présente le PER en fonction du SNR pour un démodulateur donné. Un SNR d'environ 3.6dB est nécessaire pour obtenir un PER < 1% d'après la Figure A.7. A partir de l'équation (A.2), nous sommes maintenant capables de déterminer le NF du récepteur. Tous calculs fait, il doit être égal à 20.4dB. Cette valeur est très élevée, si elle est comparée aux récepteurs de type GSM où un NF de 8 à 9dB est nécessaire.

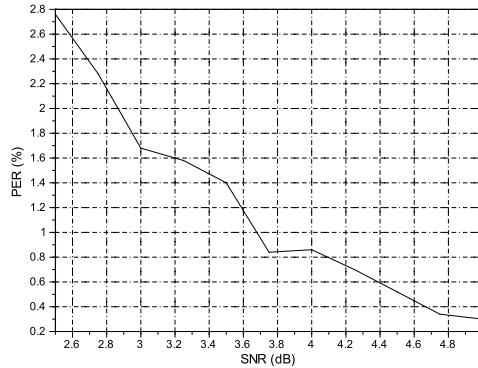


FIGURE A.7: PER en fonction du SNR pour un démodulateur donné.

De même que pour la sensibilité, les autres spécifications telles que la réjection des canaux adjacents et l'EVM sont aussi assez simples à tenir. Par définition, le canal adjacent est celui se trouvant juste à côté du canal utile, les autres canaux étant appelés canaux alternés. L'amplitude de l'erreur vectorielle (EVM) caractérise l'écart entre la position idéale et la position réelle sur le diagramme de phase I-Q (Figure A.8). La différence entre le vecteur signal émis (symbole de référence) et le vecteur signal reçu (symbole distordu) est le vecteur-erreur. Pour un seul symbole, l'EVM du signal reçu est le module du vecteur-erreur. Si au contraire, plusieurs symboles N sont générés, l'EVM est donné sous la forme suivante :

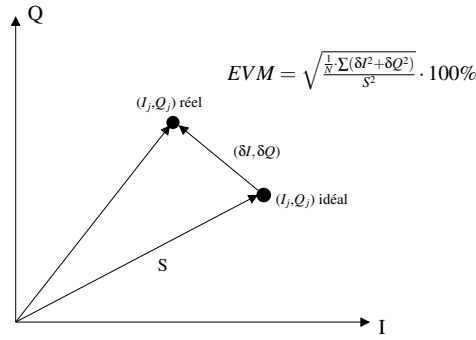


FIGURE A.8: Définition de l'EVM.

Il est possible d'estimer l'EVM à partir du SNR [9]. Ainsi, l'EVM peut s'exprimer de la manière suivante :

$$EVM = 10^{\frac{-SNR_{dB}}{20}} \quad (A.3)$$

Théoriquement, et par rapport à l'équation (A.3), l'EVM varie entre 0 et 1. Par conséquent, les valeurs de SNR doivent être supérieures à 0.

A.3 Notion de coexistence

Le standard ZigBee se trouvant dans une bande ISM (Industriel, Scientifique, et Médical) il est soumis au problème de coexistence. La bande ISM 2.4GHz est une bande libre, non soumise à des réglementations nationales et qui peuvent être utilisées librement (gratuitement et sans autorisation) pour des applications industrielles, scientifiques et médicales. Les seules obligations à observer sont la puissance d'émission et les excursions en fréquence, où la perturbation des fréquences voisines. En contre-partie et par voie de conséquence elle est assez encombrée. Les principaux standards présents dans cette bande sont les suivants :

- IEEE 802.11b : WLAN,
- IEEE 802.15.1 : Bluetooth,
- IEEE 802.15.3 : WPAN haut débit.

Le problème de coexistence n'est pas directement spécifié dans la norme IEEE 802.15.4. Il fait uniquement l'objet d'une recommandation annexe. Cependant, le nombre de connexions WLAN et Bluetooth étant en forte expansion, il devient prioritaire d'étudier ce problème.

La Figure A.9 présente un exemple de coexistence dans la bande ISM réalisé avec Scilab. Un signal ZigBee est représenté par le spectre en noir et il est perturbé par différents interféreurs (ZigBee adjacents et wifi). On peut facilement conclure que son impact sur les autres standards va être assez limité. Cependant, une étude doit être réalisée afin d'analyser l'impact des autres standards sur les performances d'un système ZigBee.

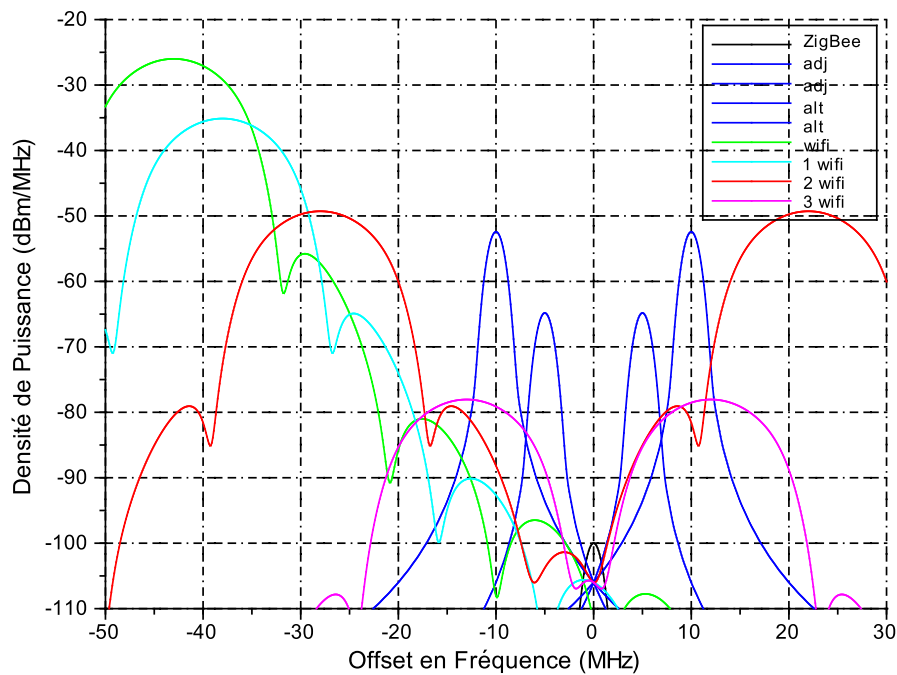


FIGURE A.9: Exemple de coexistence dans la bande ISM.

A.4 Conclusion

Cet annexe nous a permis d'introduire le standard IEEE 802.15.4 et en particulier sa couche physique sur laquelle s'est appuyée l'architecture de l'émetteur-récepteur. Le développement de la norme 802.15.4 est une réponse à une demande de développement d'un standard permettant la réalisation de systèmes simples et peu coûteux. Le type d'application visé est le même que pour le système propriétaire, c'est-à-dire des applications ne nécessitant pas des échanges de données en permanence, ni un trafic important. Le standard 802.15.4 sera en particulier dédié aux applications réseaux dites statiques connectables à des dispositifs peu coûteux. Pour ces applications, les contraintes imposées par les standards Bluetooth ou Wifi en débit, espacement entre canaux ou méthode d'accès (CDMA) ne sont pas compatibles avec les objectifs de conception inhérents à la réalisation des produits faibles coûts.

La norme IEEE 802.15.4, Low-Rate Personal Area Network (LRWPAN), a donc pour objectif de définir un standard adapté à la réalisation d'un réseau sans fil faible coût (prix de production des puces < 2\$), disposant d'une autonomie importante (temps de vie des batteries > 1 an) et « flexible ». Dans la pratique, la réduction de la consommation impose aussi une mise en veille du système pendant 99,9% du temps de vie des accumulateurs. Notons aussi que ce réseau cohabitera avec d'autres, fonctionnant dans les mêmes bandes de fréquence (Bluetooth, WiFi . . .). Ainsi, le fait de fonctionner durant seulement moins de 1% du temps rendra le système LRWPAN peu perturbateur pour les autres réseaux.

A.5 Bibliographie

- [1] *Part 15.1 : Wireless medium access control (MAC) and physical layer (PHY) specifications for wireless personal area networks (WPANs)*, IEEE 802.15.1, 2005. (p. [123](#))
- [2] *Wireless LNA Medium Access Control (MAC) and Physical Layer (PHY) specifications*, IEEE 802.11, 1999. (p. [123](#))
- [3] *ZigBee Specification v1.0 (Définition du Standard ZigBee)*, ZigBee Alliance, 2004. (p. [123](#))
- [4] *IEEE Std 802.15.4-2003 wireless medium access control and physical layer specifications for low-rate wireless personal area networks (Définition du Standard)*, IEEE Computer Society, 2003. (p. [123](#))
- [5] C. Gruet, *Interface Radio UMTS*, STMicroelectronics, 2005. (p. [124](#))
- [6] Baudoin, Geneviève et al., *"Radiocommunications numériques : principes, modélisation et simulation"*, Dunod, 2002. (p. [126](#))
- [7] J. Notor, A. Caviglia and G. Levy, *"CMOS RFIC Architectures for IEEE 802.15.4 Networks"*, Cadence Design Systems, Inc., 2003. (p. [126](#))
- [8] [http ://www.scilab.org](http://www.scilab.org), Scilab software. (p. [126](#))
- [9] R. A. Shafik, S. Rahman and R. Islam, *"On the Extended Relationships Among EVM, BER and SNR as Performance Metrics "*, IEEE Electrical and Computer Engineering Conference, pp. 408-411, 2006. (p. [129](#))

B

Code Verilog-A modélisant les fonctions RF

```

analog begin
// *****INITIALISATION*****
// enable
  @(initial_step or cross(V(VDDI2,GND)-vth) or cross(V(ENABLE)-vth))
    if (V(VDDI2,GND)>vth && V(ENABLE)>vth)
      Nen=1;
    else Nen=0;
// bias setting
  @(initial_step or cross(V(TRIM_BIAS[0])-vth) or cross(V(TRIM_BIAS[1])-vth))
    begin
      Nbias=0;
      for(j=0; j<2; j=j+1)
        if (V(TRIM_BIAS[j]>vth)
          Nbias=Nbias+(1<<j);
      isup=ityp*(8+Nbias)/10;
    end
// *****CALIBRAGE*****
I(OUTP,OUTN) <+ dCp11*(1-V(PLL,GND)/vdd)*ddt(V(OUTP,OUTN)); // Capacite parasite
I(OUTP,OUTN) <+ dCmod*(1-V(MOD,GND)/vdd)*ddt(V(OUTP,OUTN)); // Capacite parasite
I(OUTP,OUTN) <+ dCdac*(V(TRIM_CAP[0])+V(TRIM_CAP[1])*2+...+V(TRIM_CAP[5])*32)/vdd*ddt(V(OUTP,OUTN)); // Trimming varactor

I(OUTP,GND) <+ Cmin*2*ddt(V(OUTP,GND));
I(OUTN,GND) <+ Cmin*2*ddt(V(OUTN,GND));

// *****INDUCTANCE*****
V(OUTP,XLR) <+ L*ddt(I(OUTP,XLR));
V(XLR,OUTN) <+ r*I(XLR,OUTN);

// *****RESISTANCE NEGATIVE*****
vds1=-V(OUTP,VDDI2);
vgs1=-V(OUTN,VDDI2);
...
vds4=V(OUTN,GND);
vgs4=V(OUTP,GND);
if (vgs1<=vthp)
  begin
    id1=0;
    end else if (vgs1>vthp && vds1<vgs1-vthp) begin
      id1=betaP*(vgs1-vthp-vds1/2)*vds1*(1+lambdap*vds1);
    end else begin
      id1=betaP*0.5*(vgs1-vthp)*(vgs1-vthp)*(1+lambdap*vds1);
    end
  end
...
if (vgs4<=vthn)
  begin
    id4=0;
    end else if (vgs4>vthn && vds4<vgs4-vthn) begin
      id4=betaN*(vgs4-vthn-vds4/2)*vds4*(1+lambdan*vds4);
    end else begin
      id4=betaN*0.5*(vgs4-vthn)*(vgs4-vthn)*(1+lambdan*vds4);
    end
  end

I(OUTP,VDDI2)<+ -id1;
...
I(OUTN,GND) <+ id4;

// *****BRUIT DE PHASE*****
I(OUTP,GND) <+ white_noise(wn_real, "idn_lcp");
I(OUTP,GND) <+ flicker_noise(fn_real,1,"fnn_lcp");
...
I(OUTN,GND) <+ white_noise(wn_real, "idn_lcp");
I(OUTN,GND) <+ flicker_noise(fn_real,1,"fnn_lcp");
end

```

FIGURE B.1: Extrait des lignes de code modélisant le VCO en Verilog-A.


```

analog begin

    // *****ENABLE*****//
    @(initial_step or cross(V(VDD12,GND)-vth) or cross(V(ENABLE,GND)-vth)) begin
        if (V(VDD12,GND)>vth && V(ENABLE,GND)>vth) Nen=1;
        else Nen=0;
    end

    if (analysis("ac","noise")) begin

        // *****MODELISATION CHEMIN ALIMENTATION*****//
        V(UP,GND)<+ Nen*Gp*laplace_zp(V(VDD12),{Z1p,Z2p,...,Znp},{P1p,P2p,...,Pnp});
        V(DOWN,GND)<+ Nen*Gn*laplace_zp(V(VDD12),{Z1n,Z2n,...,Znn},{P1n,P2n,...,Pnn});

    end else begin

        // *****DETECTION FRONT MONTANT*****//
        @(cross(V(CKREF,GND)-vth,1)) if (Ndn==1) Ndn=0; else Nup=1;
        @(cross(V(CKIN,GND)-vth,1)) if (Nup==1) Nup=0; else Ndn=1;

        V(UP,GND)<+Nen*V(VDD12,GND)*transition(Nup,0,tt);
        V(DOWN,GND)<+Nen*V(VDD12,GND)*transition(Ndn,0,tt);

    end

end
end

```

FIGURE B.2: Extrait du code du modèle Verilog-A du détecteur de phase et de fréquence.

```

analog begin

    // *****ENABLE*****//
    @(initial_step or cross(V(VDD12,GND)-vth) or cross(V(ENABLE)-vth) or cross(I(IREF,GND)-ibmin))
        begin
            if (V(VDD12,GND)>vth && V(ENABLE)>vth && I(IREF,GND)>ibmin) Nen=1; else Nen=0;
        end

    I(VDD12,GND)<+Nen*ityp*V(VDD12,GND)/vdd;

    V(IREF,GND)<+Riref*I(IREF,GND);
    V(IREF,GND)<+G*laplace_zp(V(VDD12),{P1,P2,...,Pn},{Z1,Z2,...,Zn});

    if (analysis("ac","noise")) begin
        // *****MODELISATION CHEMIN ALIMENTATION*****//
        V(CP)<+Nen*Gp*laplace_zp(V(VDD12),{A1,A2,...,Ap},{B1,B2,...,Bp});
    end

    else begin
        @(cross(V(INP,GND)-vth)) if (V(INP,GND)>vth) Nup=1; else Nup=0;
        @(cross(V(INN,GND)-vth)) if (V(INN,GND)>vth) Ndn=1; else Ndn=0;

        // *****SATURATION*****//
        if (Nup<1 && V(CP,GND)<0.1) iclamp=V(CP,GND)/0.1;
        else if (Ndn<1 && V(VDD12,CP)<0.1) iclamp=V(VDD12,CP)/0.1;
        else iclamp=1;

        // *****COURANT DE SORTIE : combinaison des signaux générant le courant et bruit//
        I(CP,GND)<+ -2*I(IREF,GND)*Nen*iclamp*transition(Nen*(Nup-Ndn),0,tt);

        I(CP,GND) <+ flicker_noise(fn,3,"fn_cp")+white_noise(wn,"wn_cp");

    end

end
end

```

FIGURE B.3: Extrait du listing de la pompe de charge en Verilog-A.

```

analog begin

    // *****COMPASANT FILTRE*****//
    V(CP,XRC)<+R2*I(CP,XRC);
    V(CP,CTRL)<+R3*I(CP,CTRL);
    V(CP,GND)<+idt(I(CP,GND),0,0,1e-6)/C1;
    V(XRC,GND)<+idt(I(XRC,GND),0,0,1e-6)/C2;
    V(CTRL,GND)<+idt(I(CTRL,GND),0,0,1e-6)/C3;

end

```

FIGURE B.4: Code complet modélisant le filtre passe-bas en Verilog-A.

```

analog begin
  //*****ENABLE*****//
  @(initial_step or cross(V(VDD12,GND)-vth) or cross(V(ENABLE,GND)-vth) )
  seed=-311;
  if (V(VDD12,GND)>vth && V(ENABLE)>vth) begin
    Nen=1;
  end

  else begin Nen=0;count=0;
  end

  I(VDD12,GND) <+ Nen*ityp*V(VDD12,GND)/vdd;

  //*****FACTEUR DE DIVISION*****//
  @(initial_step or cross(V(VAL[0])-vth) ... or cross(V(VAL[4])-vth))
  begin
    Nctrl=0; for (i=0;i<=4;i=i+1)
      if (V(VAL[i])>vth)
        Nctrl=Nctrl+1(<<i);
  end

  //*****COMPTEUR*****//
  @(cross(V(INP)-vth, dir, tto1))
  begin
    count = count+1; //count input transitions
    if (count>=2*(ratio0+Nctrl))
      count=0;
    n=(2*count>=2*(ratio0+Nctrl));
    dt=jitter*$rdist_normal(seed,0,1); // add jitter
  end

  //*****CRENEAU DE SORTIE*****//
  V(a_out) <+ Nen*V(VDD12,GND) *(tanh(a*(n-V(VDD12,GND)/2))+1)/2;
  V(a_out,OUTP) <+ I(a_out,OUTP)/Rout;
  I(OUTP,GND) <+ Cout*ddt(V(OUTP,GND));
end

```

FIGURE B.5: Extrait du code du modèle Verilog-A du diviseur par N.

```

analog begin
  @(initial_step)
  //*****equation couplage magnetique*****//
  begin
    n=sqrt(Lp/Ls); //rapport de transformation
    M=Km*sqrt(Lp*Ls); //couplage magnetique
  end

  //*****capacites couplage enroulement*****//
  I(P1,N1)<+ Cp*ddt(V(P1,N1));
  I(P2,N2)<+ Cp*ddt(V(P2,N2));

  I(P1,P2)<+ Cx*ddt(V(P1,P2));
  I(N1,N2)<+ Cx*ddt(V(N1,N2));

  //*****equation pertes+couplage magnetique*****//
  V(P2,X2)<+ Rs*I(P2,X2)+Ls/2*ddt(I(P2,X2))+M*ddt(I(P1,X1));
  V(X2,N2)<+ Rs*I(X2,N2)+Ls/2*ddt(I(X2,N2))+M*ddt(I(X1,N1));

  V(P1,X1)<+ Rp*I(P1,X1)+Lp/2*ddt(I(P1,X1))+M*ddt(I(P2,X2));
  V(X1,N1)<+ Rp*I(X1,N1)+Lp/2*ddt(I(X1,N1))+M*ddt(I(X2,N2));
end

```

FIGURE B.6: Code complet modélisant le balun intégré en Verilog-A.

```

analog begin
    // *****ENABLE*****
    @(initial_step or cross(V(VDD12,GND)-vth)
    or cross(V(ENABLE)-vth) or cross(I(IN100U,GND)-ibmin)) begin
        if (V(VDD12,GND)>vth && V(ENABLE)>vth && I(IN100U,GND)>ibmin) Nen=1;
        else Nen=0;
    end

    // *****MODELISATION IMPEDANCE*****
    I(INP,GND) <+ Cin*ddt(V(INP,GND));
    I(INN,GND) <+ Cin*ddt(V(INN,GND));
    I(OUTP,GND) <+ Cout*ddt(V(OUTP,GND))+Nen*V(OUTP,GND)/Rout;
    I(OUTN,GND) <+ Cout*ddt(V(OUTN,GND))+Nen*V(OUTN,GND)/Rout;

    // *****TRIMMING PUISSANCE*****
    @(initial_step or cross(V(TRIM[0])-vth)
    or cross(V(TRIM[1])-vth) or cross(V(TRIM[2])-vth)
    or cross(V(TRIM[3])-vth) or cross(V(TRIM[4])-vth))
    begin
        Npower=1;
        for (i=0; i<=4; i=i+1)
            if (V(TRIM[i])>vth)
                Npower=Npower+(1<<i);
    end

    // *****MODELISATION PROFIL COURANT*****
    I(VDD12,GND) <+ Nen*(Npower-1)*icell*V(VDD12,GND)/vdd;

    // *****MODELISATION SORTIE*****
    if (V(OUTN,GND)<0.1) iclamp = V(OUTN,GND)/0.1;
    else iclamp = 1;

    I(OUTN,GND) <+ Nen*iclamp*(Npower-1)*imul*V(INN,GND)/vdd;
    I(OUTN,GND) <+ Nen*V(INN,GND)/vdd*(Npower-1)*laplace_zp(V(VDD12),{Z1n,Z2n,...,Znn},{P1n,P2n,...,Pnn});

    if (V(OUTP,GND)<0.1) iclamp = V(OUTP,GND)/0.1;
    else iclamp = 1;

    I(OUTP,GND) <+ Nen*iclamp*(Npower-1)*imul*V(INP,GND)/vdd;
    I(OUTP,GND) <+ Nen*V(INP,GND)/vdd*(Npower-1)*laplace_zp(V(VDD12),{Z1p,Z2p,...,Znp},{P1p,P2p,...,Pnp});
end

```

FIGURE B.7: Extrait du code modélisant l'amplificateur de puissance en Verilog-A.

```

analog begin

    // *****ENABLE*****//
    @(initial_step or cross(V(VDDI2,GND)-vth) or cross(V(ENABLE)-vth)) begin
        if (V(VDDI2,GND)>vth && V(ENABLE)>vth) Nen=1; else Nen=0;
    end

    // *****TUNNING GAIN*****//
    @(initial_step or cross(V(GAIN[0])-vth) or cross(V(GAIN[1])-vth)) begin
        Ngain=0; for (i=0; i<1; i=i+1) if (V(GAIN[i])>vth) Ngain=Ngain+(1<i);
        if (Ngain==0) Rin=rin1;
        if (Ngain==1) Rin=rin2;
        if (Ngain==2) Rin=rin3;
        if (Ngain==3) Rin=rin4;
    end

    // *****IP3 POLYNOME : v+a3*v^3*****//
    @(initial_step) begin
        gain_lin=pow(10,gain/10);
        ip3_lin=sqrt((pow(10,IP3_0/10))*2*Rin*0.001);
        noise=4*P_K*(pow(10,fnoise/10)-1)*Stemperature*50;
        a=sqrt((gain_lin*Rout)/Rin);
        b=(4*a)/(3*ip3_lin*ip3_lin);
        inmax=sqrt(a/(3*b));
        outmax=(2*a*inmax)/3;
    end

    // *****IMPEDANCE D'ENTREE*****//
    I(INP) <+ V(INP)/Rin*Nen+Cin *ddt(V(INP));
    I(INN) <+ V(INN)/Rin*Nen+Cin *ddt(V(INN));

    // *****MODELISATION CHEMIN ALIMENTATION VERS ENTREE*****//
    I(INP)<+ Nen*Gp*laplace_zp(V(VDDI2),{Z1p,Z2p,...,Znp},{P1p,P2p,...,Pnp});
    I(INN)<+ Nen*Gn*laplace_zp(V(VDDI2),{Z1n,Z2n,...,Znn},{P1n,P2n,...,Pnn});

    // *****MODELISATION PROFIL COURANT*****//
    I(VDDI2,GND)<+Nen*ityp*v(V(VDDI2,GND)/vdd;

    // *****MDELISATION SORTIE*****//
    if (abs(V(INP,INN))<inmax)
        V(OUTP,OUTN)<+ Nen*2*(a-b*v(INP,INN)*V(INP,INN))*V(INP,INN);
    else if (V(INP,INN)>0)
        V(OUTP,OUTN)<+ Nen*2*outmax;
    else
        V(OUTP,OUTN)<+ -Nen*2*outmax;
    V(OUTP,GND)<+ Nen*Gp1*laplace_zp(V(VDDI2),{Z1p,Z2p,...,Znp},{P1p,P2p,...,Pnp});
    V(OUTN,GND)<+ Nen*Gn1*laplace_zp(V(VDDI2),{Z1n,Z2n,...,Znn},{P1n,P2n,...,Pnn});

    // *****IMPEDANCE DE SORTIE*****//
    V(OUTP,GND) <+ Rout*I(OUTP,GND);
    V(OUTN,GND) <+ Rout*I(OUTN,GND);

end

```

FIGURE B.8: Extrait du listing de l'amplificateur faible bruit en Verilog-A.

```

analog begin

    // *****ENABLE*****//
    @(initial_step or cross(V(VDDI2)-vth) or cross(V(ENABLE)-vth))
    if (V(VDDI2)>vth && V(ENABLE)>vth) Nen=1; else Nen=0;

    // *****IMPEDANCE ENTREE SORTIE*****//
    I(INP,GND) <+ Cin*ddt(V(INP,GND));
    I(INN,GND) <+ Cin*ddt(V(INN,GND));
    I(OUTP,OUTN) <+ Cout*ddt(V(OUTP,OUTN));

    // *****CONDUCTANCE INTERRUPTEUR*****//
    @(cross(V(LOIP)-vth,1)) Gip=Nen/Ron; @(cross(V(LOIP)-vth,-1)) Gip=0;
    I(INP,OUTIP)<+Gip*v(INP,OUTIP); I(INN,OUTIN)<+Gip*v(INN,OUTIN);

    @(cross(V(LOQN)-vth,1)) Gqn=Nen/Ron; @(cross(V(LOQN)-vth,-1)) Gqn=0;
    I(INP,OUTQN)<+Gqn*v(INP,OUTQN); I(INN,OUTQP)<+Gqn*v(INN,OUTQP);

    @(cross(V(LOIN)-vth,1)) Gin=Nen/Ron; @(cross(V(LOIN)-vth,-1)) Gin=0;
    I(INP,OUTIN)<+Gin*v(INP,OUTIN); I(INN,OUTIP)<+Gin*v(INN,OUTIP);

    @(cross(V(LOQP)-vth,1)) Gqp=Nen/Ron; @(cross(V(LOQP)-vth,-1)) Gqp=0;
    I(INP,OUTQP)<+Gqp*v(INP,OUTQP); I(INN,OUTQN)<+Gqp*v(INN,OUTQN);

end

```

FIGURE B.9: Code complet modélisant le mixeur en Verilog-A.

```

analog begin

// *****ENABLE*****//
@(initial_step or cross(V(vdd,gnd)-vth) or cross(V(en)-vth))
  if(V(vdd,gnd)>vth && V(en)>vth) Nen=1; else Nen=0;

// *****TRIMMING BIAS*****//
@(initial_step or cross(V(bias_trim[0])-vth) or cross(V(bias_trim[1])-vth)) begin
  Nbias=0; for(i=0;i<=1;i=i+1)
    if(V(bias_trim[i])>vth)
      Nbias=Nbias+(1<<i);
end

// *****MODELISATION PROFIL COURANT*****//
I(vdd,gnd)<+ Nen*Nbias*ityp+Nen*Nd*vcmref;

// *****MODELISATION DU GAIN*****//
@(initial_step or cross(V(vdd,gnd)-vth) or cross(V(en)-vth))
  if(V(gain,gnd)>vth && V(en)>vth) Rgain=r1; else Rgain=r2;

// *****TRIMMING FREQUENCE COUPURE*****//
@(initial_step or cross(V(cmplx_en)-vth) or cross(V(pretim[0])-vth)
  or cross(V(pretim[1])-vth) or cross(V(pretim[2])-vth)
  or cross(V(pretim[3])-vth) or cross(V(pretim[4])-vth)) begin
  Nfreq=0; for(i=0;i<=4;i=i+1) if(V(pretim[i])>vth) Nfreq=Nfreq+(1<<i);
  wc = 1/(Rgain*(Celem*(24+Nfreq)));
  re=-1; im=0;
  if(V(cmplx_en)>vth) begin // pole translate de j.wif
    wc=wc/4;
    wif = 1/(Rfb*4*(Celem*(24+Nfreq)))/wc; // /wc;
    im=im+wif;
  end
end

// *****IMPEDANCE ENTREE DIFFERENTIELLE*****//
I(InP_I,InN_I)<+V(InP_I,InN_I)/Rin; // in-band
I(InP_Q,InN_Q)<+V(InP_Q,InN_Q)/Rin;

I(InP_I,InN_I)<+Cin*ddt(V(InP_I,InN_I)); // in-band
I(InP_Q,InN_Q)<+Cin*ddt(V(InP_Q,InN_Q));

// *****TRANSIMPEDANCE*****//
V(i0)<+20*Rgain*I(InP_I,InN_I);
V(q0)<+20*Rgain*I(InP_Q,InN_Q);

V(i1): V(i0) == ddt(V(i1))/wc - (re*V(i1)-im*V(q1));
V(q1): V(q0) == ddt(V(q1))/wc - (re*V(q1)+im*V(i1));

// *****MODELISATION ALIMENTATION*****//
V(OutP_I)<+ Nen*V(i1)/2 +Nen*V(vcmref)+Nen*4.15e-04*laplace_zp(V(vdd),{Z1p,Z2p,...,Znp},{P1p,P2p,...,Pnp});
V(OutN_I)<+ -Nen*V(i1)/2 + Nen*V(vcmref)+Nen*GnI*laplace_zp(V(vdd),{Z1n,Z2n,...,Znn},{P1n,P2n,...,Pnn});
V(OutP_Q)<+ Nen*V(q1)/2+Nen*V(vcmref)+Nen*GpQ*laplace_zp(V(vdd),{Z1p,Z2p,...,Znp},{P1p,P2p,...,Pnp});
V(OutN_Q)<+ -Nen*V(q1)/2 +Nen*V(vcmref)+Nen*GnQ*laplace_zp(V(vdd),{Z1n,Z2n,...,Znn},{P1n,P2n,...,Pnn});

// *****MODE COMMUN*****//
V(InP_I,vcmref)<+V(vcmref,InN_I);
V(InP_Q,vcmref)<+V(vcmref,InN_Q);

end

```

FIGURE B.10: Code complet modélisant du PMA en Verilog-A.

```

analog begin

    // *****ENABLE*****//
    @(initial_step or cross(V(vdd,gnd)-vth) or cross(V(en)-vth)) begin
        if(V(vdd,gnd)>vth && V(en)>vth) Nen=1; else Nen=0;
    end

    // *****MODELISATION PROFIL COURANT*****//
    I(vdd,gnd)<+ (1-Nen)*V(vdd,gnd)/1800;
    I(vdd,gnd)<+ Nen*V(vdd,gnd)/1800;

    // *****TUNING GAIN*****//
    @(initial_step
    or cross(V(gain1[0])-vth) or cross(V(gain1[1])-vth)
    or cross(V(gain2[0])-vth) or cross(V(gain2[1])-vth)
    or cross(V(gain3[0])-vth) or cross(V(gain3[1])-vth)) begin
        gain=0.17;
        if(V(gain1[1])>vth) gain=gain*2; if(V(gain1[0])>vth) gain=gain*2;
        if(V(gain2[1])>vth) gain=gain/2; if(V(gain2[0])>vth) gain=gain*2;
        if(V(gain3[1])>vth) gain=gain*2; if(V(gain3[0])>vth) gain=gain*2;
    end

    // *****TRIMMING FREQUENCE*****//
    @(initial_step or cross(V(cmplx_en)-vth)
    or cross(V(trim[0])-vth) or cross(V(trim[1])-vth)
    or cross(V(trim[2])-vth) or cross(V(trim[3])-vth)
    or cross(V(trim[4])-vth)) begin
        if(V(cmplx_en)>vth) Ncpx=1; else Ncpx=0;
        Nfreq=0; for(i=0; i<=4; i=i+1) if(V(trim[i])>vth) Nfreq=Nfreq+(1<i);

    // *****COEFFICIENT BUTTERWORTH*****//
    re1=-1; im1=0;
    re2=-cos('M_PI/3); im2= sin('M_PI/3);
    re3=-cos('M_PI/3); im3=-sin('M_PI/3);
    wc = 1/(Rtun*(Celem*(24+Nfreq)));
    wif = Ncpx*Rtun/Rfb; // *wc
    if(V(cmplx_en)>vth) begin //translate pole adding j.wif
        im1=im1+wif; im2=im2+wif; im3=im3+wif;
    end

    end
    V(i0)<+V(InP_I,InN_I)+Rin*I(InP_I_int,InN_I_int);
    V(q0)<+V(InP_Q,InN_Q)+Rin*I(InP_Q_int,InN_Q_int);
    V(i1): V(i0) == ddt(V(i1))/wc - (re1*V(i1)-im1*V(q1));
    V(q1): V(q0) == ddt(V(q1))/wc - (re1*V(q1)+im1*V(i1));
    V(i2): V(i1) == ddt(V(i2))/wc - (re2*V(i2)-im2*V(q2));
    V(q2): V(q1) == ddt(V(q2))/wc - (re2*V(q2)+im2*V(i2));
    V(i3): V(i2) == ddt(V(i3))/wc - (re3*V(i3)-im3*V(q3));
    V(q3): V(q2) == ddt(V(q3))/wc - (re3*V(q3)+im3*V(i3));

    // *****MODELISATION SORTIE*****//
    V(OutP_I)<+ transition(Nen,0,tt)*gain*V(i3)/2+Nen*V(vcmref);
    V(OutN_I)<+ -transition(Nen,0,tt)*gain*V(i3)/2+Nen*V(vcmref)+
    V(OutP_Q)<+ transition(Nen,0,tt)*gain*V(q3)/2+Nen*V(vcmref);
    V(OutN_Q)<+ -transition(Nen,0,tt)*gain*V(q3)/2+Nen*V(vcmref);

    // *****MODELISATION ALIMENTATION*****//
    V(OutP_I)<+ Nen*3.384691e-04*laplace_zp(V(vdd),{Z1p,Z2p,...,Znp},{P1p,P2p,...,Pnp});
    V(OutN_I)<+ Nen*3.384691e-04*laplace_zp(V(vdd),{Z1n,Z2n,...,Znn},{P1n,P2n,...,Pnn});
    V(OutP_Q)<+ Nen*3.384691e-04*laplace_zp(V(vdd),{Z1p,Z2p,...,Znp},{P1p,P2p,...,Pnp});
    V(OutN_Q)<+ Nen*GnQ*laplace_zp(V(vdd),{Z1n,Z2n,...,Znn},{P1n,P2n,...,Pnn});

    // *****IMPEDANCE ENTREE*****//
    I(InP_I,InN_I)<+V(InP_I,InN_I)/(2*Rin);
    I(InP_Q,InN_Q)<+V(InP_Q,InN_Q)/(2*Rin);
    I(InP_I_int,InN_I_int)<+V(InP_I_int,InN_I_int)/Rin;
    I(InP_Q_int,InN_Q_int)<+V(InP_Q_int,InN_Q_int)/Rin;

    // *****MODE COMMUN*****//
    V(InP_I_int,vcmref)<+V(vcmref,InN_I_int);
    V(InP_Q_int,vcmref)<+V(vcmref,InN_Q_int);

end

```

FIGURE B.11: Extrait du code du modèle Verilog-A du filtre polyphase.

```

analog begin
    // *****ENABLE*****
    @(initial_step or cross(V(vdd,gnd)-vth) or cross(V(en)-vth)) begin
        if (V(vdd,gnd)>vth && V(en)>vth) Nen=1; else Nen=0;
    end

    // *****MODELISATION PROFIL COURANT*****
    I(vdd,gnd)<+Nen*(0.88+0.12*Nbias)*Gvdd+Nen*0.001u*V(vdd,gnd)/vsup;

    // *****TUNING GAIN*****
    @(initial_step
    or cross(V(ifamp_gain[0]-vth) ... or cross(V(ifamp_gain[3]-vth)) begin
        Ngain=0; for (i=0; i<4; i=i+1) if (V(ifamp_gain[i])>vth) Ngain=Ngain+(1<i);
        if (Ngain==0) gain=g1; Ngflt=0;
        if (Ngain==1) gain=g2; Ngflt=1;
        if (Ngain==2) gain=g3; Ngflt=1;
        if (Ngain==3) gain=g4; Ngflt=1;
        if (Ngain==4) gain=g5; Ngflt=1;
        if (Ngain==5) gain=g6; Ngflt=1;
        if (Ngain==6) gain=g7; Ngflt=1;
        if (Ngain==7) gain=g8; Ngflt=1;
        if (Ngain>7) gain=g9; Ngflt=1;

    end

    // *****MODELISATION SORTIE*****
    V(OutP)<+ -transition(Nen*pow(10,(gain/20)),0,tt)
    *0.5*laplace_np(V(InP_I,InN_I)+V(InP_Q,InN_Q),
    {0,0,-1/(whp*whp)},
    {-whp,0,-whp,0,-wlp,0,-wlp,0})+Nen*V(vcmref);

    V(OutN)<+ transition(Nen*pow(10,(gain/20)),0,tt)
    *0.5*laplace_np(V(InP_I,InN_I)+V(InP_Q,InN_Q),
    {0,0,-1/(whp*whp)},
    {-whp,0,-whp,0,-wlp,0,-wlp,0})+Nen*V(vcmref);

    // *****MODELISATION ALIMENTATION*****
    V(OutP)<+ Nen*Gp*laplace_zp(V(vdd),{Z1p,Z2p,...,Znp},{P1p,P2p,...,Pnp});
    V(OutN)<+ Nen*Gn*laplace_zp(V(vdd),{Z1n,Z2n,...,Znn},{P1n,P2n,...,Pnn});

end

```

FIGURE B.12: Extrait du listing de l'amplificateur à gain variable en Verilog-A.

C

Calcul de la sensibilité d'un VCO aux bruits de l'alimentation

Soit le bruit de l'alimentation $V_{dd}(t) = V \cdot \cos(\omega_n \cdot t)$, le signal de sortie du VCO sera modulé en amplitude et en fréquence. Le signal de sortie peut être exprimé comme :

$$V_{RF} = A(t) \cdot \cos[\omega_{RF} \cdot t + \theta(t)] \quad (C.1)$$

où $A(t)$ est l'amplitude de l'oscillation, ω_{RF} est la fréquence de l'oscillation et $\theta(t)$ est la phase de l'oscillation.

On fait l'hypothèse que la modulation est en bande étroite ($\theta(t) \ll 1$) et que l'amplitude de l'oscillation est fixée. On peut donc exprimer la sortie du VCO par :

$$V_{RF} \approx A \cdot \cos[\omega_{RF} \cdot t + \theta(t)] \quad (C.2)$$

$$V_{RF} = A \cdot \cos[\omega_{RF} \cdot t] \cdot \cos[\theta(t)] - A \cdot \sin[\omega_{RF} \cdot t] \cdot \sin[\theta(t)] \quad (C.3)$$

$$V_{RF} = A \cdot \cos[\omega_{RF} \cdot t] - A \cdot \theta(t) \cdot \sin[\omega_{RF} \cdot t] \quad (C.4)$$

avec $\theta(t) \ll 1$.

Pour un facteur de « pushing » K_{push} donné, la fréquence instantanée peut être représentée par

$$\omega_i = \omega_{RF} + \frac{d\theta(t)}{dt} = \omega_{RF} + K_{push} \cdot V_{dd}(t) \quad (C.5)$$

La déviation de la phase instantanée peut donc être représentée par :

$$\theta(t) = \int K_{push} \cdot V_{dd}(t) \cdot dt \quad (C.6)$$

$$\theta(t) = K_{push} \cdot \int V \cdot \cos(\omega_n \cdot t) \cdot dt \quad (C.7)$$

$$\theta(t) = \frac{K_{push} \cdot V}{\omega_n} \cdot \sin(\omega_n \cdot t) \quad (C.8)$$

Et la densité spectrale de puissance $S_\theta(f)$ de la déviation de la phase vaut :

$$S_\theta(f) = \frac{1}{4} \cdot \left(\frac{K_{push} \cdot V}{\omega_n} \right)^2 \cdot [\delta(f - f_n) + \delta(f + f_n)] \quad (C.9)$$

On en déduit le bruit de phase en dBc/Hz induit par le bruit de l'alimentation :

$$\mathcal{L}(V_{dd}) = 10 \cdot \log[S_{\theta}(f_n)] \quad (\text{C.10})$$

$$\mathcal{L}(V_{dd}) = 10 \cdot \log \left[\frac{1}{4} \cdot \left(\frac{K_{push} \cdot V}{\omega_n} \right)^2 \right] \quad (\text{C.11})$$

$$\mathcal{L}(V_{dd}) = 20 \cdot \log |K_{push}| + 20 \cdot \log(V) - 20 \cdot \log(\omega_n) - 6.02 \quad (\text{C.12})$$

Cette équation montre que le bruit de phase dû au bruit de l'alimentation est directement proportionnel à l'amplitude du bruit de l'alimentation et au facteur de « *pushing* » et inversement proportionnel à la fréquence du bruit. La fonction de transfert de la caractéristique fréquentielle du bruit de l'alimentation converti en bruit de phase est montrée dans la Figure C.1.

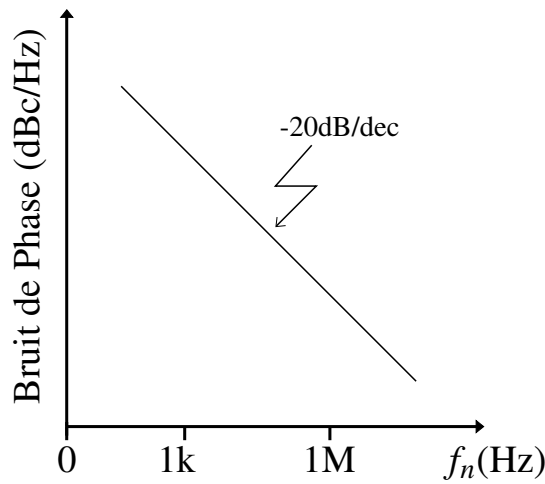


FIGURE C.1: Fonction de transfert du bruit de l'alimentation converti en bruit de phase.

D

Calcul des modèles « petits-s signaux » des sous-blocs du LDO

Sommaire

D.1 Impédance de charge F_1	144
D.2 Impédance du réplica F_2	144
D.3 Impédance de charge Z	145

Le but de cette partie est de présenter les modèles « petits-s signaux » des sous-blocs du LDO utilisés pour déterminer la fonction de transfert du PSR et pour construire la matrice d'état pour l'analyse de stabilité. Pour établir ces modèles, plusieurs simplifications doivent être introduites :

- la charge et le réplica sont des impédances pures,
- la capacité de sortie n'a pas de résistance et inductance en série,
- on utilise les modèles BF et HF des transistors de puissance.

L'architecture du LDO et son modèle mathématique sont rappelés dans la Figure D.1.

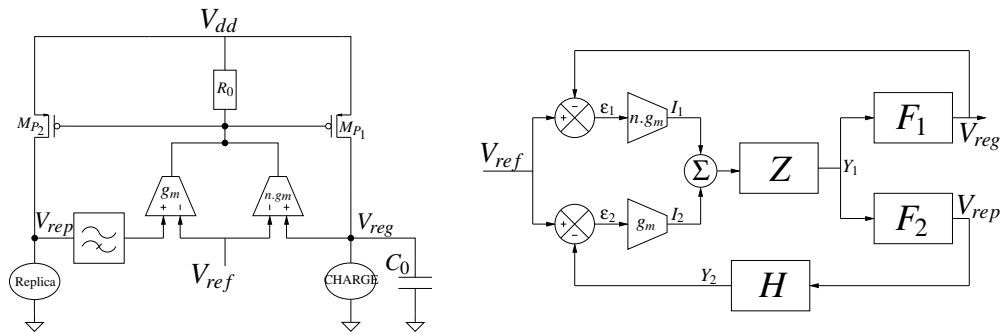


FIGURE D.1: Architecture et modèle mathématique du LDO.

On en déduit le modèle « petit signal » du système complet (Figure D.2).

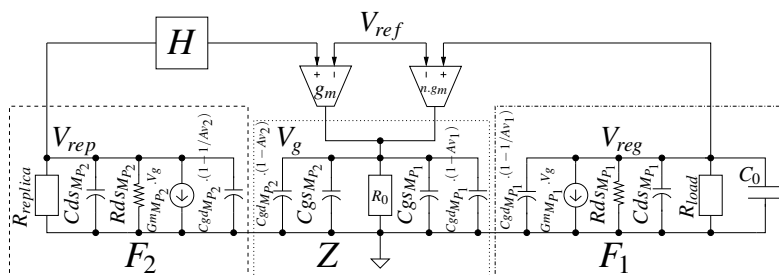


FIGURE D.2: Modèle « petit-signal » du système complet.

D.1 Impédance de charge F1

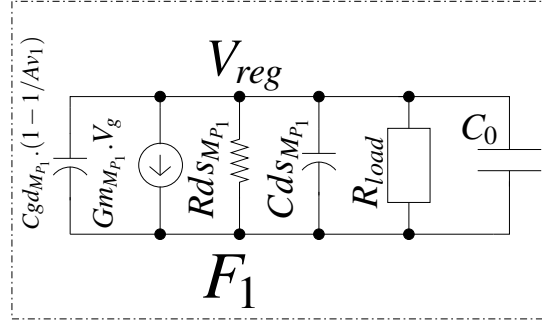


FIGURE D.3: Schéma équivalent « petit-signal » de F1.

On en déduit la fonction de transfert :

$$F_1 = \frac{V_{reg}}{V_g} = \frac{G_{mM_{P_1}} \cdot R_1}{1 + R_1 \cdot C_1 \cdot s} \quad (D.1)$$

avec

$$R_1 = R_{load} || R_{dsM_{P_1}} \quad (D.2)$$

$$C_1 = C_0 + C_{gdM_{P_1}} \cdot \left(1 - \frac{1}{A_{v1}}\right) + C_{dbM_{P_1}} + C_{dsM_{P_1}} \quad (D.3)$$

$$A_{v1} \approx -G_{mM_{P_1}} \cdot R_1 \quad (D.4)$$

D.2 Impédance du réplica F2

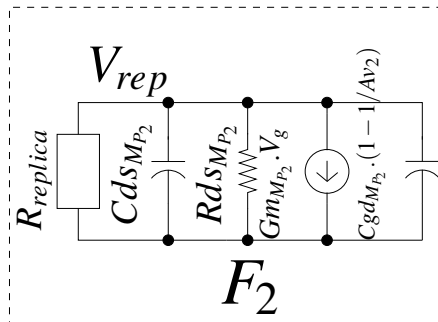


FIGURE D.4: Schéma équivalent « petit-signal » de F2.

On en déduit la fonction de transfert :

$$F_2 = \frac{V_{rep}}{V_g} = \frac{Gm_{M_{P_2}} \cdot R_2}{1 + R_2 \cdot C_2 \cdot s} \quad (D.5)$$

avec

$$R_2 = R_{replica} || Rds_{M_{P_2}} \quad (D.6)$$

$$C_2 = Cgd_{M_{P_2}} \cdot \left(1 - \frac{1}{Av_2}\right) + Cdb_{M_{P_2}} + Cds_{M_{P_2}} \quad (D.7)$$

$$Av_2 \approx -Gm_{M_{P_2}} \cdot R_2 \quad (D.8)$$

D.3 Impédance de charge Z

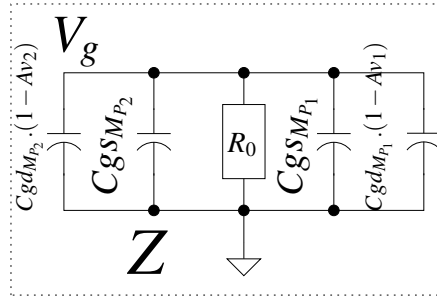


FIGURE D.5: Schéma équivalent « petit-signal » de Z.

On en déduit la fonction de transfert :

$$Z = \frac{V_g}{gnd} = \frac{R_0}{1 + R_0 \cdot C_{eq} \cdot s} \quad (D.9)$$

avec

$$C_{eq} = Cgd_{M_{P_1}} \cdot (1 - Av_1) + Cgs_{M_{P_1}} + Cgb_{M_{P_1}} + Cgd_{M_{P_2}} \cdot (1 - Av_2) + Cgs_{M_{P_2}} + Cgb_{M_{P_2}}$$

E Représentation et stabilité d'un système continu dans l'espace d'état

Sommaire

E.1 Philosophie	147
E.2 Vecteur état	147
E.3 Détermination de la représentation d'état	148
E.4 Stabilité des systèmes continus linéaires	149
E.5 Etude de cas : détermination de la matrice d'état du LDO	153

E.1 Philosophie

Cette méthode est capable de prendre en compte toutes les boucles d'un système complexe sans avoir à les étudier intrinsèquement. Aucune approximation n'est faite. Toute la méthode est basée sur la représentation par matrice d'état des différentes topologies du système ainsi que de leurs enchaînements.

E.2 Vecteur état

Un vecteur état x d'un processus est formé d'un ensemble de variables, en nombre minimum, dont la connaissance à l'instant t_0 , associée à la connaissance de l'évolution de l'entrée $u(t)$ pour $t > t_0$, permet par l'intermédiaire du modèle de prévoir l'évolution future du système en l'absence de perturbations. Le vecteur état représente en pratique, la mémoire du système.

Par exemple, pour un système continu linéaire dont l'évolution est régie par une équation différentielle d'ordre n , la connaissance de n conditions initiales est nécessaire pour prévoir son évolution future, ainsi un vecteur état caractérisant le processus aura nécessairement n composantes.

Soit un processus dont l'évolution est régie par l'équation différentielle :

$$a_0 \cdot y + a_1 \cdot y^{(1)} + \dots + a_{n-1} \cdot y^{(n-1)} + y^{(n)} = b_0 \cdot u + b_1 \cdot u^{(1)} + \dots + b_m \cdot u^{(m)} \quad (\text{E.1})$$

à laquelle correspond la fonction de transfert :

$$\frac{Y}{U} = \frac{b_0 + b_1 \cdot s + \dots + b_m \cdot s^m}{a_0 + a_1 \cdot s + \dots + a_{n-1} \cdot s^{n-1} + s^n} \quad (\text{E.2})$$

A ces deux modes de description, il est possible d'associer une représentation d'état de la forme :

$$\begin{aligned} \dot{x} &= A \cdot x + B \cdot u \\ y &= C \cdot x + D \cdot u \end{aligned} \quad (\text{E.3})$$

avec $D=0$ si $m < n$ et $D \neq 0$ si $m=n$. Dans cette écriture, $x \in \mathbb{R}^n$ est le vecteur état, $u \in R$ la commande, $y \in R$ la sortie. $A \in \mathbb{R}^{n \times n}$ est dite matrice d'évolution, $B \in \mathbb{R}^{n \times 1}$ est le vecteur de commande, $C \in \mathbb{R}^{1 \times n}$ est le vecteur d'observation et $D \in \mathbb{R}$, caractérise la transmission directe.

E.3 Détermination de la représentation d'état

Le principe de détermination d'une représentation d'état à partir d'une fonction de transfert consiste à construire un graphe de fluence associé à cette fonction de transfert dans lequel sont mis en évidence des intégrateurs. Les variables d'états adoptées sont les nœuds sur lesquels arrivent les arcs d'intégrations. La lecture du graphe fournit alors les relations liant les dérivées des variables d'états (nœuds de départ des arcs d'intégration) et les sorties aux autres variables. Les relations étant linéaires par construction, la représentation d'état correspondant au graphe choisi s'en déduit immédiatement.

Soit la variable V représentant une variable intermédiaire, en divisant numérateur et dénominateur par s^n , la relation E.2 peut être réécrite :

$$\frac{Y}{U} = \frac{\left(\frac{b_0}{s^n} + \frac{b_1}{s^{n-1}} + \dots + \frac{b_{n-1}}{s} \right) \cdot V}{\left(\frac{a_0}{s^n} + \frac{a_1}{s^{n-1}} + \dots + \frac{a_{n-1}}{s} + 1 \right) \cdot V} \quad (\text{E.4})$$

Il vient en identifiant numérateur et dénominateur :

$$Y = \left(\frac{b_0}{s^n} + \frac{b_1}{s^{n-1}} + \dots + \frac{b_{n-1}}{s} \right) \cdot V \quad (\text{E.5})$$

$$U = \left(\frac{a_0}{s^n} + \frac{a_1}{s^{n-1}} + \dots + \frac{a_{n-1}}{s} + 1 \right) \cdot V \quad (\text{E.6})$$

Les relations précédentes peuvent être représentées par le graphe de fluence de la Figure E.1 dans laquelle apparaît une chaîne de n intégrateurs.

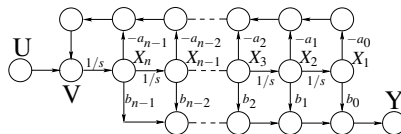


FIGURE E.1: Graphe du système.

Il vient pour les variables x_i , définies aux nœuds correspondant à chacune des sorties des intégrateurs :

$$\begin{aligned}
 \dot{x}_1 &= x_2 \\
 \dot{x}_2 &= x_3 \\
 &\vdots \\
 \dot{x}_{n-1} &= x_n \\
 \dot{x}_n &= v = u - (a_0 \cdot x_1 + a_1 \cdot x_2 + \cdots + a_{n-1} \cdot x_n) \\
 y &= b_0 \cdot x_1 + b_1 \cdot x_2 + \cdots + b_{n-1} \cdot x_n
 \end{aligned} \tag{E.7}$$

Dans cette représentation, chaque composante du vecteur état est la dérivée de la précédente : il s'agit donc d'une représentation dans l'espace de phase.

Notons $x = [x_1, x_2, \dots, x_n]^T$, ce vecteur peut être pris comme vecteur état du processus ce qui conduit à la représentation suivante dans laquelle la matrice d'évolution A est sous forme compagne :

$$\begin{aligned}
 \dot{x} &= \begin{bmatrix} 0 & 1 & 0 & \cdots & 0 & 0 \\ 0 & 0 & 1 & \cdots & 0 & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots & \vdots \\ 0 & 0 & 0 & \cdots & 1 & 0 \\ 0 & 0 & 0 & \cdots & 0 & 1 \\ -a_0 & -a_1 & -a_2 & \cdots & -a_{n-2} & -a_{n-1} \end{bmatrix} \cdot x + \begin{bmatrix} 0 \\ 0 \\ \vdots \\ 0 \\ 0 \\ 1 \end{bmatrix} \cdot u \\
 y &= \begin{bmatrix} b_0 & b_1 & \cdots & b_{n-2} & b_{n-1} \end{bmatrix} \cdot x
 \end{aligned} \tag{E.8}$$

E.4 Stabilité des systèmes continus linéaires

E.4.1 Allure des trajectoires d'un système continu au voisinage d'un point d'équilibre

En l'absence d'entrée, la variable caractéristique de l'évolution d'un système linéaire prend la forme dans laquelle les valeurs des coefficients μ_{ij} sont fonctions des conditions initiales :

$$y(t) = \sum_{i=1}^r e^{\lambda_i \cdot t} \sum_{j=0}^{n_i-1} \mu_{ij} \cdot t^j \tag{E.9}$$

Dans cette écriture, λ_i représente la racine multiple d'ordre n_i de l'équation caractéristique $P(\lambda)$ du processus continu étudié avec

$$P(\lambda) = \det(\lambda \cdot I - A) \tag{E.10}$$

avec I la matrice identité de dimension $n \times n$.

La propriété de stabilité asymptotique impose les conditions :

un système est asymptotiquement stable si et seulement si toutes les racines (valeurs propres) de l'équation $P(\lambda) = 0$ ont leurs parties réelles négatives :

$$\forall \lambda_i, \text{Re}[\lambda_i] < 0 \quad (\text{E.11})$$

L'étude de stabilité se résume donc maintenant à l'étude des valeurs propres de la matrice d'évolution. Plusieurs cas sont envisageables :

- Toutes les parties réelles des valeurs propres sont toutes négatives : le régime permanent est stable.
- Une des parties réelles des valeurs propres est positive : le régime permanent est instable.

On constate que plus les parties réelles des valeurs propres se rapprochent de 0, moins robuste est le système face aux perturbations. Avec des parties réelles proches de 0, la moindre perturbation suffit à faire décrocher le système et le rendre instable.

E.4.2 Robustesse de la stabilité

Le critère précédent permet de déterminer si un système est stable, juste oscillant ou instable mais ne permet pas d'apprécier s'il est plus ou moins proche de l'instabilité, ni sa capacité à éliminer l'effet d'une perturbation. Cette notion qui correspond au degré de stabilité présente un double intérêt : d'une part de permettre de garantir le comportement qualitatif du système même si le modèle utilisé est imparfait et d'autre part de permettre une estimation du temps de réponse pour une sollicitation donnée.

Elle permet de plus d'estimer la capacité du système à absorber les erreurs de réglage dues à d'éventuels défauts d'identification et de non concordance entre le processus et son modèle.

E.4.2.1 Sensibilité à la variation des paramètres

Les effets dus à la variation des paramètres doivent être étudiés avec attention dans l'analyse et la conception de système. En effet, une variation peut conduire à l'instabilité d'un système. Cette étude permet l'identification du paramètre le plus sensible pour la stabilité. Connaître l'influence de différents paramètres sur la valeur propre critique permet une meilleure compréhension de la stabilité et par conséquent cet effet peut être pris en compte lors du dimensionnement du système.

E.4.2.2 Analyse Monte Carlo

L'analyse Monte Carlo permet de déterminer un jeu de variations aléatoires des paramètres qui conserve la stabilité du système. Considérons un système linéaire qui dépend des paramètres, donné sous la forme de la représentation d'état :

$$\dot{X} = A(p) \cdot X \quad (\text{E.12})$$

où $A(p)$ est une matrice d'état de dimension $n \times n$ avec des paramètres réels p :

$$\begin{aligned} A(p) &\in \mathbb{R}^{n \times n} \\ p &\in \mathbb{R}^{n_p} \end{aligned} \quad (\text{E.13})$$

On assure que pour une valeur du paramètre nominal p^0 , on a :

$$\alpha(p^0) = \max_{1 \leq i \leq n} [\text{Re}(\lambda_i(A(p^0)))] < 0 \quad (\text{E.14})$$

où $\lambda_i(A)$ représente la racine multiple d'ordre i de l'équation caractéristique du processus continu $A(p)$.

Soit $P \subset \mathbb{R}^{n_p}$ un jeu de valeurs de paramètres qui contient la valeur du paramètre nominal p^0 , la précédente condition est satisfaite si l'inéquation suivante est vérifiée :

$$\max_{p \in P} \alpha(p) < 0 \quad (\text{E.15})$$

Dans la suite, nous avons choisi un sous-système P de type hyper-cube dans \mathbb{R}^{n_p} et centré à la valeur du paramètre nominal p^0 :

$$P = \left\{ p = (p_1, \dots, p_{n_p})^T \text{ tel que } |p_i - p_i^0| \leq \rho_i \cdot |p_i^0| \right\} \quad (\text{E.16})$$

où ρ_i représente l'erreur relative de la composante i du vecteur paramètre p_i .

Ainsi, si la relation E.15 est vérifiée alors on peut conclure :

la stabilité asymptote est garantie pour toutes les incertitudes relatives ρ_i sur le vecteur paramètre p_i .

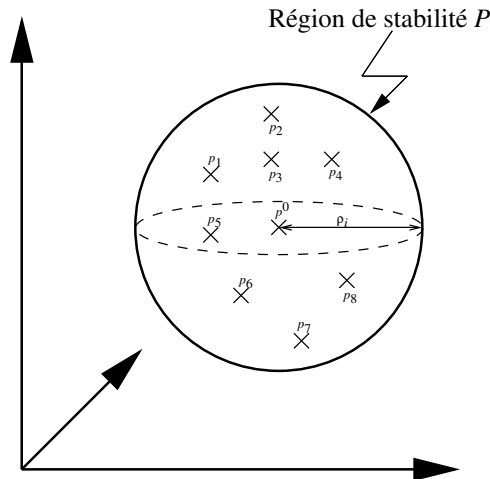


FIGURE E.2: Région de stabilité P .

L'utilisation de différentes ρ_i permet d'étudier la sensibilité. Pour être plus précis, de plus petites incertitudes relatives devraient être utilisées. Cependant, de nombreuses conclusions (pas contradictoires) peuvent être obtenues en adoptant différentes définitions du sous-système P .

Cette notion permet donc d'estimer la robustesse du système aux variations process de la technologie et de garantir le comportement qualitatif du système même si le modèle utilisé est imparfait.

Le programme Matlab utilisé pour réaliser cette analyse est le suivant :

Algorithme 1 Programme Matlab.

```
p_nom=[P1;P2;P3;Pn];
np=size(p_nom,1);
Ntir=1000;
inter=randn(np,Ntir);
inter=inter/max(max(abs(inter)));
rho_max=0.23;
les_rho=(0:0.01:rho_max)';
n_rho=size(les_rho,1);
les_lam_max=zeros(n_rho,1);
%-----
for i=1:n_rho,
    disp([i,n_rho])
    rho=les_rho(i);
    les_res=zeros(Ntir,1);
    for j=1:Ntir,
        p=p_nom.*(1+rho*inter(:,j));
        A=Adep1(p);
        les_res(j)=max(real(eig(A)));
    end
    les_lam_max(i)=max(les_res);
end
%-----
plot(les_rho,les_lam_max,'-o');grid on;
xlabel('$\rho$','fontsize',24,'interpreter','latex');
ylabel('$\alpha$','fontsize',24,'interpreter','latex');
titre1=['Largest real part for all $p$ such that'];
titre2=['$\vert p_i - p_i^0 \vert < \rho \times \vert p_i^0 \vert$'];
titre=[titre1 titre2];
title(titre,'fontsize',24,'interpreter','latex')
set(gca,'fontsize',24);
figure(gcf);
```

E.4.2.3 Temps de réponse du système

Connaissant le principal pôle du système grâce aux valeurs propres, nous sommes assurés que l'élimination de toute perturbation à l'instant t_0 sera régie par l'évolution d'une exponentielle décroissante de la forme $\exp[\alpha(p^0) \cdot (t - t_0)]$ avec $\alpha(p^0) = \max_{1 \leq i \leq n} [Re(\lambda_i(A(p^0)))]$. En conclusion, cette étude permet le dimensionnement du système en fonction de la rapidité souhaitée.

E.5 Etude de cas : détermination de la matrice d'état du LDO

Cette partie détaille le calcul qui permet l'obtention de la matrice d'état du LDO étudié. Le modèle à construire est nécessairement linéaire. Le diagramme (Figure E.3) propose le modèle pour le régulateur LDO. Les étages de puissance et les étages de contrôle sont rassemblés dans la même matrice d'état pour avoir un vecteur d'état unique représentant le système. Les signaux d'erreurs ainsi que la tension de sortie V_{reg} sont considérés comme étant les sorties du système. La tension d'entrée V_{ref} représente la condition externe du système.

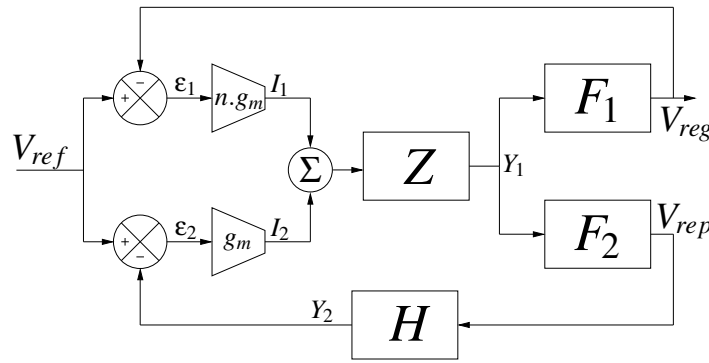


FIGURE E.3: Modèle mathématique du LDO.

On note F_1 et F_2 les fonctions de transfert de la charge de sortie et du réplica respectivement. $H = s/s + \omega_c$ est la fonction de transfert du filtre passe-haut et Z est l'impédance de sortie des deux étages de transconductance $n \cdot g_m$ et g_m . La fonction de transfert de la charge de sortie peut être modélisée de la façon suivante :

$$F_1 = \frac{Gm_{Mp_1} \cdot R_1}{1 + R_1 \cdot C_1 \cdot s} \quad (E.17)$$

avec

$$R_1 = R_{load} || Rds_{Mp_1} \quad (E.18)$$

$$C_1 = C_0 + Cgd_{Mp_1} \cdot \left(1 - \frac{1}{Av_1}\right) + Cdb_{Mp_1} + Cds_{Mp_1} \quad (E.19)$$

$$Av_1 \approx -Gm_{Mp_1} \cdot R_1 \quad (E.20)$$

La fonction de transfert F_2 prenant en compte les paramètres de M_{P_2} et le réplica $R_2 = R_{replica} || Rds_{M_{P_2}}$ est

$$F_2 = \frac{Gm_{M_{P_2}} \cdot R_2}{1 + R_2 \cdot C_2 \cdot s} \quad (E.21)$$

L'impédance Z est donnée par la relation :

$$Z = \frac{R_0}{1 + R_0 \cdot C_{eq} \cdot s} \quad (E.22)$$

avec $C_{eq} = Cgd_{M_{P_1}} \cdot (1 - Av_1) + Cgs_{M_{P_1}} + Cgb_{M_{P_1}} + Cgd_{M_{P_2}} \cdot (1 - Av_2) + Cgs_{M_{P_2}} + Cgb_{M_{P_2}}$

Soit la variable X_1 représentant une variable intermédiaire, la relation E.21 peut être réécrite :

$$Z = \frac{Y_1}{I_1 + I_2} = \frac{R_0 \cdot X_1}{(1 + R_0 \cdot C_{eq} \cdot s) \cdot X_1} \quad (E.23)$$

Il vient en identifiant numérateur et dénominateur :

$$\begin{cases} Y_1 = R_0 \cdot X_1 \\ I_1 + I_2 = \varepsilon_1 \cdot n \cdot g_m + \varepsilon_2 \cdot g_m = (1 + R_0 \cdot C_{eq} \cdot s) \cdot X_1 \end{cases} \quad (E.24)$$

avec $\varepsilon_1 = V_{ref} - V_{reg}$ et $\varepsilon_2 = V_{ref} - Y_2$.

$$\begin{cases} Y_1 = R_0 \cdot X_1 \\ \varepsilon_1 \cdot n \cdot g_m + \varepsilon_2 \cdot g_m = X_1 + R_0 \cdot C_{eq} \cdot s \cdot X_1 \end{cases} \quad (E.25)$$

$$\begin{cases} Y_1 = R_0 \cdot X_1 \\ \varepsilon_1 \cdot n \cdot g_m + \varepsilon_2 \cdot g_m = X_1 + R_0 \cdot C_{eq} \cdot \dot{X}_1 \end{cases} \quad (E.26)$$

$$\begin{cases} Y_1 = R_0 \cdot X_1 \\ \dot{X}_1 = \frac{-V_{reg} \cdot n \cdot g_m}{R_0 \cdot C_{eq}} + \frac{-Y_2 \cdot g_m}{R_0 \cdot C_{eq}} - \frac{X_1}{R_0 \cdot C_{eq}} + \frac{V_{ref} \cdot (n+1) \cdot g_m}{R_0 \cdot C_{eq}} \end{cases} \quad (E.27)$$

Soit la variable X_2 représentant une variable intermédiaire, la relation E.17 peut être réécrite :

$$F_1 = \frac{V_{reg}}{Y_1} = \frac{Gm_{M_{P_1}} \cdot R_1 \cdot X_2}{(1 + R_1 \cdot C_1 \cdot s) \cdot X_2} \quad (E.28)$$

Il vient en identifiant numérateur et dénominateur :

$$\begin{cases} V_{reg} = Gm_{M_{P_1}} \cdot R_1 \cdot X_2 \\ \dot{X}_2 = \frac{Y_1}{R_1 \cdot C_1} - \frac{X_2}{R_1 \cdot C_1} \end{cases} \quad (E.29)$$

Soit la variable X_3 représentant une variable intermédiaire, la relation E.21 peut être réécrite :

$$F_2 = \frac{V_{rep}}{Y_1} = \frac{Gm_{M_{P_2}} \cdot R_2 \cdot X_3}{(1 + R_2 \cdot C_2 \cdot s) \cdot X_3} \quad (E.30)$$

Il vient en identifiant numérateur et dénominateur :

$$\begin{cases} V_{rep} = Gm_{M_{P_2}} \cdot R_2 \cdot X_3 \\ \dot{X}_3 = \frac{Y_1}{R_2 \cdot C_2} - \frac{X_3}{R_2 \cdot C_2} \end{cases} \quad (E.31)$$

Soit la variable X_4 représentant une variable intermédiaire, la relation du filtre passe-haut peut être réécrite :

$$H = \frac{Y_2}{V_{rep}} = \frac{s \cdot X_4}{(s + \omega_c) \cdot X_4} \quad (E.32)$$

Il vient en identifiant numérateur et dénominateur :

$$\begin{cases} Y_2 = \dot{X}_4 \\ \dot{X}_4 = V_{rep} - \omega_c \cdot X_4 \end{cases} \quad (E.33)$$

Pour construire complètement la matrice d'état, on a les relations suivantes :

$$\begin{cases} \dot{X}_1 = -\frac{X_1}{R_0 \cdot C_{eq}} + \frac{-Gm_{M_{P_1}} \cdot R_1 \cdot n \cdot g_m \cdot X_2}{R_0 \cdot C_{eq}} + \frac{-Gm_{M_{P_2}} \cdot R_2 \cdot g_m \cdot X_3}{R_0 \cdot C_{eq}} + \frac{\omega_c \cdot g_m \cdot X_4}{R_0 \cdot C_{eq}} + \frac{V_{ref} \cdot (n+1) \cdot g_m}{R_0 \cdot C_{eq}} \\ \dot{X}_2 = \frac{R_0 \cdot X_1}{R_1 \cdot C_1} - \frac{X_2}{R_1 \cdot C_1} \\ \dot{X}_3 = \frac{R_0 \cdot X_1}{R_2 \cdot C_2} - \frac{X_3}{R_2 \cdot C_2} \\ \dot{X}_4 = Gm_{M_{P_2}} \cdot R_2 \cdot X_3 - \omega_c \cdot X_4 \end{cases} \quad (E.34)$$

Le vecteur d'état X est donc de dimension 4 :

$$X = \begin{bmatrix} X_1 \\ X_2 \\ X_3 \\ X_4 \end{bmatrix} \text{ et } \dot{X} = \begin{bmatrix} \dot{X}_1 \\ \dot{X}_2 \\ \dot{X}_3 \\ \dot{X}_4 \end{bmatrix} \quad (E.35)$$

En utilisant les méthodes expliquées précédemment, la matrice d'état se construit facilement et on obtient la matrice suivante :

$$A = \begin{bmatrix} -\frac{1}{R_0 \cdot C_{eq}} & \frac{-Gm_{M_{P_1}} \cdot R_1 \cdot n \cdot g_m}{R_0 \cdot C_{eq}} & \frac{-Gm_{M_{P_2}} \cdot R_2 \cdot g_m}{R_0 \cdot C_{eq}} & \frac{\omega_c \cdot g_m}{R_0 \cdot C_{eq}} \\ \frac{R_0}{R_1 \cdot C_1} & -\frac{1}{R_1 \cdot C_1} & 0 & 0 \\ \frac{R_0}{R_2 \cdot C_2} & 0 & -\frac{1}{R_2 \cdot C_2} & 0 \\ 0 & 0 & Gm_{M_{P_2}} \cdot R_2 & -\omega_c \end{bmatrix} \quad (E.36)$$

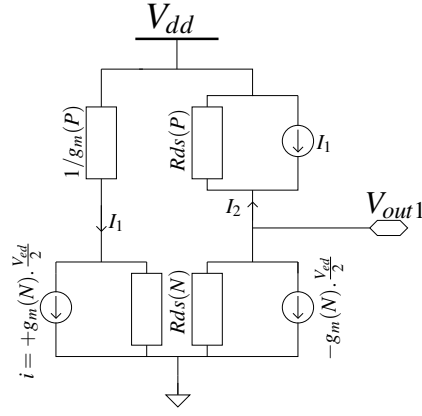


FIGURE F.2: Schéma équivalent d'un étage pour un régime purement différentiel.

Soit I_1 la valeur du courant entrant dans le miroir de courant :

$$I_1 = +g_m(N) \cdot \frac{V_{ed}}{2} \cdot \left[\frac{R_{ds}(N)}{R_{ds}(N) + 1/g_m(P)} \right] \quad (F.2)$$

avec $1/g_m(P) \ll R_{ds}(N)$ donc :

$$I_1 = g_m(N) \cdot \frac{V_{ed}}{2} = i \quad (F.3)$$

Soit V_{out1} la tension de sortie et

$$V_{out1} = (R_{ds}(N) || R_{ds}(P)) \cdot 2 \cdot i \quad (F.4)$$

$$V_{out1} = (R_{ds}(N) || R_{ds}(P)) \cdot g_m(N) \cdot V_{ed} \quad (F.5)$$

On en déduit l'équation en gain de la paire différentielle M_{1a}/M_{1b} et M_{2a}/M_{2b} :

$$V_{out1} = (R_{ds}(M_{1a}) || R_{ds}(M_{3a})) \cdot g_m(M_{1a}) \cdot (V_2 - V_1) \quad (F.6)$$

$$V_{out2} = (R_{ds}(M_{2a}) || R_{ds}(M_{3a})) \cdot g_m(M_{2a}) \cdot (V_4 - V_3) \quad (F.7)$$

donc :

$$V_{out} = V_{out1} + V_{out2} \quad (F.8)$$

$$V_{out} = (R_{ds}(M_{1a}) || R_{ds}(M_{3a})) \cdot g_m(M_{1a}) \cdot (V_2 - V_1) + (R_{ds}(M_{2a}) || R_{ds}(M_{3a})) \cdot g_m(M_{2a}) \cdot (V_4 - V_3) \quad (F.9)$$

avec $Rds(M_{2a}) = n.Rds(M_{1a})$ et $g_m(M_{1a}) = n.g_m(M_{2a})$

$$V_{out} = n \cdot (Rds(M_{1a}) || Rds(M_{3a})) \cdot g_m(M_{2a}) \cdot (V_2 - V_1 + V_4 - V_3) \quad (F.10)$$

L'étage ainsi conçu réalise bien une fonction de sommation des deux entrées différentielles à un coefficient près.

G Conception de la carte de test

Une attention particulière est portée à la conception de cartes de test servant à alimenter des blocs sensibles à l'alimentation. En effet, les performances peuvent être affectées par le dessin de la carte à travers :

- les interférences entre les signaux,
- les interférences électromagnétiques,
- les pertes résistives des lignes,
- parasites inductifs dus aux lignes en cuivre.

La Figure G.1 montre le dessin de la carte avant fabrication réalisée avec le logiciel Eagle en prenant en compte toutes les précautions suivantes. A cause de la puissance mise en jeu dans ces circuits, le placement des différents composants sur la carte est critique pour une conception robuste et fiable.

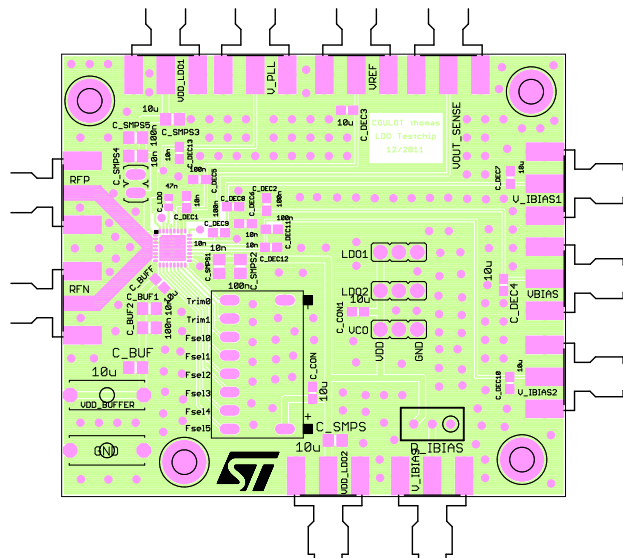


FIGURE G.1: Conception de la carte de test sous Eagle.

Les capacités de découplage :

- le genre de capacité (céramique avec une faible résistance en série) et la distance les séparant de la puce sont les deux principaux critères à prendre en compte.
- les capacités tantales doivent être évitées à cause de leurs grandes résistances en série.
- concernant les boucles en courant, les interférences électromagnétiques seront d'autant plus faibles que les boucles sont petites et séparées les unes des autres par un routage en étoile.

Les capacités de filtrage :

- une capacité de $0.1\mu\text{F}$ doit être le plus proche de la broche V_{ref} afin d'assurer des tensions de référence internes stables et sans bruit,
- pour toutes les tensions d'alimentation, une capacité de $10\mu\text{F}$ et de $0.1\mu\text{F}$ en parallèle doivent être ajoutées le plus proche possible du routage en étoile afin de supprimer les parasites introduits par les connexions entre la carte et les instruments de mesure,
- toutes les capacités de filtrage sont connectées le plus proche possible au plan de masse de la carte.

La capacité de sortie du LDO :

- la capacité de sortie doit être le plus proche du LDO,
- la ligne de connexion doit être la plus directe et la plus courte entre le LDO et la capacité afin de réduire la chute de tension causée par les pertes résistives des lignes.

H Publications / Brevet

- [1] **T. Coulot**, E. Rouat, J.-M. Fournier, E. Lauga-Larroze and F. Hasbani, "*High Power Supply Rejection Low-Dropout Regulator for Ultra-Low-Power Radiofrequency Functions*", IET Electronics Letters, pp. 1117-1118, vol. 47, issue 20, 2011.
- [2] **T. Coulot**, J.-M. Fournier, E. Lauga-Larroze and F. Hasbani, "*Stratégie d'alimentation des Systèmes sur Puce RF très faible consommation*", Journée Nationale du Réseau de Doctorant en Microélectronique, Juin 2012, Marseille, France.
- [3] **T. Coulot**, E. Rouat and F. Hasbani, "*Dispositif intégré de régulation de tension du type à faible tension de déchet*", French Patent FR2976369, Dec. 2012.
- [4] **T. Coulot**, E. Lauga-Larroze, J.-M. Fournier, M. Alamir and F. Hasbani, "*Stability Analysis and Design Procedure of Multiloop Linear LDO Regulators via State Matrix Decomposition*", IEEE Transactions on Power Electronics, pp. 5352-5363, vol. 28, issue 11, Nov. 2013.
- [5] **T. Coulot**, E. Lauga-Larroze, J.-M. Fournier, E. Rouat and F. Hasbani, "*High Power Supply Rejection Wideband Low-Dropout Regulator*", IEEE ECCE Asia, pp. 436-441, June 2013, Melbourne, Australia.
- [6] **T. Coulot**, T. Souvignet, S. Trochut, E. Lauga-Larroze, J.-M. Fournier, E. Rouat, B. Allard and F. Hasbani, "*Fully Integrated Power Management Unit (PMU) Using NMOS Low Dropout Regulators*", IEEE EUROCON, pp. 1445-1452, July 2013, Zagreb, Croatia.
- [7] **T. Coulot**, J.-M. Fournier, E. Lauga-Larroze and F. Hasbani, "*Conception d'un LDO PMOS à forte réjection sur une large bande de fréquence*", Journée Nationale du Réseau de Doctorant en Microélectronique, Juin 2013, Grenoble, France.
- [8] T. Souvignet, **T. Coulot**, Y. David, B. Allard, S. Trochut and T. Di Gilio, "*Black Box Small-Signal Model of PMOS LDO Voltage Regulator*", IEEE IECON, November 2013, Vienna, Austria.

Les principales publications IEEE sont ajoutées à la fin de ce mémoire.

High power supply rejection low-dropout regulator for ultra-low-power radiofrequency functions

T. Coulot, E. Rouat, J.-M. Fournier, E. Lauga and F. Hasbani

A 1.4–3.3 V 5 mA CMOS low-dropout (LDO) linear regulator with a high power supply rejection (PSR) over a large frequency range is presented. An improved circuit topology with a second loop and a replica technique has been implemented in 90 nm CMOS technology. Thanks to a highpass filter included in the replica loop, the mismatch effects between the feedback loops are cancelled and a high PSR is achieved. Complete analysis, design steps and simulation results are presented. The proposed LDO achieves a PSR better than 60 dB up to 100 MHz with a 47 nF output capacitor.

Introduction: Nowadays, voltage conversion and regulation circuits have to be integrated onto radio-frequency (RF) systems on chip (SoC) in order to reduce the application cost, area and complexity of RF transmitters/receivers. Both DC–DC and linear voltage regulator architectures are used in consumer and power management ICs. The linear voltage regulators [1–3] usually drop the battery voltage down to supply the analogue and RF blocks but, owing to the voltage drop and considering the battery lifetime, the linear voltage regulator is not a power-efficient architecture. This is why some circuits use a DC–DC converter followed by an LDO. The major drawback of this architecture is the noise brought by the DC–DC converter, which leads to the need for high power supply rejection (PSR) up to several tens of megahertz for the LDO. The PSR defines the capability of rejecting input supply voltage ripple at the output. Even if it is a very important requirement in LDO design, the conventional LDO suffers from an inherent PSR performance limitation owing to the continuous roll-off of open-loop gain with increasing frequency and limited bandwidth of the error amplifier [2]. In this Letter, a low-voltage LDO regulator is proposed with a wideband high PSR. The LDO architecture is based on a secondary replica loop which includes a highpass filter, allowing a PSR better than 60 dB up to 100 MHz to be reached.

LDO description: Fig. 1a shows the architecture of the linear regulator [1] designed to maintain a low sensitivity to supply noise at high frequencies. A main feedback loop (A_1 and P_5) regulates the output voltage V_{reg} loaded by the load Z_{load} . The second negative feedback loop (A_2 and P_4) is used to increase the PSR at high frequencies, through the scaled down replica load $z_{replica}$. This secondary loop feed forwards the power supply ripple into the LDO's control loop, which counteracts the impact of the supply ripple on the output node. To achieve an optimal supply rejection, the replica voltage V_{rep} and the output voltage V_{reg} have to react in the same manner to the supply noise. To cancel any offset between them, the replica load has to match the specific load features: parasitic capacitance, current–voltage (I–V) behaviour, switching noise generation etc. A mismatch between the replica and the load could lead to a DC PSR degradation up to 50 dB. For example, by modelling the load and the replica by two resistances, a replica variation of $\pm 10\%$ leads to a degradation of PSR at low frequencies, as shown in Fig. 1c. The maximal rejection is reached when the matching is perfect. At high frequencies, the replica feedback loop, which is faster than the main loop, takes the lead in stabilising the LDO and rejecting the spurs of the supply voltage. At high frequencies, only the replica loop works to maintain high PSR. At low frequencies, both loops are running and compete together to stabilise the LDO. Any load mismatch combining to a difference between their gains gives a DC PSR variation. Formally, the PSR transfer function from V_{dd} to V_{reg} is given as

$$S_Y = \frac{V_{reg}}{V_{dd}} = \frac{F_1}{1 + F_2 A_2 + A_1 F_1} \quad (1)$$

where $F_1 = G_{m(P5)} Z_{load}$ and $F_2 = G_{m(P4)} Z_{replica}$ are the transfer functions of the output load and the replica load, respectively, $A_1 = K_1/(1 + T_1 p)$ and $A_2 = K_2/(1 + T_2 p)$ are the transfer functions of the main error amplifier and of the second amplifier, respectively. From (1), the rejection at low frequencies (DC) can be approximated by

$$S_{Y[DC]} \simeq \frac{\rho}{\rho K_1 + K_2} \quad (2)$$

where K_1 and K_2 are the DC gains of the main and second amplifier, respectively, and $\rho = F_1/F_2$ is the mismatch ratio between the load and the replica ($\rho = 1$ means a perfect matching). So, at low frequencies, the PSR varies according to the amplifier gains and is dependent on the matching between the load and the replica, as shown in Fig. 1c.

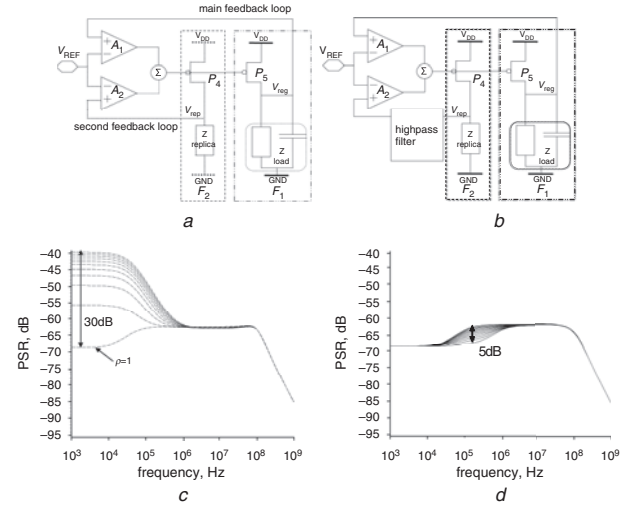


Fig. 1 Proposed LDO regulator without (Fig. 1a) and with (Fig. 1b) filter; impact of replica variation on the PSR without (Fig. 1c) and with (Fig. 1d) filter

Improvement description: To avoid the PSR variation at low frequencies, an improvement of the structure [1] is proposed, as shown in Fig. 1b. A highpass filter is added in the replica feedback loop, which feeds forward the supply ripple and filters the DC offset and low-frequency components of V_{rep} , corresponding to the mismatch between the load and the replica. Thanks to this filter, the PSR stays constant at low frequencies, independent of the matching between the load and the replica, as shown in Fig. 1d, and becomes only dependent on the amplifier gain. Formally, the PSR transfer function from V_{dd} to V_{reg} is given by the new relation:

$$S_Y = \frac{V_{reg}}{V_{dd}} = \frac{F_1}{1 + F_2 A_2 H + A_1 F_1} \quad (3)$$

where $H = p/(p + \omega_c)$ is the transfer function of the highpass filter with a corner frequency $f_c = \omega_c/(2\pi)$. From (3), the rejection at low frequencies (DC) can be approximated by

$$S_{Y[DC]} \simeq \frac{1}{K_1} = C_{st} \quad (4)$$

where K_1 is the DC gain of the main amplifier. So, only the gain of the main loop is taken into account to stabilise the output voltage and to reject the low-frequency supply noise.

Circuit implementation: The whole circuit schematic of the proposed LDO is illustrated in Fig. 2. Two differential pairs connected to a single active load generate an output voltage v_{out} . This output voltage drives the gate node of the pass transistor P_5 and of the replica transistor P_4 .

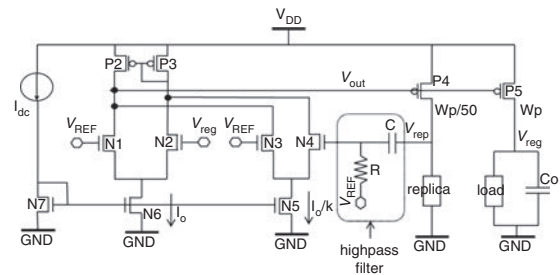


Fig. 2 Transistor-level implementation of LDO

The highpass filter is implemented by a simple RC structure. The corner frequency $f_c = 1/(2\pi RC)$ of the highpass filter is chosen

according to the stability and the desired PSR over the wanted frequency range. To reach $f_c = 40$ kHz, the capacitance value is fixed at 15 pF in this design.

The load of the LDO, integrated on the same chip as the LDO, is an LC oscillator based on a classical double-crossed differential pair and a head-current source to clamp the VCO consumption [4]. The replica load is implemented by a resistance in parallel with a current source-connected transistor biased as the current source of the VCO. An off-chip capacitor of 47 nF is used as capacitive load of the LDO with an equivalent series resistance (ESR) of 15 m Ω and an equivalent series inductance (ESL) of 200 pH.

Simulation results: This LDO is implemented in a 90 nm CMOS technology provided by STMicroelectronics. The total active area of the LDO is 0.0088 mm² (110 \times 80 μ m) and does not include the bandgap circuitry. The LDO output voltage is 1.2 V with a minimum dropout voltage of 200 mV and a maximum output of 5 mA. The LDO operates with a supply voltage ranging from 1.4 to 3.3 V and its quiescent current is 140 μ A for a 3.3 V supply voltage. The LDO stability and its specifications are ensured for all the process corners and for a temperature range from -40 to 100°C .

The simulated line transient response for a supply voltage variation from 1.4 to 1.7 V with a rise time of 10 ns shows a maximum output voltage overshoot of 40 mV. Concerning the simulated load transient response, a maximum overshoot of 25 mV is observed for a 5 mA load current step with rise and fall times of 100 ps.

The simulated PSR for the VCO load is shown in Fig. 3 for a dropout voltage of 200 mV and supply ripple of 20 mV. The PSR reached is better than 60 dB over the whole of the simulated frequency range (from 1 kHz to 100 MHz). For frequencies above 50 MHz, the PSR starts to increase owing to the self-resonance frequency of the off-chip capacitor.

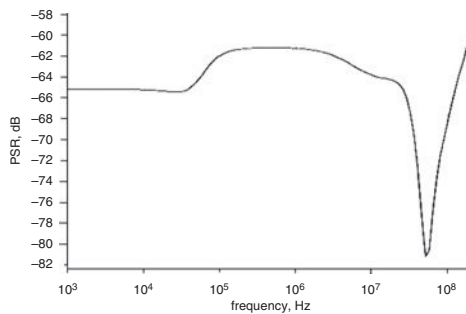


Fig. 3 Simulated PSR of LDO proposed for typical process parameters (dropout voltage of 0.2 V)

Conclusions: A CMOS LDO linear regulator achieving a power-supply rejection better than 60 dB up to 100 MHz with only a 47 nF output capacitor is proposed. These features are obtained using a replica technique including a highpass filter in its second loop. The behaviour of each loop is described as well as their impact on the PSR. Thanks to the highpass filter, the high power supply rejection level is reached whatever the matching between the replica and the output load. To improve the integration capability of this circuit, the use of a specific G_mC filter instead of the RC filter is under investigation.

© The Institution of Engineering and Technology 2011

20 June 2011

doi: 10.1049/el.2011.1772

One or more of the Figures in this Letter are available in colour online.

T. Coulot, E. Rouat and F. Hasbani (*Advanced Analog and RF Design Group, STMicroelectronics, Crolles, France*)

E-mail: thomas.coulot@st.com

J.-M. Fournier and E. Lauga (*IMEP-LAHC, UMR INPG/UJF/US/CNRS, Grenoble, France*)

References

- 1 Alon, E.: 'Replica compensated linear regulators for supply-regulated phase-locked loops', *IEEE J. Solid-State Circuits*, 2006, **41**, pp. 413–424
- 2 El-Nozahi, M., and Amer, A.: 'A 25mA 0.13 μ m CMOS LDO regulator with power-supply rejection better than -56dB up to 10MHz using a feedforward ripple-cancellation technique', *IEEE J. Solid-State Circuits*, 2010, **45**, pp. 565–577
- 3 Ricon, G.A., and Patel, A.P.: 'High power-supply-rejection (PSR) current-mode low-dropout (LDO) regulator', *IEEE Trans. Circuits Syst. II*, 2010, **57**, (1), pp. 868–873
- 4 Hajimiri, A., and Lee, T.H.: 'Design issues in CMOS differential LC oscillators', *IEEE J. Solid-State Circuits*, 1999, **34**, pp. 717–724

12 DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 07.06.11.

30 Priorité :

43 Date de mise à la disposition du public de la
demande : 14.12.12 Bulletin 12/50.

56 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

60 Références à d'autres documents nationaux
apparentés :

71 Demandeur(s) : STMICROELECTRONICS SA Société
anonyme — FR.

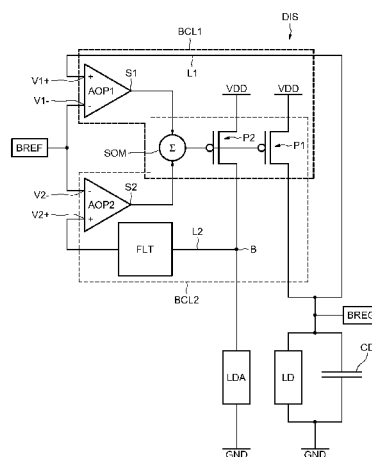
72 Inventeur(s) : COULOT THOMAS, ROUAT EMMA-
NUEL et HASBANI FREDERIC.

73 Titulaire(s) : STMICROELECTRONICS SA Société
anonyme.

74 Mandataire(s) : BUREAU D.A. CASALONGA &
JOSSE.

54 DISPOSITIF INTEGRE DE REGULATION DE TENSION DU TYPE A FAIBLE TENSION DE DECHET.

57 Dispositif intégré de régulation d'une tension du type à faible tension de déchet, comportant une borne d'entrée pour recevoir une tension de référence, une borne de sortie destinée à être connectée à une charge (LD), une première boucle de régulation (BCL1) connectée entre la borne de sortie et la borne d'entrée, et une deuxième boucle de régulation (BCL2) connectée à une charge additionnelle (LDA) et à la borne d'entrée, caractérisé en ce que la deuxième boucle de régulation comprend un filtre passe-haut (FLT).



Stability Analysis and Design Procedure of Multiloop Linear LDO Regulators via State Matrix Decomposition

Thomas Coulot, Estelle Lauga-Larroze, Jean-Michel Fournier, Mazen Alamir, and Frederic Hasbani

Abstract—This paper presents the application of the state space approach to analyze stability and robustness of multiloop linear low dropout (LDO) regulators. Because of the increasing complexity of the LDO architecture, the stability study consisting of an open-loop ac analysis is more and more difficult to apply. In this paper, we demonstrate how a state matrix decomposition of a system allows the stability analysis in closed loop to be performed where the open-loop ac analysis failed. Based on this technique, a methodology of design, a time response criterion, and a Monte Carlo analysis are proposed. The efficiency of this approach is illustrated comparing the classical open-loop ac study with the state matrix decomposition analysis of a complex innovative architecture LDO. The results are verified experimentally.

Index Terms—Multiloop linear low dropout (LDO), stability analysis, state matrix, time-domain approach.

I. INTRODUCTION

NOWADAYS, there is an increasing demand to integrate the whole power management system into a single system-on-chip (SoC) solution in order to reduce both the application cost and the complexity of the SoC [1]. Both dc–dc and linear voltage regulator architectures are used in power management ICs. The linear voltage regulators [2]–[6] usually drop the battery voltage down to supply the analog and RF blocks. But, considering the battery lifetime and due to the voltage drop between the accesses of the linear low dropout (LDO), this solution is not power efficient. A better solution is to use a dc–dc converter to lower the voltage before the LDO. To allow this high level of integration, operating frequencies of these power dc–dc converters

tend to increase leading to higher frequency output ripples. Therefore, the subsequent LDO regulators should provide high power supply rejection (PSR) up to switching frequencies [3] to suppress this switching noise. Moreover, area consumption, quiescent current, dropout voltage, and off-chip components must be as small as possible. Conventional LDOs are not adapted to such requirements. They need a large external capacitor to ensure stability and have a poor PSR at high frequencies (above 300 kHz) especially for realizations in sub-250 nm technologies. The main reasons of this poor PSR can be summarized as follows: 1) the finite output conductance of the pass transistor; 2) the low dc gain of sub-250 nm technologies which requires complex gain stages to achieve satisfactory regulation; and 3) the finite bandwidth of the feedback loop.

This is why new LDO architectures appear in state-of-the-art linear regulators. To improve PSR, new designs [3]–[6] used several loops to cancel power supply ripples via others feed-forward paths. Because of these several loops, the complete study of the stability of these systems cannot be done through the classical open-loop ac study. In [3] and [6], according to the authors, the feed-forward path does not affect the stability of the LDOs and the classical open-loop ac study can be used. In [4] and [5], no stability study is made: the authors explain that the LDO is stable because the feedback path extends the open-loop bandwidth. In all these complex architectures, the multiple loops adding up or overlapping make it hard to define the critical path and to define which loop has to be opened for the ac study. Therefore, to ensure the stability of the full system without any open-loop study, we propose another technique.

Based on time-domain theory, the method of state matrix decomposition was developed in the early 1980s and was put forward by control engineers. This method allows the stability analysis in closed loop to be performed. The state matrix of the system represents the evolution of the system in continuous time. The eigenvalues of the matrix determine the stability of the operating point to small disturbances.

This method is already used with success to analyze the stability of switching converters. For example, in [7]–[9], the positions of the characteristic multipliers of the Jacobean matrix define the stability of the system. But, contrary to the switching converters stability analysis which is done in discrete time, for linear converters it has to be done in continuous time. In this paper, this method is developed to study the stability of complex LDOs, as outlined in Section III.

Using the example of a published complex multiloop LDO [5], we compare the classical open-loop ac study and the new

Manuscript received July 16, 2012; revised September 13, 2012 and December 7, 2012; accepted January 14, 2013. Date of current version May 3, 2013. Recommended for publication by Associate Editor B. Allard.

T. Coulot is with STMicroelectronics, Crolles 38920, France, and also with the Institut de Microélectronique Electromagnétisme et Photonique and the Laboratoire d'Hyperfréquences et de Caractérisation (IMEP-LAHC), UMR INPG/UJF/CNRS 5130, Grenoble 38016, France (e-mail: thomas.coulot@st.com).

E. Lauga-Larroze and J.-M. Fournier are with the Institut de Microélectronique Electromagnétisme et Photonique and the Laboratoire d'Hyperfréquences et de Caractérisation (IMEP-LAHC), UMR INPG/UJF/CNRS 5216, Saint Martin d'Hères 38402, France (e-mail: estelle.lauga@minatec.inpg.fr; fournier@minatec.inpg.fr).

M. Alamir is with the Laboratoire Grenoble Images Parole Signal Automatique (GIPSA-LAB), UMR INPG/UJF/CNRS 5216, Saint Martin d'Hères 38402, France (e-mail: mazen.alamir@grenoble-inp.fr).

F. Hasbani is with STMicroelectronics, Crolles 38920, France (e-mail: frederic.hasbani@st.com).

Color versions of one or more of the figures in this paper are available online at <http://ieeexplore.ieee.org>.

Digital Object Identifier 10.1109/TPEL.2013.2241456

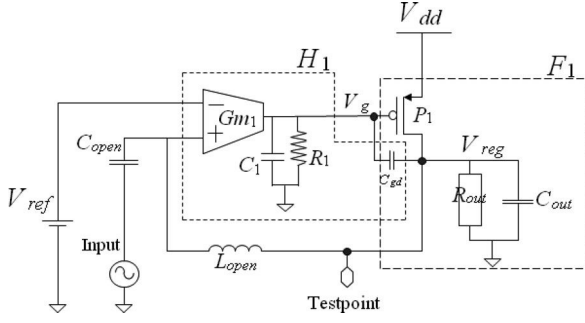


Fig. 1. Open-loop simulation of the LDO ac analysis.

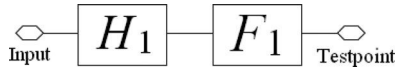


Fig. 2. LDO ac open-loop block diagram.

stability analysis. We show how the state matrix can be calculated for the whole system composed of linear subsystems. We also illustrate how this method can be used in the design procedure of multiloop linear regulators, by identifying the sensitivity of the system stability indicator to the design parameters. We show that this approach leads to a Monte Carlo analysis that defines a robustness criterion.

The paper is organized as follows. In Section II, the main problem addressed in this paper is described and formulated. Section III presents the state space model representation. In Section IV, a comparison of two different analysis studies of a complex LDO regulator is presented. Numerical calculation, analog simulation, and experimental results confirming the efficiency of the developed tool are presented before concluding in Section V.

II. PROBLEM DESCRIPTION

The stability of an LDO regulator is usually studied through an open-loop ac analysis and is based on the phase margin $\varphi_m = \pi + \varphi(f_T)$ with $\varphi(f_T)$ being the phase of the open-loop transfer function (OLTF) at the transition frequency f_T . Usually, the phase margin must be greater than 45° with to respect the constraints of industrial applications [10].

For LDOs with a single-loop architecture, the stability analysis is achieved by opening the loop in the feedback path [11] and by adding an ac-blocking inductor and a dc-blocking capacitor (respectively, L_{open} and C_{open}) as is shown in Fig. 1.

In Fig. 1, Gm_1 , R_1 , and C_1 represent the simplified forms of the small-signal error amplifier. Its output voltage V_g drives the PMOS P_1 which regulates the output voltage V_{reg} . A high-frequency transistor model has been used. R_{out} and C_{out} are, respectively, the output load and the output capacitance. The Miller capacitor C_{gd} increases the effective P_1 input capacitance by the gain of the pass transistor.

The simplified structure of the open-loop circuit is shown in Fig. 2 in which H_1 is the transfer function (TF) of the error amplifier and F_1 the TF of the output load. These TF [6] can be

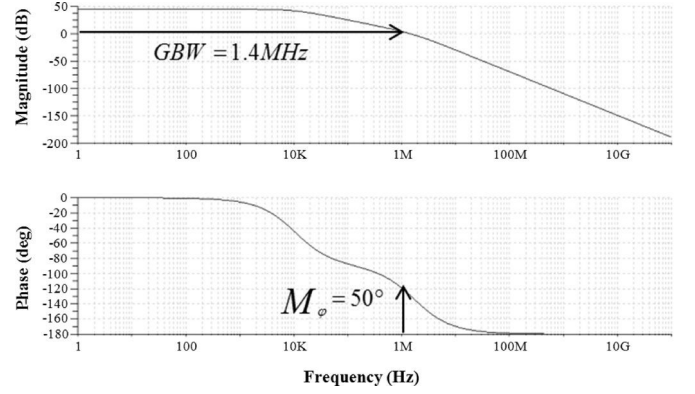
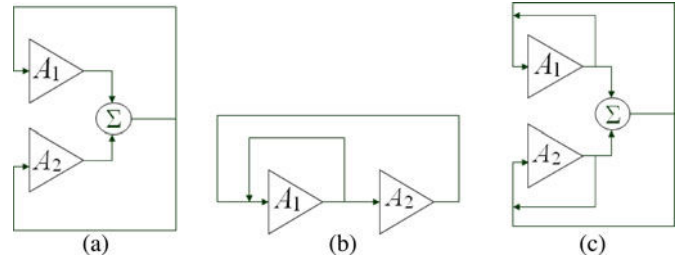
Fig. 3. Open-loop gain and phase frequency responses of this LDO ($C_{out} = 10$ nF, $R_{out} = 1$ k Ω , $R_1 = 8$ k Ω , $C_1 = 4$ pF, $Gm_1 = 2$ mS, $Gm_p = 15$ mS, and $R_{ds_p} = 3$ k Ω).

Fig. 4. (a) Structure with two loops which add up. (b) Structure with a loop integrated in a second loop. (c) Structure using a mix of (a) and (b).

written as

$$H_1 = \frac{Gm_1 \cdot R_1}{1 + R_1 \cdot [C_1 + C_{gs} + C_{gb} + C_{gd} \cdot (1 - A_v)] \cdot s} \quad (1)$$

and

$$F_1 = \frac{(R_{out} || R_{ds_p}) \cdot Gm_p}{1 + (R_{out} || R_{ds_p}) \cdot C_{out} \cdot s} \quad (2)$$

with Gm_p and R_{ds_p} being, respectively, the transconductance and the small signal drain-to-source resistance of P_1 . A_v is the voltage gain of the pass transistor P_1 and

$$C = C_{gd} \cdot (1 - 1/A_v) + C_{out} + C_{db} + C_{ds} \quad (3)$$

$$A_v \approx -Gm_p \cdot (R_{out} || R_{ds_p}) \quad (4)$$

where C_{gs} , C_{gd} , C_{ds} , C_{db} , and C_{gb} are the oxide capacitances of the PMOS P_1 .

In this case, where the single loop is opened, the Bode diagram of the OLTF allows the study of the phase margin and the gain margin.

The simulated OLTF of the LDO is shown in Fig. 3. For the standard load condition ($R_{out} = 1$ k Ω), the LDO achieves a phase margin (M_φ) of 50° with a gain bandwidth (GBW) of 1.4 MHz.

In order to improve the performances of conventional LDOs, new architectures have been proposed in [3]–[6]. These architectures using several loops present a better PSR or increase the GBW product. Several new architectures are shown in Fig. 4.

In these different cases, the stability analysis of multiloop systems is not obvious [12]–[15]. By using the conventional

stability analysis, the question becomes which feedback loop should be opened and studied to guarantee the stability of the whole system? Should all the feedback loops be opened? If one loop is unstable, is the whole system unstable? The proposed method based on the state space model representation [16] allows getting around these questions through making a stability analysis in closed loop. This method, taking into account all the loops of the system, is described in the next section.

III. STATE SPACE MODEL REPRESENTATION

In order to achieve the stability analysis, the classical approach is replaced by the following state matrix decomposition method.

A. State Matrix and Stability

The system has to be described by a strictly proper TF

$$G(s) = \frac{Y(s)}{U(s)} = \frac{b_0 + b_1.s + \dots + b_m.s^m}{a_0 + a_1.s + \dots + a_{n-1}.s^{n-1} + s^n} \quad (5)$$

where $m < n$, $Y(s) = \mathcal{L}[y(t)]$, $U(s) = \mathcal{L}[u(t)]$, \mathcal{L} is the symbol of the Laplace transform; $y(t)$ and $u(t)$ are the output and the input signals, respectively. We determine the state variable x in the form

$$\begin{aligned} \dot{x}_1 &= x_2 \\ \dot{x}_2 &= x_3 \\ &\dots \\ \dot{x}_{n-1} &= x_n \\ \dot{x}_n &= u - (a_0.x_1 + a_1.x_2 + \dots + a_{n-1}.x_n) \\ y &= b_0.x_1 + b_1.x_2 + \dots + b_m.x_{m+1}. \end{aligned} \quad (6)$$

The n -dimensional state space model is obtained in the form

$$\begin{aligned} \dot{X} &= A.X + B.U \\ Y &= C.X \end{aligned} \quad (7)$$

where

$$X = \begin{bmatrix} x_1 \\ x_2 \\ \vdots \\ x_n \end{bmatrix}$$

U , and Y are scalars and A , B , and C are matrices with

$$A = \begin{bmatrix} 0 & 1 & 0 & \dots & 0 & 0 \\ 0 & 0 & 1 & \dots & 0 & 0 \\ \dots & \dots & \dots & \dots & \dots & \dots \\ 0 & 0 & 0 & \dots & 1 & 0 \\ 0 & 0 & 0 & \dots & 0 & 1 \\ -a_0 & -a_1 & -a_2 & \dots & -a_{n-2} & -a_{n-1} \end{bmatrix} \quad (8)$$

$$B = \begin{bmatrix} 0 \\ 0 \\ \vdots \\ 0 \\ 0 \\ 1 \end{bmatrix} \text{ and } C = \begin{bmatrix} b_0 & b_1 & \dots & b_{m-2} & b_{m-1} \end{bmatrix}. \quad (9)$$

The characteristic polynomial of the closed-loop system takes the form

$$P(\lambda) = \det(\lambda.I - A) \quad (10)$$

where I denotes the $n \times n$ identity matrix, scalar λ is an eigenvalue of A and $P(\lambda)$ is the characteristic polynomial in λ .

Once this characteristic polynomial is obtained, the stability of the system can be evaluated thanks to the asymptotic stability criterion *the system is asymptotically stable if and only if all the roots (eigenvalues) of $P(\lambda) = 0$ have negative real parts*

$$\forall \lambda_i, \operatorname{Re}[\lambda_i] < 0. \quad (11)$$

B. Parameter-Variation Sensitivity

Parameter-variation effects receive considerable attention in system analysis and design. Indeed, a variation can drive the system toward instability. This study allows the identification of the most sensitive parameters of the system in terms of stability. Knowing the influence of various parameters on the critical eigenvalue allows a better understanding of the stability and consequently can be taking into account in the sizing of the system.

C. Monte Carlo Analysis

The Monte Carlo analysis aims to determine an admissible set of random parameter variations that keep the stability of the system.

Considering a parameter-dependent linear system given in state space form

$$\dot{X} = A(p).X \quad (12)$$

where $A(p)$ is an $n \times n$ dimensional state matrix with real p parameters

$$A(p) \in \mathbb{R}^{n \times n}; p \in \mathbb{R}^{n_p}. \quad (13)$$

Assume that for a nominal parameter value p^0 , one has

$$\alpha(p^0) = \max_{1 \leq i \leq n} [\operatorname{Re}(\lambda_i(A(p^0)))] < 0 \quad (14)$$

where $\lambda_i(A)$ s stand for the eigenvalues of $A(p)$.

Let $P \subset \mathbb{R}^{n_p}$ be a set of parameter values that contains the nominal value p^0 , the aforementioned condition is satisfied if the following inequality holds

$$\max_{p \in P} \alpha(p) < 0. \quad (15)$$

In the remainder of this paper, we investigate subsets P that are hypercubes in \mathbb{R}^{n_p} and centered at p^0 , namely

$$\mathbf{P} = \left\{ p = (p_1, \dots, p_{n_p})^T \text{ such as } |p_i - p_i^0| \leq \rho_i \cdot |p_i^0| \right\} \quad (16)$$

where ρ_i represents the relative error on the component number i of the parameter vector p_i .

In this case, if (15) is satisfied, then we may conclude that *the asymptotic stability is guaranteed for all (even simultaneous) parameter relative uncertainties of ρ_i on p_i .*

The use of different ρ_i enables sensitivity to be investigated. More precisely, smaller ρ_i s would be used for highly sensitive parameters while wider values may be used for less sensitive ones. However, it is worth mentioning that many different (no contradictory) conclusions can be obtained by adopting different definitions of the set P as these are only sufficient but not necessary conditions for asymptotic stability.

So, this notion helps to estimate the robustness capacity of the system to process variations and it allows the qualitative behavior of the system to be guaranteed even if the model used is imperfect.

D. Time Response Criterion

The previous analysis determines if a system is stable, just oscillating, or unstable according to parameter-variation effects. But, it does not allow evaluation of its rapidity to eliminate the effect of a disturbance. This is why we introduce the notion of rapidity which corresponds to the settling time of the steady-state regime.

Knowing the main pole of the system via its eigenvalues, the time response t_0 can be determined to be governed by the evolution of a decreasing exponential of the shape $\exp[\max_{1 \leq i \leq n} [Re(\lambda_i(A(p^0)))].(t - t_0)]$. In conclusion, this study allows sizing the design according to the desired system rapidity.

IV. CASE STUDY

Once the state matrix decomposition approach is presented, we propose its implementation through a complex multiloop LDO. This complex architecture needs the time-domain approach compared to the open-loop ac study technique. Note that to lighten this stability study, the structure does not take into account the inductance of the bond wire used to interface with the external capacitor C_{out} .

The structure is a complex innovative LDO [5] where two loops are adding up. It has been designed to maintain a low sensitivity to supply noise at high frequencies. The architecture is shown in Fig. 5.

A main feedback loop (A_1 and P_5) regulates the output voltage V_{reg} on the main load Z_{load} . The second feedback loop (A_2 and P_4) is used to increase the PSR at high frequencies, through the scaled-down replica load Z_{replica} . This second loop feeds forward the power supply ripples into the LDO's control loop which counteracts these supply ripples on the output voltage V_{reg} via the voltage V_{rep} .

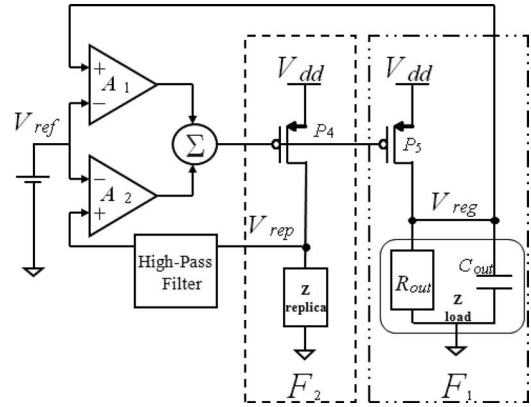


Fig. 5. Structure of the compensated replica LDO [5].

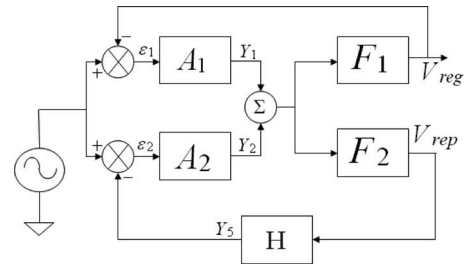


Fig. 6. Block diagram of the compensated replica LDO.

At high frequencies, the replica feedback loop, which is faster than the main loop, takes the lead in stabilizing the LDO and rejecting the spurs generated from the supply voltage. So, only the replica loop ensures a high PSR at high frequencies. At low frequencies, the two loops are running and both of them ensure the stability of the output voltage V_{reg} .

A high-pass filter [17] is included in the replica feedback loop in order to filter the dc offset (which corresponds to the mismatch between the load and the replica) and the low-frequency components of V_{rep} . Thanks to this filter, the PSR stays constant at low frequencies, independently of the matching between the load and the replica.

The block diagram of the LDO is shown in Fig. 6 in which F_1 and F_2 are the TF of the output load and the replica circuit, respectively (see Fig. 5)

$$F_1 = \frac{(R_{\text{out}} || R_{\text{ds}P_5}) \cdot Gm_{P_5}}{1 + (R_{\text{out}} || R_{\text{ds}P_5}) \cdot C_1 \cdot s} \quad (17)$$

$$F_2 = \frac{(R_{\text{rep}} || R_{\text{ds}P_4}).Gm_{P_4}}{1 + (R_{\text{rep}} || R_{\text{ds}P_4}).C_2.s} \quad (18)$$

with

$$C_1 = C_{gd_{P_5}} \cdot (1 - 1/A_{v5}) + C_{out} + C_{db_{P_5}} + C_{ds_{P_5}} \quad (19)$$

$$C_2 = C_{gd_{P_4}} \cdot (1 - 1/A_{v4}) + C_{db_{P_4}} + C_{ds_{P_4}} \quad (20)$$

where C_{gs} , C_{gd} , C_{ds} , C_{db} , and C_{gb} are the oxide capacitances and A_{v4} and A_{v5} are the voltage gain of the common source stages of P_4 and P_5 , respectively.

$A_1 = K_1 / [(1 + T_1.s) \cdot (1 + T_{11}.s)]$ and $A_2 = K_2 / [(1 + T_2.s) \cdot (1 + T_{22}.s)]$ are the TF of the main error amplifier A_1 and of the

TABLE I
PARAMETERS OF THE LDO

Parameter	Value	Parameter	Value
K_1	200	Gm_{P_5}	13.73mS
T_1	0.4μs	Rds_{P_5}	3962Ω
T_{11}	0.63ns	Cgs_{P_5}	1.02pF
K_2	20	Cgd_{P_5}	500fF
T_2	0.3μs	Cgb_{P_5}	305fF
T_{22}	0.63ns	Cdb_{P_5}	106fF
Gm_{P_4}	278μS	Cds_{P_5}	106fF
Rds_{P_4}	183KΩ	R_{rep}	50KΩ
Cgs_{P_4}	20.5fF	f_c	40KHz
Cgd_{P_4}	10fF	R_{out}	1269Ω
Cgb_{P_4}	6.1fF	C_{out}	2nF
Cdb_{P_4}	2.1fF	V_{ref}	1.2V
Cds_{P_4}	2.1fF	V_{dd}	1.45V

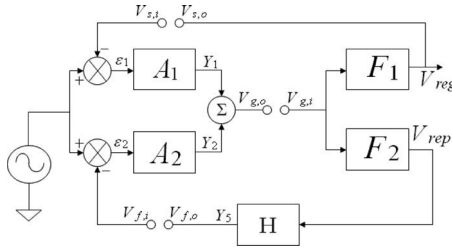


Fig. 7. Open-loop equivalent circuit of the compensated replica LDO.

secondary amplifier A_2 , respectively, with K_1 and K_2 the dc gains and T_1, T_{11}, T_2 , and T_{22} the time constants corresponding to the poles in the two amplifiers.

$H = s/(s + \omega_c)$ is the TF of the high-pass filter with a corner frequency $f_c = \omega_c/(2 \times \pi)$.

The values of the main parameters (PMOS P_4 and PMOS P_5) have been extracted with the ELDO simulator, from a circuit designed in a 90 nm technology from STMicroelectronics and simulated for a maximum load current of 5 mA. The different parameters taken into account are shown in Table I.

A. Study I: Classical Open-Loop AC Study

The system is composed of two closed loops which add up and so make a third closed global loop. To calculate the classical phase margins, through an open-loop ac study, only one loop robustness can be studied at once. Fig. 7 shows the open-loop circuit diagram of the compensated replica LDO.

1) *OLTF and Bode Diagram*: To study the robustness of the first loop (the slower one for example), the feedback path of this loop is opened and the $OLTF_{slow}$ TF is calculated. It is given by

$$OLTF_{slow} = \frac{V_{s,o}}{V_{s,i}} = \frac{A_1 \cdot F_1}{1 + H \cdot A_2 \cdot F_2}. \quad (21)$$

The simulated $OLTF_{slow}$ is shown in Fig. 8. This OLTF achieves a phase margin of 87° .

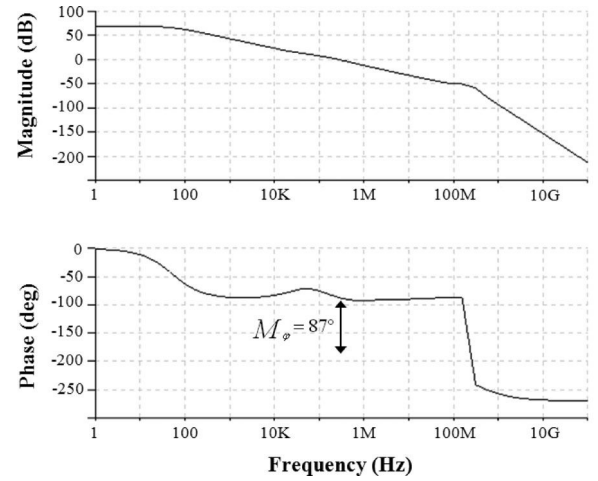


Fig. 8. Bode diagram of the slower loop $OLTF_{slow}$.

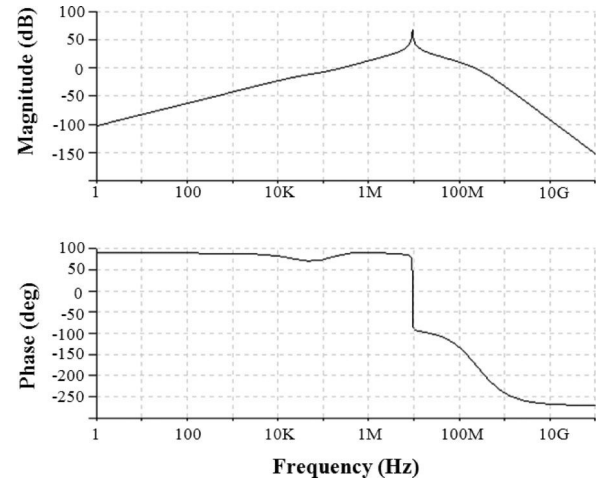


Fig. 9. $OLTF_{fast}$ behavior of the open-loop gain and phase frequency response.

To study the robustness of the second loop (the faster one), the slower loop is closed and the other feedback path is open. The TF of the $OLTF_{fast}$ given by

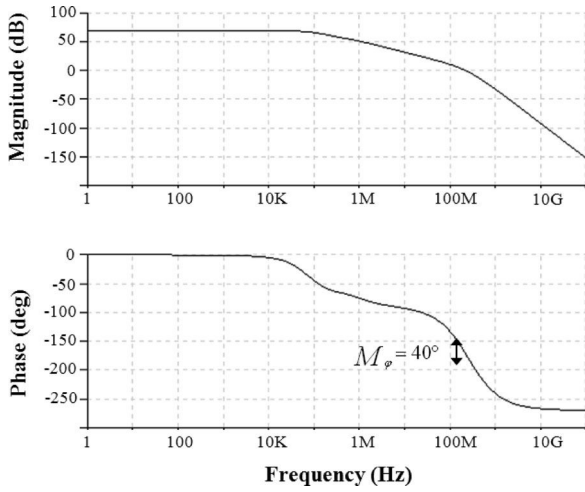
$$OLTF_{fast} = \frac{V_{f,o}}{V_{f,i}} = \frac{H \cdot A_2 \cdot F_2}{1 + A_1 \cdot F_1}. \quad (22)$$

The $OLTF_{fast}$ behavior of the open-loop gain and phase frequency response is shown in Fig. 9. As can be seen, the frequency response is not suitable for the interpretation of stability using the classical concept of phase margin because they include a resonance involving two spot frequencies corresponding to unity gain of the $OLTF_{fast}$.

To study the robustness of the global loop, we open the system at the output of the summing and we calculate the TF $OLTF_{global}$ given by

$$OLTF_{global} = \frac{V_{g,o}}{V_{g,i}} = H \cdot A_2 \cdot F_2 + A_1 \cdot F_1. \quad (23)$$

The simulated OLTF of the global loop is shown in Fig. 10. This OLTF achieves a phase margin of 40° .

Fig. 10. Bode diagram of $OLTF_{global}$.

2) *Limit of the Classical Open-Loop AC Analysis for the Multiloop Regulators:* Regarding the results obtained by these open-loop ac analyses, the three Bode diagrams, we can conclude that the robustness is verified? Indeed, we cannot correctly interpret the fast loop. Moreover, if we suppose that the feedback voltages are applied to comparators with an error ($\overline{V_{reg}} = (1 + \varepsilon_1) \cdot V_{reg}$ and $\overline{V_{rep}} = (1 + \varepsilon_2) \cdot V_{rep}$), we consider that there is one uncertainty on one loop at a time. However, it is more realistic to consider simultaneous uncertainties on the two loops. In conclusion, the use of the classical concept of phase margin does not allow the robustness of multiloop systems to be directly, clearly, and correctly studied. So, the only alternative is to analyze the stability of the overall circuit using state matrix decomposition method.

B. Study II: New Stability Analysis via State Matrix Decomposition

The method applied follows the next steps: first describing the closed-loop overall circuit by its TF, then determining the state matrix in order to compute the eigenvalues. Once the eigenvalues are found and the stability ensured, a study of different parameters variations highlights the critical parameters of the system. To conclude the study, the robustness of variation process is analyzed.

1) *State Matrix and Stability Analysis:* The state matrix is extracted once the TF is determined. The demonstration is detailed in the Appendix. The resulting state matrix is given as A shown at the bottom of the page, where $K_3 = Gm_{P_5} \cdot (R_{out} \parallel R_{dsP_5})$, $T_3 = C_1 \cdot (R_{out} \parallel R_{dsP_5})$, $K_4 = Gm_{P_4} \cdot (R_{rep} \parallel R_{dsP_4})$, and $T_4 = C_2 \cdot (R_{rep} \parallel R_{dsP_4})$.

These parameters are used to calculate the eigenvalues

$$\begin{aligned} EV1 &= -1.57 \times 10^9 \\ EV2 &= -3.83 \times 10^8 + 7.64 \times 10^9 \cdot j \\ EV3 &= -3.83 \times 10^8 - 7.64 \times 10^9 \cdot j \\ EV4 &= -2.48 \times 10^9 \\ EV5 &= -3.91 \times 10^6 + 1.1 \times 10^6 \cdot j \\ EV6 &= -3.91 \times 10^6 - 1.1 \times 10^6 \cdot j \\ EV7 &= -2.41 \times 10^5. \end{aligned} \quad (24)$$

The real parts of the eigenvalues obtained are all negative, and then we can conclude that the studied system is stable. Thanks to this time-domain approach, the stability of this regulator is guaranteed.

2) *Parameter-Variation Sensitivity:* The purpose of this study is to determine the critical design parameters on stability in order to find the best tradeoff for the design optimization. The influence of a variation of each parameter on the critical eigenvalue is observed. The critical eigenvalue is the eigenvalue having the biggest real part. Two critical design parameters are identified: the dc gain K_2 and the output capacitance C_{out} .

Fig. 11 illustrates the variations of the real part of the critical eigenvalue according to the dc gain K_2 . The other parameters are fixed and are those of the Table I.

As shown in Fig. 11, when $K_2 > 95$, the real part of the critical eigenvalue becomes positive, then the system becomes unstable.

Once this design parameter is identified K_2 , and its maximum value is determined ($K_2 < 95$), its optimum value can be defined. Knowing that the parameter K_2 contributes to enter into the calculation of A_2 ; therefore, it impacts the PSR. The PSR of the system is given by

$$PSR = \frac{V_{dd}}{V_{reg}} = \frac{F_1}{1 + F_1 \cdot A_1 + F_2 \cdot H \cdot A_2}. \quad (25)$$

$$A = \begin{bmatrix} 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ -\frac{1}{T_1 \cdot T_{11}} & -\frac{T_1 + T_{11}}{T_1 \cdot T_{11}} & 0 & 0 & -\frac{K_3}{T_1 \cdot T_{11}} & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & -\frac{1}{T_2 \cdot T_{22}} & -\frac{T_2 + T_{22}}{T_2 \cdot T_{22}} & 0 & -\frac{K_4}{T_2 \cdot T_{22}} & \frac{\omega_c}{T_2 \cdot T_{22}} \\ \frac{K_1}{T_3} & 0 & \frac{K_2}{T_3} & 0 & -\frac{1}{T_3} & 0 & 0 \\ \frac{K_1}{T_4} & 0 & \frac{K_2}{T_4} & 0 & 0 & -\frac{1}{T_4} & 0 \\ 0 & 0 & 0 & 0 & 0 & K_4 & -\omega_c \end{bmatrix}$$

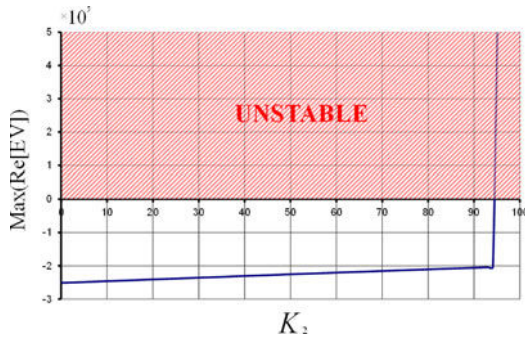
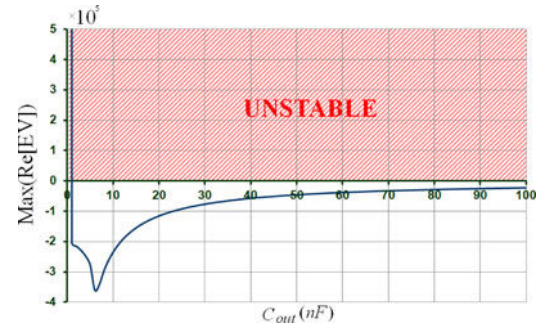
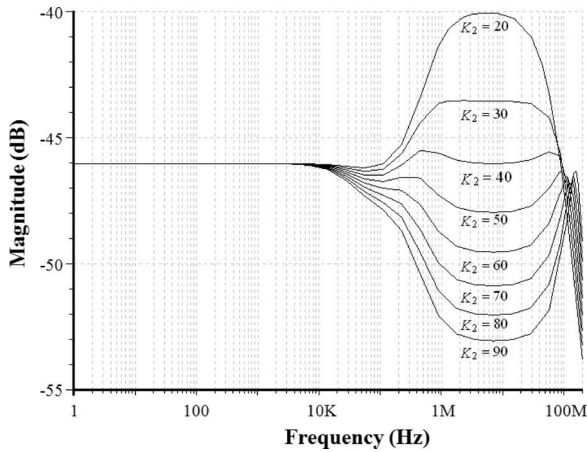
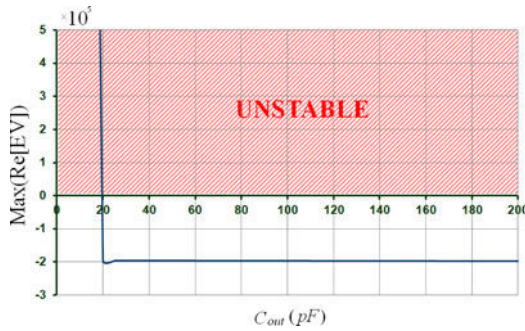
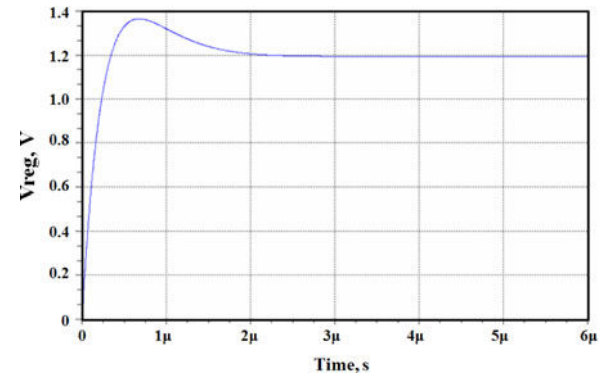
Fig. 11. Sensitivity of critical eigenvalue to K_2 parameter with $C_{out} = 2$ nF.Fig. 14. Sensitivity of critical eigenvalue to C_{out} parameter.Fig. 12. PSR variations according to K_2 parameter.Fig. 13. Sensitivity of critical eigenvalue to C_{out} parameter with $K_2 = 70$.

Fig. 12 shows the variation of the PSR according to the dc gain K_2 value varying between 20 and 90. If the LDO must have an PSR of -50 dB, K_2 is chosen equal to 70.

The same kind of study is done concerning the output capacitance C_{out} . Fig. 13 illustrates the variation of the real part of the critical eigenvalue according to C_{out} . To ensure the stability of the system, C_{out} must be greater than 20 pF.

The eigenvalues study allows the identification of the most critical design parameters and then allows a design optimization ensuring the system stability. The other advantage of this approach is to determine the time response of the system.

3) *Time Response Analysis*: The time response t_0 of the steady-state regime will be governed by the evolution of a decreasing exponential of the shape $\exp[\alpha \cdot (t - t_0)]$ with $\alpha =$

Fig. 15. Step response of the system ($V_{ref} = 1.2$ V).

$\max[Re(EV)]$. We can optimize the design by choosing the value of the output capacitance so that the system is the fastest knowing that, according to Fig. 13, this capacitance has to be bigger than 20 pF to ensure the stability. Fig. 14 illustrates the variation of the critical eigenvalue according to this capacitance C_{out} . As observed, the system will be the fastest when $C_{out} = 6$ nF.

For this architecture, according to the Fig. 14, the maximum real part obtained is $\alpha = -3.5 \times 10^5$ with a 6 nF capacitance. The characteristic time constant of the decreasing exponential can be compute as $\tau_c = |\frac{1}{\alpha}| = 2.9 \mu s$.

Fig. 15 corresponds to the compartmental startup transient simulation when the reference voltage V_{ref} changes from 0 to 1.2 V with a rise time of 100 ps. We consider that the small and the large signal model are equivalent because all the subsystems are linear. As expected, the simulation illustrated in Fig. 15 shows the V_{reg} voltage stabilized in 3 μs .

4) *Monte Carlo Analysis*: The critical design parameters are studied through a Monte Carlo analysis to find the best tradeoff for the design optimization. Monte Carlo analysis consists of isolating a certain number of key variables of the design and to allocate to each a probability distribution.

For each of these factors, a large number of random editions are made in the definite probability distributions defined, to find the probability of occurrence of the result. The influence of simultaneous variations of all parameters on the eigenvalues is observed.

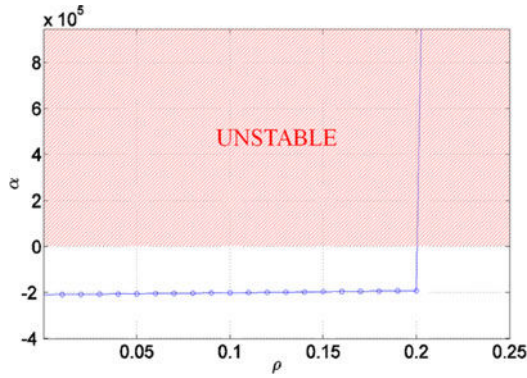


Fig. 16. Largest real part for all parameters such that $|p_i - p_i^0| < \rho \times |p_i^0|$.

Fig. 16 illustrates the variation of the real part of the critical eigenvalue α according to the parameter relative uncertainties ρ .

As observed, when $\rho > 20\%$, the real part of the critical eigenvalue becomes positive and the system unstable. This robustness analysis ensures the system stability while the variation for each of these parameters is lower than 20%.

The eigenvalue study allows the identification of the more critical design parameters and then the design optimization ensuring the system stability.

Contrary to the ac open-loop method, this approach allows a complete stability analysis, the highlighting of the critical design parameters, a design procedure, and a robustness analysis.

C. Application of This Method by Using a Classical Design Flow

In the previous part, the state matrix is extracted from the transfer analytical functions that are obtained by an analytical analysis of the circuit. This method can be very tedious in the case of complex circuits.

Indeed, in multiloop LDOs, obtaining the TF mathematically is the biggest challenge rather than using the state space method. Moreover, many parasitic poles and zeros have been ignored in the TF and these parasitic poles and zeros can have an impact on the stability issues and phase margin. Finally, during an optimization step, the operation condition changes according to optimum parameters. Thus, all the parameters of the system must be extracted every time the operation condition changes.

To overcome the drawbacks of a previously reported analytical method, we introduce a systematic simulatable method which can be integrated in a transistor-level design flow. Indeed, the eigenvalue data are obtained by linearizing the system for an operating bias point and by outputting information about a numerical circuit matrix description. These data can be analyzed by the eigenvalue QZ algorithm [18], [19]. This algorithm takes into account all the parasitic components. It allows the re-simulation again very easily without having to worry about extracting parameters. Furthermore, we can have access to critical eigenvalue variations during an optimization or a Monte Carlo analysis without the need for knowing the analytical expression of the TF.

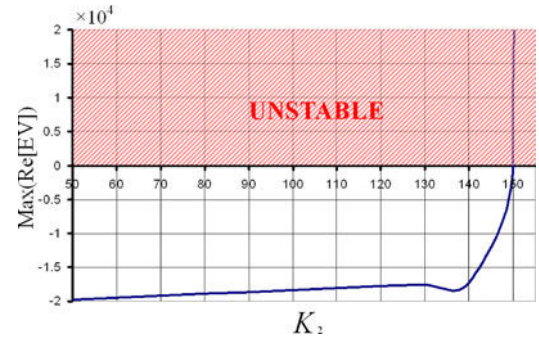


Fig. 17. Sensitivity of critical eigenvalue to K_2 parameter with $C_{out} = 2$ nF.

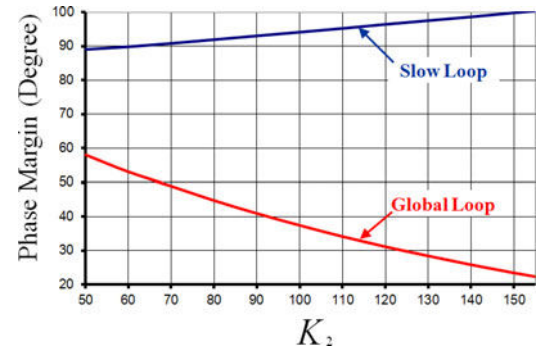


Fig. 18. Sensitivity of the phase margins to K_2 parameter with $C_{out} = 2$ nF.

We apply this systematic numerical method to the previous example with the schematic of the Fig. 5 and with the parameters of the Table I. The QZ algorithm gives the next eigenvalues

$$\begin{aligned}
 EV1 &= -1.76 \times 10^9 \\
 EV2 &= -5.79 \times 10^7 + 1.31 \times 10^8 .j \\
 EV3 &= -5.79 \times 10^7 - 1.31 \times 10^8 .j \\
 EV4 &= -4.77 \times 10^8 \\
 EV5 &= -4.18 \times 10^5 + 1.94 \times 10^5 .j \\
 EV6 &= -4.18 \times 10^5 - 1.94 \times 10^5 .j \\
 EV7 &= -1.93 \times 10^4.
 \end{aligned} \tag{26}$$

The results obtained are not strictly the same as those calculated previously because of the approximations used to obtain the state matrix (simplified TF for the amplifier A_1 and A_2 including only two poles without any feed-forward zeros) compared to the complex transistor models used in the simulator. The previous analyses (parameter-variation sensitivity and Monte Carlo analysis) can be realized. For example, Fig. 17 illustrates the variations of the real part of the critical eigenvalue according to the dc gain K_2 . The real part of the critical eigenvalue becomes positive when $K_2 > 150$; then the system becomes unstable.

If we use the classical open-loop ac method and we calculate the phase margin of the slow loop and the global loop according to the dc gain K_2 , we obtain the results shown in Fig. 18.

As shown in this figure, the phase margin is $>20^\circ$ for $K_2 \leq 150$ whereas the system is unstable for $K_2 = 150$

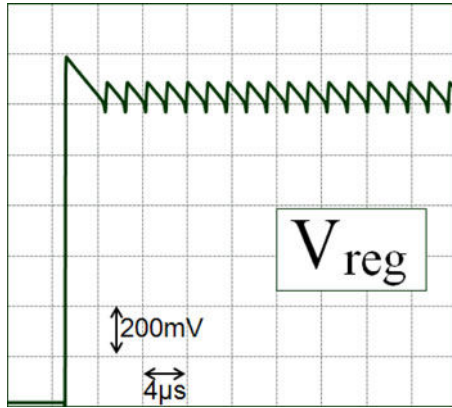


Fig. 19. Simulation of the step response with only an integrated decoupling capacitance of 10 pF.

according to Fig. 17. In addition, a transient simulation validates that the system is unstable for $K_2 = 150$. This proves that the use of the classical concept of phase margin does not allow us to study correctly the stability of multiloop systems. So, the only alternative is to analyze the stability of the overall circuit using the state matrix decomposition method.

D. Experimental Validation

To verify the validity of our stability analysis, a multiloop LDO regulator is built and tested. All the circuit parameters for the LDO are the same as those for computation and simulation in Table I. An output capacitance of 2 nF is used to stabilize the system and to achieve a high PSR for a wide range of frequencies. An integrated decoupling capacitance of 60 pF has been added in order to assure the LDO functioning.

Performing a step response or a load transient test of a dynamical system and observing the parameters of the regulation trajectory is the best way to quantify the stability degree of an LDO and its ability to reach one stationary state when starting from another. Indeed, system stability performance may be specified in terms of overshoot, damping ratio, and settling time describing time-dependence of the response.

To validate the deduced stability region of the previous stability analysis, these tests are done with different values of output capacitance: with a 10 pF integrated decoupling capacitance (only simulation), with a 60 pF integrated decoupling capacitance (simulation and measure), and with the 60 pF integrated decoupling capacitance and the 2 nF external capacitance (simulation and measure).

A step response simulation was performed with an integrated decoupling capacitance of 10 pF (instead of the 20 pF capacitance needed to ensure the stability of the system). Fig. 19 shows the simulation result when a 1.2 V step input is performed. It validates that the LDO is unstable for a step response simulation with an integrated decoupling capacitance of 10 pF.

The same test is performed with the integrated decoupling capacitance of 60 pF to stabilize the system. Fig. 20 shows the simulation (a) and experimental (b) results. The time response shows that the LDO is stable but it comes closer to its instability

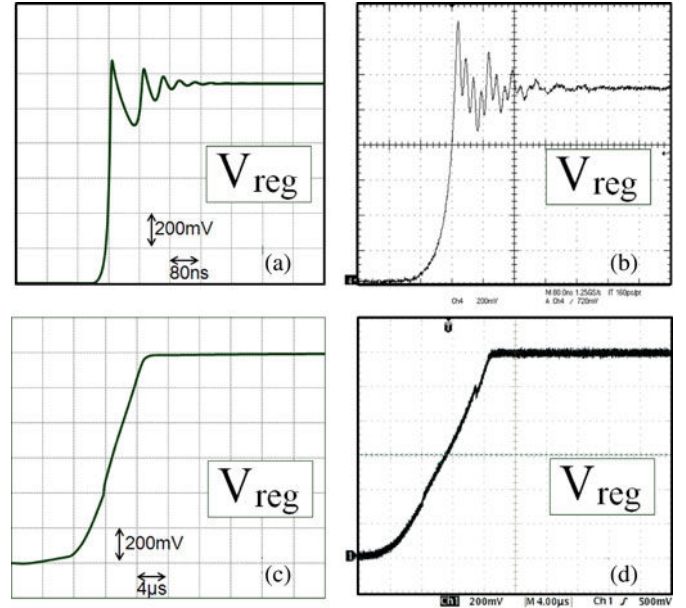


Fig. 20. Step response simulation (a) and measurement (b) with only the integrated decoupling capacitance of 60 pF. Step response simulation (c) and measurement (d) with the 2 nF external output capacitance.

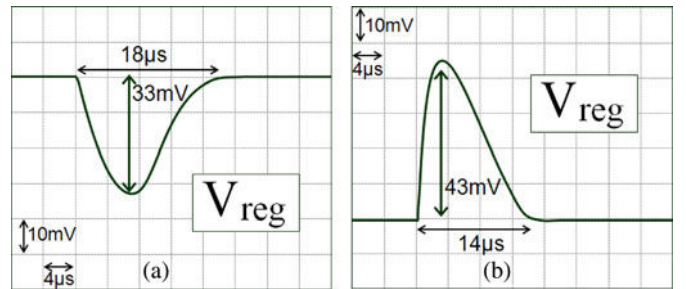


Fig. 21. Simulation of the load transient response to a 0 to 5 mA (a) and vice versa (b).

region. The difference between the simulation and experimental results is due to the impedance of the oscilloscope probe which is not infinite and so the response is all the more sensitive to the probe impedance since the system is near the oscillation condition. This result is confirmed by the test with an external output capacitance of 2 nF. Simulation and measure results are shown in Fig. 20(c) and (d).

Load transient test are also done with the 2 nF external output capacitance. Fig. 21 shows the simulation results when a load current is switched between 0 and 5 mA with 10 ns rise and fall times. An overshoot of 33 and 43 mV is observed, respectively, for the switching from 0 to 5 mA and from 5 to 0 mA. No oscillations are observed in the waveforms, which means that the damping ratio is near 1. For the switching from 0 to 5 mA and from 5 to 0 mA, a settling time of 18 and 14 μ s is simulated, respectively. Experimental measures, depicted in Fig. 22, confirm this result. The load transient response shows that the LDO regulator is stable where classical open-loop ac stability did not allow us to guarantee the system stability contrary to the analysis via state matrix decomposition.

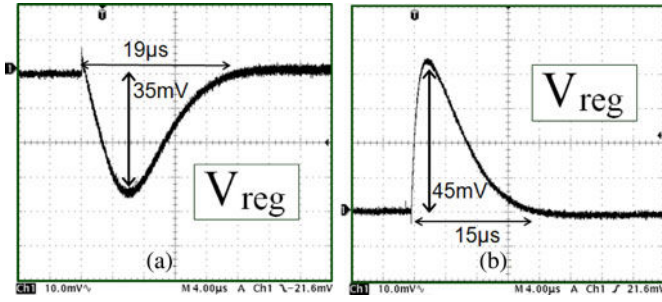


Fig. 22. Measured voltage transient response to a 0 to 5 mA (a) and vice versa (b).

V. CONCLUSION

The state matrix decomposition technique has been extended to study the stability, robustness and time response of linear regulators. The method is particularly appropriate to the analysis of multiloop regulators. Indeed, the proposed methodology offers the capability of studying stability and robustness without opening loops in the feedback paths. Therefore, it can be applied to innovative linear regulators including multiple loops and all parasitic components (packaging, bonding, layout parasitic capacitance, resistance, etc.). Even more interesting, this approach introduces a robustness analysis, which ensures stability whatever the process, the environment variations, and the effects of packaging.

To illustrate this new methodology, a rigorous mathematical stability analysis based on modeling of linear subsystems is developed and applied to study the stability of an innovative LDO including two loops which add up. Because of this architecture and its complexity, it has been shown that the conventional stability analysis based on open-loop phase margin is not adapted whereas the state matrix approach is unavoidable and easily implemented in a standard design flow.

The effectiveness and superiority of the state matrix decomposition is demonstrated through theoretical analysis and numerical investigations and the results are verified experimentally. This method can be used to analyze other multiloop linear circuits' types such as amplifiers, Ahuja compensation, etc.

APPENDIX

DETERMINATION OF THE LDO STATE MATRIX

Let X_1 be a state variable and

$$A_1 = \frac{Y_1}{\varepsilon_1} = \frac{K_1 \cdot X_1}{(1 + T_1 \cdot s) \cdot (1 + T_{11} \cdot s) \cdot X_1} \quad (27)$$

with $\varepsilon_1 = V_{\text{ref}} - V_{\text{reg}}$.

We identify numerator and denominator

$$\begin{cases} Y_1 = K_1 \cdot X_1 \\ \varepsilon_1 = (1 + T_1 \cdot s) \cdot (1 + T_{11} \cdot s) \cdot X_1 \end{cases} \quad (28)$$

$$\begin{cases} Y_1 = K_1 \cdot X_1 \\ \varepsilon_1 = X_1 + (T_1 + T_{11}) \cdot s \cdot X_1 + T_1 \cdot T_{11} \cdot s^2 \cdot X_1 \end{cases} \quad (29)$$

which leads to

$$\begin{cases} Y_1 = K_1 \cdot X_1 \\ \varepsilon_1 = X_1 + (T_1 + T_{11}) \cdot \dot{X}_1 + T_1 \cdot T_{11} \cdot \ddot{X}_1 \end{cases} \quad (30)$$

Let X_2 be a state variable and

$$\dot{X}_1 = X_2. \quad (31)$$

Consequently, substituting (30) into (29) yields

$$\begin{cases} Y_1 = K_1 \cdot X_1 \\ \varepsilon_1 = X_1 + (T_1 + T_{11}) \cdot X_2 + T_1 \cdot T_{11} \cdot \dot{X}_2 \end{cases} \quad (32)$$

which implies that

$$\begin{cases} Y_1 = K_1 \cdot X_1 \\ \dot{X}_2 = \frac{1}{T_1 \cdot T_{11}} \cdot (V_{\text{ref}} - V_{\text{reg}} - X_1 - (T_1 + T_{11}) \cdot X_2) \end{cases} \quad (33)$$

Analogously,

$$\dot{X}_3 = \dot{X}_4 \quad (34)$$

$$\begin{cases} Y_2 = K_2 \cdot X_3 \\ \dot{X}_4 = \frac{1}{T_2 \cdot T_{22}} \cdot (V_{\text{ref}} - Y_5 - X_3 - (T_2 + T_{22}) \cdot X_4) \end{cases} \quad (35)$$

Let X_5 be a state variable and

$$F_1 = \frac{V_{\text{reg}}}{Y_1 + Y_2} = \frac{Gm_{P_5} \cdot (R_{\text{out}} || R_{dsP_5}) \cdot X_5}{[1 + (R_{\text{out}} || R_{dsP_5}) \cdot C_1 \cdot s] \cdot X_5}. \quad (36)$$

We identify numerator and denominator

$$\begin{cases} V_{\text{reg}} = Gm_{P_5} \cdot (R_{\text{out}} || R_{dsP_5}) \cdot X_5 \\ Y_1 + Y_2 = [1 + (R_{\text{out}} || R_{dsP_5}) \cdot C_1 \cdot s] \cdot X_5 = (1 + T_3 \cdot s) \cdot X_5 \end{cases} \quad (37)$$

$$\begin{cases} V_{\text{reg}} = K_3 \cdot X_5 \\ Y_1 + Y_2 = X_5 + T_3 \cdot s \cdot X_5 = X_5 + T_3 \cdot \dot{X}_5 \end{cases} \quad (38)$$

$$\begin{cases} V_{\text{reg}} = K_3 \cdot X_5 \\ X_5 = \frac{1}{T_3} \cdot (K_1 \cdot X_1 + K_2 \cdot X_3 - X_5) \end{cases} \quad (39)$$

Analogously,

$$\begin{cases} V_{\text{rep}} = K_4 \cdot X_6 \\ \dot{X}_6 = \frac{1}{T_4} \cdot (K_1 \cdot X_1 + K_2 \cdot X_3 - X_6) \end{cases} \quad (40)$$

Let X_7 be a state variable and

$$H = \frac{Y_5}{V_{\text{rep}}} = \frac{s \cdot X_7}{(s + \omega_c) \cdot X_7}. \quad (41)$$

We identify numerator and denominator

$$\begin{cases} Y_5 = s \cdot X_7 = X_7 \\ V_{\text{rep}} = (s + \omega_c) \cdot X_7 = X_7 + \omega_c \cdot X_7 \end{cases} \quad (42)$$

$$\begin{cases} Y_5 = X_7 \\ \dot{X}_7 = K_4 \cdot X_6 - \omega_c \cdot X_7 \end{cases} \quad (43)$$

$$\dot{X} = \begin{bmatrix} 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ -\frac{1}{T_1 \cdot T_{11}} & -\frac{T_1 + T_{11}}{T_1 \cdot T_{11}} & 0 & 0 & -\frac{K_3}{T_1 \cdot T_{11}} & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & -\frac{1}{T_2 \cdot T_{22}} & -\frac{T_2 + T_{22}}{T_2 \cdot T_{22}} & 0 & -\frac{K_4}{T_2 \cdot T_{22}} & \frac{\omega_c}{T_2 \cdot T_{22}} \\ \frac{K_1}{T_3} & 0 & \frac{K_2}{T_3} & 0 & -\frac{1}{T_3} & 0 & 0 \\ \frac{K_1}{T_4} & 0 & \frac{K_2}{T_4} & 0 & 0 & -\frac{1}{T_4} & 0 \\ 0 & 0 & 0 & 0 & 0 & K_4 & -\omega_c \end{bmatrix} \cdot X + \begin{bmatrix} 0 \\ 1 \\ 0 \\ 1 \\ 0 \\ 0 \\ 0 \end{bmatrix} \cdot V_{\text{ref}}$$

Let X be the state vector and

$$X = \begin{bmatrix} X_1 \\ X_2 \\ X_3 \\ X_4 \\ X_5 \\ X_6 \\ X_7 \end{bmatrix} \quad \text{and so } \dot{X} = \begin{bmatrix} \dot{X}_1 \\ \dot{X}_2 \\ \dot{X}_3 \\ \dot{X}_4 \\ \dot{X}_5 \\ \dot{X}_6 \\ \dot{X}_7 \end{bmatrix}.$$

This leads to the following representation in which the state matrix is under the following shape using (31)–(34), (39), (40) and (43), \dot{X} as shown at the top of the page.

ACKNOWLEDGMENT

The authors would like to thank S. Trochut of STMicroelectronics for his valuable advice and constructive comments during the preparation of this paper.

REFERENCES

- [1] M. Hammes, C. Kranz, D. Seippel, J. Kissing, and A. Leyck, "Evolution on SoC integration: GSM baseband-radio in 0.13 μm CMOS extended by fully integrated power management unit," *IEEE J. Solid-State Circuits*, vol. 43, no. 1, pp. 236–245, Jan. 2008.
- [2] A. Patel and A. Rincon-Mora, "High power-supply-rejection (PSR) current-mode low-dropout (LDO) regulator," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 57, no. 11, pp. 868–873, Nov. 2010.
- [3] M. El-Nozahy, A. Amer, J. Torres, K. Entesari, and E. Sanchez-Sinencio, "High PSR low drop-out regulator with feed-forward ripple cancellation technique," *IEEE J. Solid-State Circuits*, vol. 45, no. 3, pp. 565–577, Feb. 2010.
- [4] E. Alon, J. Kim, S. Pamarti, K. Chang, and M. Horowitz, "Replica compensated linear regulators for supply regulated phase-locked loops," *IEEE J. Solid-State Circuits*, vol. 41, no. 2, pp. 413–424, Feb. 2006.
- [5] T. Coulot, E. Rouat, F. Hasbani, J. M. Fournier, and E. Lauga, "High power-supply-rejection (PSR) low drop-out regulator for ultra low power radiofrequency functions," *Electron. Lett.*, vol. 47, no. 20, pp. 1117–1118, Sep. 2011.
- [6] R. Milliken, J. Silva-Martinez, and E. Sanchez-Sinencio, "Full on-chip CMOS low dropout voltage regulator," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 54, no. 9, pp. 1879–1890, Sep. 2007.
- [7] A. El Aroudi, J. Pelaez, M. Feki, and B. Robert, "Stability analysis of two-cell buck converter driven DC motor with a discrete time closed loop," in *Proc. Int. Conf. Systems, Signals, and Devices*, 2009, pp. 1–6.
- [8] M. Debat, A. El Aroudi, R. Giral, and L. Martinez, "Stability analysis and bifurcations of SEPIC DC-DC converter using a discrete time model," in *Proc. Int. Conf. Ind. Technol.*, 2002, pp. 1055–1060.
- [9] B. Allard, S. Trochut, L. Xuefang, and J. Retif, "Control design for switch-mode power supplies: A new challenge?" in *Proc. IEEE Power Electron. Spec. Conf.*, Jun. 2004, pp. 4492–4497.
- [10] C. Chava and J. Silva-Martinez, "A frequency compensation scheme for LDO voltage regulators," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 51, no. 6, pp. 1041–1050, Jun. 2004.
- [11] R. Perkins and B. Cruz, "Feedback properties of linear regulators," *IEEE Trans. Autom. Control*, vol. 16, no. 6, pp. 659–664, Dec. 1971.
- [12] R. Estrada, "On the stability of multiloop feedback systems," *IEEE Trans. Autom. Control*, vol. 17, no. 6, pp. 781–791, Dec. 1972.
- [13] J. C. Doyle, "Robustness of multiloop linear feedback systems," in *Proc. IEEE Conf. Decision Control*, San Diego, CA, USA, 1979, pp. 12–18.
- [14] W. K. Chen, *Active Network and Feedback Amplifier Theory*. New York, USA: McGraw-Hill, 1980, pp. 185–246.
- [15] P. Mukherjee, G. P. Fang, R. Burt, and P. Li, "Efficient identification of unstable loops in large linear analog integrated circuits," *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.*, vol. 31, no. 9, pp. 1332–1345, Sep. 2012.
- [16] P. Borne, G. Dauphin, J. P. Richard, F. Rotella, and I. Zambettakis, *Analyse et regulation des processus industriels*. Paris, France: Technip, vol. 1, 1993.
- [17] T. Coulot, F. Hasbani, and E. Rouat, "Replica compensated high PSR LDO," French Patent FR2976369, Dec. 14, 2012.
- [18] G. Stewart and C. Moler, "An algorithm for generalized matrix eigenvalue problems," *SIAM J. Numer. Anal.*, vol. 10, pp. 241–256, Apr. 1973.
- [19] B. S. Garbow, "Algorithm 535: The QZ algorithm to solve the generalized eigenvalue problem for complex matrices," *ACM Trans. Math. Softw.*, vol. 4, pp. 404–410, Dec. 1978.



Thomas Coulot was born in Besançon, France, in 1988. He received the B.S. degree from PHELMIA INPG, Grenoble University, Grenoble, France, in 2008, and the diploma of electronic engineering and the M.S. degree from PHELMIA INPG in 2010. He is currently working toward the Ph.D. degree in STMicroelectronics, Crolles, France, in collaboration with Institut de Microélectronique Electromagnétisme et Photonique Laboratoire d'Hyperfréquences et de Caractérisation laboratory, Grenoble.



His research interest includes the power supply issues in the ultra low power RF SoC.

Estelle Lauga-Larroze received the M.Sc. degree in microelectronics from the Université Joseph Fourier, Grenoble, France, and the Ph.D. degree in micro and nano electronics from the National Polytechnical Institute of Grenoble, Grenoble, in 2003 and 2007, respectively.

In 2007, she joined the Laboratory of Microsystems 2 and the Quantum Architecture Group (AQUA) at the Swiss Federal Institute of Technology Lausanne and she worked on CMOS single-photon detectors for biological imaging applications. From 2008 to 2010, she was with CEA, LETI, MINATEC Campus, Grenoble, working on CMOS-based analog circuits for image sensors. Since 2010, she has been an Assistant Professor with Institut Universitaire de Technologie, Université Joseph Fourier, Grenoble. Her research activity with the Institut de Microélectronique Electromagnétisme et Photonique-Laboratoire d'Hyperfréquences et de Caractérisation laboratory focuses on CMOS analog and RF integrated circuits and systems for communication and sensors applications. Her research interest includes the designing of high dynamic range CMOS image sensors.



Jean-Michel Fournier received the electronic engineering degree from the National Engineer School, Toulouse, France, in 1974, and the M.S. and Ph.D. degrees in solid-state physic from the University Claude Bernard, Lyon, France, in 1975 and 1979, respectively.

In 1979, he joined the Research and Development of the Microelectronic Department, France Telecom, Grenoble, France, where he was involved with analog MOS application-specific integrated circuit development (high-speed video amplifiers, GmC filters, device modeling). From 1992 to 1996, he was in charge of the Analog Design Group, during which time he focused his interest on the BiCMOS process for RF applications. Since 1996, he has been a Professor with the School of Electronic and Physic of INPG, Grenoble. With the Institut de Microélectronique Electromagnétisme et Photonique-Laboratoire d'Hyperfréquences et de Caractérisation laboratory, his main research interest includes the design of analog RF and millimeter-wave integrated circuits in CMOS technology.



Frederic Hasbani received the M.Sc. degree in electrical engineering from the National Polytechnical Institute of Grenoble, Grenoble, France, in 2000.

He joined STMicroelectronics Central R&D Department, Crolles, France, to design gigabit serial links. Since 2005, he has been involved in industrial research programs in the CMOS & BiCMOS power management field. He is currently a Team Leader at STMicroelectronics in embedded power management for digital and RF SoCs.



Mazen Alamir received the Graduate degree in mechanics (Grenoble, 1990) and aeronautics (Toulouse, 1992). He received the Ph.D. degree in nonlinear model predictive control in 1995.

Since 1996, he has been a CNRS Research Associate in the Control Systems Department of Gipsa-lab, Grenoble. He is currently with the Laboratoire Grenoble Images Parole Signal Automatique (GIPSA-LAB), UMR INPG/UJF/CNRS 5216. His main research topics are model predictive control, receding horizon observer, nonlinear hybrid systems, and signature-based diagnosis, optimal cancer treatment as well as industrial applications. He is a member of the IFAC technical committee on Nonlinear Systems and served as the Head of the "Nonlinear Systems and Complexity" research group of the Control Systems Department of Gipsa-lab.

High Power Supply Rejection Wideband Low-Dropout Regulator

Thomas Coulot, Emmanuel Rouat
and Frederic Hasbani
Embedded Power Management Team
STMicroelectronics
Crolles, France
Email: thomas.coulot@st.com

Estelle Lauga-Larroze
and Jean-Michel Fournier
Department of Microelectronic
IMEP-LAHC Laboratory
Grenoble, France
Email: fournier@minatec.inpg.fr

Abstract—A 90nm 1.4-3.3V CMOS Low-Dropout regulator for noise-sensitive low-current RF blocks in mixed SoC applications is presented. It is based on a two loops topology with replica technique and an additional Gm-C filter introduced in the replica loop for high power supply rejection at both low and high frequencies. Complete PSR and stability analyses are presented. The regulator is implemented in a 90nm CMOS technology and achieves a PSR better than -60dB from 0 to 30MHz with only a 47nF external output capacitor. This architecture is highly versatile since the replica design may remain very basic. The active chip area is only 0.0088mm², making this LDO an ideal block for a locally distributed power management strategy.

I. INTRODUCTION

Low-Dropout (LDO) voltage regulators are key components of the System-on-Chip (SoC) power management strategy for noise-sensitive blocks [1]-[5]. However, direct regulation of battery voltages using only LDOs will result in an overall poor efficiency. A better solution consists of using high-efficiency switching mode power supplies (SMPS) as pre-regulators. In order to obtain a highly integrated solution, SMPS switching frequencies tend to increase, leading to the generation of large harmonic ripples at the input of the following LDO. Hence, the LDO regulators need to achieve a high Power Supply Rejection (PSR) over a large frequency range [2] to suppress the SMPS pollution.

Several techniques were explored to improve the PSR at low frequencies: increasing the error amplifier gain [4], using a simple RC filter at the input of the LDO [3], cascading two regulators [1] or using a NMOS pass transistor with a charge pump bias gate [3]. Nevertheless, these techniques present drawbacks such as an increased value for the dropout voltage, a large silicon area and quiescent current or an added switching noise. At high frequencies, no simple technique can improved the PSR significantly. One option [2][3] is to use multi-loop LDO architectures which offer high PSR over a limited frequency range (-56dB up to 10MHz [2]) and large value external output capacitors (in the range of a few Microfarads). The structure presented in [1] exhibits high PSR at high frequencies but requires perfect matching between the load and the replica to keep high PSR at low frequencies.

This paper presents, discusses and evaluates a prototyped 90nm replica LDO that attenuates both the high and low

frequency ripples of the power supply. The paper is organized as follows: Section II describes the architecture of the proposed multi-loop LDO regulator. It introduces and details the PSR performance and the stability analysis of the proposed LDO. Next Section presents its implementation and reports experimental performances, and in Section IV we propose relevant conclusions.

II. PROPOSED LDO REGULATOR ARCHITECTURE

The proposed LDO works on the estimator automatism principle based on a replica compensated linear regulator [1] which estimates quickly the supply noise to drive correctly the gate of the pass transistor. Fig. 1 shows the proposed LDO architecture.

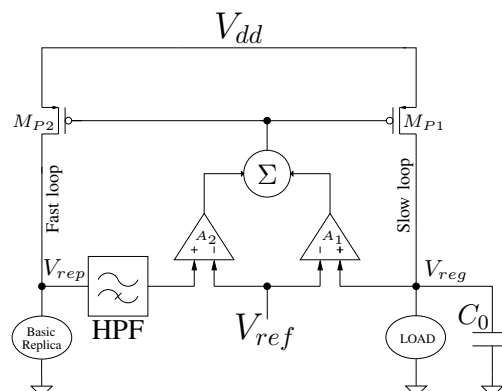


Fig. 1. Architecture of the multi-loop replica LDO.

This architecture is designed to maintain a low sensitivity to supply noise at high frequencies. A main feedback loop (A_1 and M_{P1}) regulates the output voltage V_{reg} on the load. The second negative feedback loop (A_2 and M_{P2}) is used to increase the PSR at high frequencies, through the scaled down replica load. This secondary loop feeds forward the power supply ripple into the LDOs control loop, which counteracts the impact of the supply ripple on the output node. To achieve an optimal supply rejection, the replica voltage V_{rep} and the output voltage V_{reg} have to react in the same manner to the supply noise. To cancel any offset between them, the replica

load has to match perfectly the specific load features: current-voltage (I-V) behaviour, same switching noise generation and so on

However, the RF load impedance varies with the RF activity. Therefore, it is not possible to match their features in all operating conditions resulting in a systematic offset between the load node voltage V_{reg} and the replica bias voltage V_{rep} . To overcome this drawback, we propose to add a high-pass filter (HPF) in the replica feedback loop [6], which feeds forward the supply ripple and filters both the DC offset and low harmonic contents of V_{rep} , corresponding of the mismatch between the load and the replica. This results in a high PSR over a very large frequency range. Furthermore, the replica design does not need to be exactly fitted to the load as in previous realizations [1].

To perform the summation, the current domain is chosen by shunting together two transconductance with a ratio n between both of them. To come back in voltage domain to drive the pass transistors, the transconductance outputs are connected to a current mirror circuit, which is equivalent to an active load R_0 , as shown in Fig. 2.

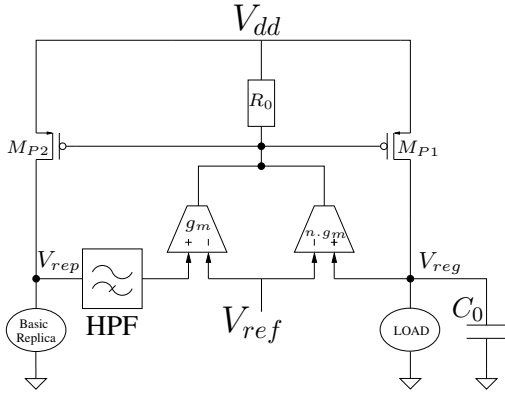


Fig. 2. Block-level representation including the transconductance summation.

A. PSR Performance

Fig. 3 presents the mathematical model of the proposed LDO.

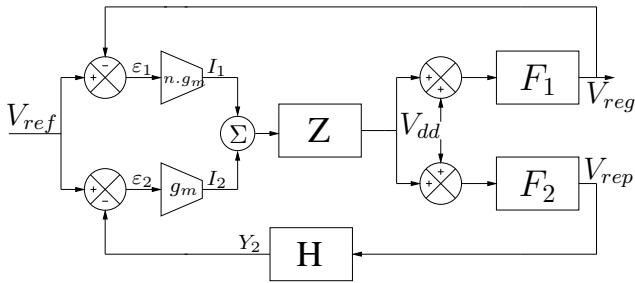


Fig. 3. Mathematical model of the proposed LDO.

Formally, the PSR transfer function from V_{dd} to V_{reg} is

given by the relation:

$$S_Y = \frac{V_{reg}}{V_{dd}} = \frac{F_1}{1 + Z \cdot n \cdot g_m \cdot F_1 + Z \cdot g_m \cdot H \cdot F_2} \quad (1)$$

where F_1 and F_2 are the transfer functions of the output load and the replica load, respectively. $H = s/(s + \omega_c)$ is the transfer function of the high-pass filter and Z is the load impedance of the two transconductance stages $n \cdot g_m$ and g_m . The transfer functions of the output and replica load can be modelled as

$$F_1 = \frac{G_{m_{MP1}} \cdot R_1}{1 + R_1 \cdot C_1 \cdot s} \quad (2)$$

$$F_2 = \frac{G_{m_{MP2}} \cdot R_2}{1 + R_2 \cdot C_2 \cdot s} \quad (3)$$

with $R_1 = R_{load} || R_{ds_{MP1}}$, $C_1 = C_0 + C_{gd_{MP1}} \cdot \left(1 - \frac{1}{A_{v1}}\right) + C_{db_{MP1}} + C_{ds_{MP1}}$, $A_{v1} \approx -G_{m_{MP1}} \cdot R_1$, $R_2 = R_{replica} || R_{ds_{MP2}}$, $C_2 = C_{gd_{MP2}} \cdot \left(1 - \frac{1}{A_{v2}}\right) + C_{db_{MP2}} + C_{ds_{MP2}}$ and $A_{v2} \approx -G_{m_{MP2}} \cdot R_2$.

The impedance Z is given by the relation:

$$Z = \frac{R_0}{1 + R_0 \cdot C_{eq} \cdot s} \quad (4)$$

with $C_{eq} = C_{gd_{MP1}} \cdot (1 - A_{v1}) + C_{gs_{MP1}} + C_{gb_{MP1}} + C_{gd_{MP2}} \cdot (1 - A_{v2}) + C_{gs_{MP2}} + C_{gb_{MP2}}$.

From (1), the rejection at low frequencies (DC) without the filter (case a) and with the filter (case b) can be approximated by:

$$a) \quad s_Y[DC] \approx \frac{1}{R_0 \cdot g_m \cdot \left(n + \frac{G_{m_{MP2}} \cdot R_2}{G_{m_{MP1}} \cdot R_{21}}\right)} \quad (5)$$

$$b) \quad s_Y[DC] \approx \frac{1}{n \cdot R_0 \cdot g_m} = Cst \quad (6)$$

Thanks to the filter, the rejection of the low-frequency supply noise is only due to the transconductance g_m and the real part R_0 of the impedance Z . PSR becomes independent of impedance mismatches between the load and the replica, as shown in Fig. 4. At high frequencies, the replica feedback loop, which is faster than the main loop, takes the lead in rejecting the HF spurs of the supply voltage.

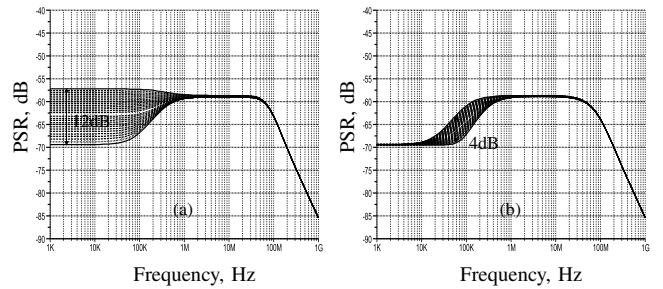


Fig. 4. Simulated PSR without (case a) and with (case b) high-pass filter for various impedance mismatches between the load and the replica.

The main advantage of this approach is achieving a high PSR for a wide frequency range, without the need to increase the loop bandwidth and hence the quiescent current power consumption. Moreover, this approach preserves the same low-dropout voltage of a conventional regulator.

B. Stability Analysis

The proposed system is composed of two closed loops which add up and so make a third closed global loop. To calculate the classical phase margins, only one loop robustness can be studied at a time. So, we consider there is one uncertainty on one loop at a time. However, it is more realistic to consider simultaneous uncertainties on the two loops. In conclusion, the use of the classical concept of phase margin does not allow the robustness of multi-loop systems to be directly, clearly and correctly studied.

For the stability analysis, it is better to use the state matrix decomposition [7]. The methodology applied follows the next steps: first describing the structure by its transfer functions, then determining the state matrix in order to compute the Eigenvalues. Once the Eigenvalues are found and the stability ensured, a study of different parameters variations highlights the critical parameters of the system. To conclude the study, the robustness of process variations through a Monte Carlo study is analyzed.

1) *State Matrix and Stability Analysis*: The state matrix is extracted once the transfer functions determined. The resulting state matrix is given as:

$$\begin{bmatrix} -\frac{1}{R_0 \cdot C_{eq}} & \frac{-G_{M_{P1}} \cdot R_1 \cdot n \cdot g_m}{R_0 \cdot C_{eq}} & \frac{-G_{M_{P2}} \cdot R_2 \cdot g_m}{R_0 \cdot C_{eq}} & \frac{\omega_c \cdot g_m}{R_0 \cdot C_{eq}} \\ \frac{R_0}{R_1 \cdot C_1} & -\frac{1}{R_1 \cdot C_1} & 0 & 0 \\ \frac{R_0}{R_2 \cdot C_2} & 0 & -\frac{1}{R_2 \cdot C_2} & 0 \\ 0 & 0 & G_{M_{P2}} \cdot R_2 & -\omega_c \end{bmatrix}$$

The values of the main parameters (PMOS M_{P1} and PMOS M_{P2}) have been extracted with the Mentor Graphics ELDO simulator, from a circuit designed in a 90nm technology from STMicroelectronics and simulated for a maximum load current of 5mA. The different parameters taken into account are recapitulated in Table I.

These parameters are used to calculate the Eigenvalues (EV):

$$\begin{aligned} EV1 &= -1.305 \times 10^9 \\ EV2 &= -3.804 \times 10^8 \\ EV3 &= -5.38 \times 10^4 + 1.31 \times 10^5 \cdot j \\ EV4 &= -5.38 \times 10^4 - 1.31 \times 10^5 \cdot j \end{aligned} \quad (7)$$

The real parts of the Eigenvalues obtained are negative, and then the system studied is asymptotically stable. Thanks to time domain approach, we can guarantee the stability of this regulator.

TABLE I
PARAMETERS OF THE LDO

Parameter	Value	Parameter	Value
g_m	200 μ S	$G_{M_{P1}}$	13.73mS
n	3	$R_{ds_{M_{P1}}}$	3962 Ω
R_0	90K Ω	$C_{gs_{M_{P1}}}$	1.02pF
$G_{M_{P2}}$	278 μ S	$C_{gd_{M_{P1}}}$	500fF
$R_{ds_{M_{P2}}}$	183K Ω	$C_{gb_{M_{P1}}}$	305fF
$C_{gs_{M_{P2}}}$	20.5fF	$C_{db_{M_{P1}}}$	106fF
$C_{gd_{M_{P2}}}$	10fF	$C_{ds_{M_{P1}}}$	106fF
$C_{gb_{M_{P2}}}$	6.1fF	R_{replca}	50K Ω
$C_{db_{M_{P2}}}$	2.1fF	f_c	40KHz
$C_{ds_{M_{P2}}}$	2.1fF	R_{load}	1K Ω
V_{ref}	1.2V	C_o	47nF

2) *Parameter-Variation Eigenvalue Sensitivity*: The purpose of the study is to determine the critical design parameters on stability in order to find the best tradeoff for the design optimization. The influence of a variation of each parameter on the critical Eigenvalue is observed. The critical Eigenvalue is the Eigenvalue having the biggest real part. One critical design parameter is identified: the output capacitance C_o . To ensure the stability of the system, C_o must be greater than 16pF. Fig. 5 illustrates the variations of the real-part of the critical Eigenvalue according to the output capacitance C_o . The other parameters are fixed and are those of the Table I.

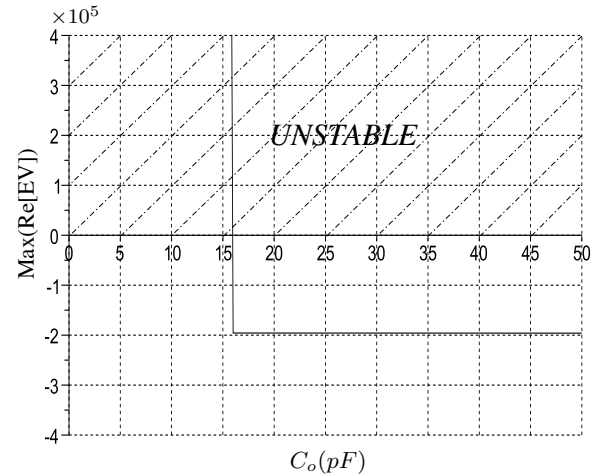


Fig. 5. Sensitivity of critical Eigenvalue to C_o parameter.

The Eigenvalues study allows the identification of the most critical design parameters and then allows a design optimization ensuring the system stability.

3) *Monte Carlo Analysis*: Monte Carlo analysis aims to determine an admissible set of random parameter variations that keep the stability of the system. The critical design parameters are studied through a Monte Carlo analysis to find the best tradeoff for the design optimization. The influence of simultaneous variations of all parameters on the Eigenvalues is observed.

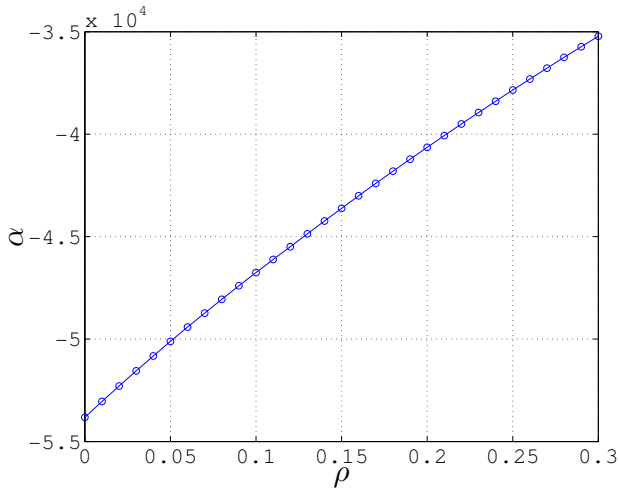


Fig. 6. Monte Carlo Analysis.

Fig. 6 illustrates the variation of the real part of the critical Eigenvalue α according to the parameter relative uncertainties ρ . As observed, when $\rho < 30\%$, the real part of the critical Eigenvalue is negative and so the system stable. This robustness analysis ensures the system stability while the variation for each of these parameters is lower than 30%.

Contrary to the AC open-loop method, this approach allows a complete stability analysis, the highlighting of the critical design parameters, a design procedure and a robustness analysis.

C. IC Design

Fig. 7 shows the complete transistor-level implementation of the LDO. The summing amplifiers A_1 and A_2 are realized by the two differential transconductance stages (OTA1 and OTA2 respectively) for which the two output currents are summed in a common current mirror (M_{3a} and M_{3b}). An adaptive biasing technique [8] is used as current source (BIASING) which performs bias currents to be proportional to the output current, achieves bandwidth extension at heavy load and improves the dynamic response when load current steps down from heavy load to light load. No other compensation technique is needed to stabilize the system. Only an off-chip low value ceramic capacitor of 47nF is used. The LDO is able to source an output current up to 5mA. The high-pass filter is a classical first order active Gm-C filter. It blocks the DC offset and allows the transition between the slow and the fast loop regime without impacting the PSR. The filter cut-off frequency is chosen to be one decade higher than the slow loop main pole. The Gm-C filter uses a 15pF MOS capacitor and a transconductance stage.

For characterization and measurement purposes, the LDO is loaded by an LC oscillator which is the most noise-sensitive block of a CMOS frequency synthesizer. The LC oscillator is based on a classical N and P cross-coupled differential pairs and a head-current source to clamp the VCO consumption [9]. The VCO is integrated on the same chip as the LDO. It runs

around a 5GHz frequency and needs a very low noise supply up to several Mega-Hertz to insure a low phase noise. The replica in the LDO is implemented by a resistance in parallel with a current source which is an easily reconfigurable load approximation of the VCO load.

III. EXPERIMENTAL RESULTS

The LDO has been implemented in a 90nm CMOS process from STMicroelectronics. Fig. 8 shows the microphotograph of the fabricated IC and the PCB used to evaluate it. The minimum supply is only 1.4V for a regulated 1.2V output voltage, which shows a dropout voltage of 200mV. The total active area of each LDO is 0.0088mm² not including the bandgap circuitry. A 47nF off-chip capacitor is used to stabilize the LDO. The off-chip load capacitor has an ESL and ESR of 600pH and 32m Ω , respectively.

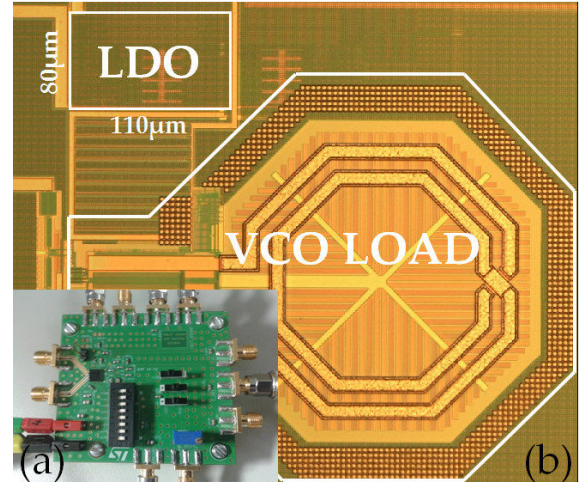


Fig. 8. (a) PCB photograph and (b) Microphotograph of the chip.

To measure PSR across frequency, a HP8753D network analyzer is used to measure the signal level at the input and output of the LDO. The S21 parameter is measured by sweeping the frequency of an input sine wave across the band of interest and so, the PSR is measured. The peak-peak voltage of the input ripple was only 25mV to avoid disrupting the LDOs biasing point. The comparison between the measured and the simulated PSR is shown in Fig. 9. As depicted, the LDO achieves a PSR better than -60dB up to 30MHz for the VCO load application. For frequencies above 15MHz, the PSR starts to decrease due to the two loops poles and the self-resonance frequency of the off-chip capacitor effect.

The LDO was tested for load and line regulation, shown in Fig. 10. Output voltage errors were less than 0.16% over the entire operation range. Moreover, when the VCO load is ON, the load and line regulation of the LDO is better than without the load, what means the replica is well-matched and allows to increase the LDO performances.

In Fig. 11, the line transient response measurement for a supply variation from 2V to 2.6V shows a maximum ripple at the output of 1mV. The load transient measurement shows a

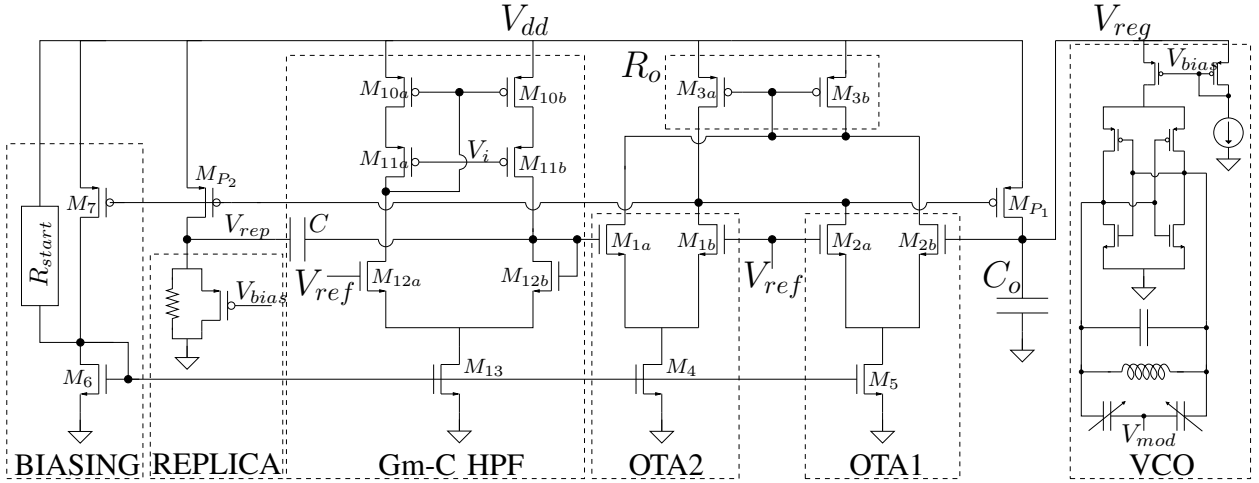


Fig. 7. Transistor-level schematic of the proposed LDO.

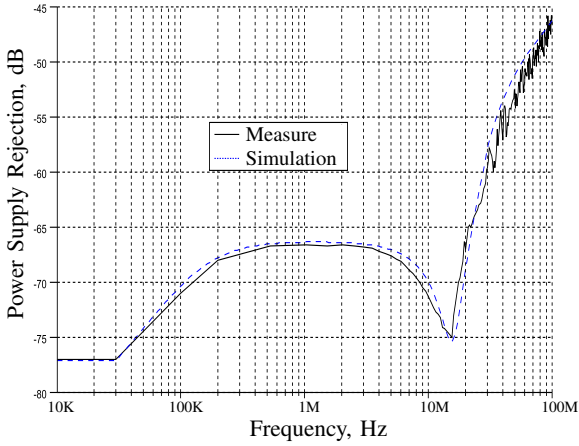


Fig. 9. Full LDO power supply rejection while operating with the VCO load; comparison between measure and simulation.

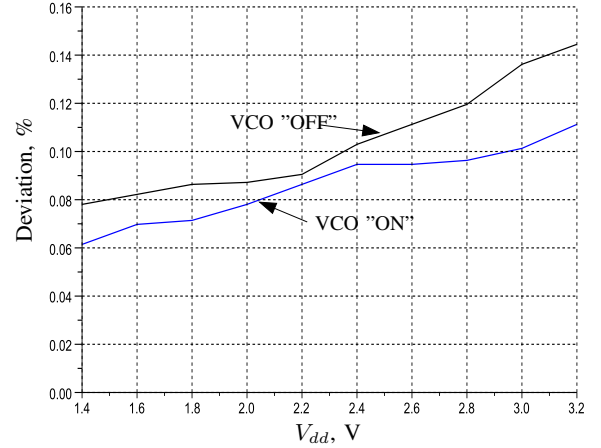


Fig. 10. Measured load and line regulation.

maximum overshoot of 45mV for a 5mA load step with 500ns rise and fall times.

Finally, we quantify in Fig. 12 the impact of the integrated LDO on the VCO phase noise behaviour. The curve (1) and (2) shows the VCO phase noise measurement comparison with an external clean supply and with the supply issue from the integrated LDO supplied from a noisy voltage source respectively. This noisy voltage source is composed of a 20mV sinusoidal ripple added to the DC power supply with the ripple frequency swept from 10KHz up to 100MHz. The supply issue from the LDO impact is minimum thanks to the PSR of the LDO and increases the phase noise with only 1.3dBc/Hz for frequency offset up to 40MHz from the carrier. The LDO can hence be considered as an ultra-low noise voltage regulator.

Table II summarizes the performance of the proposed LDO compared to the most recent published high PSR wideband

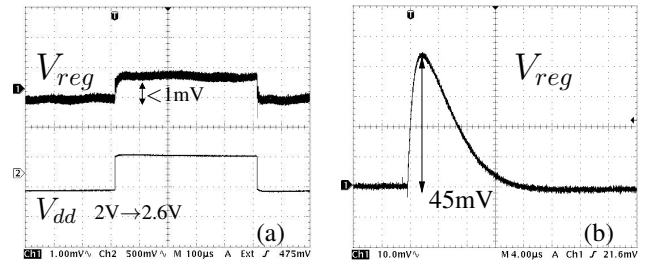


Fig. 11. (a) Measured line transient response for 600mV step supply waveform. (b) Measured load transient response for a load current step of 5mA.

LDOs reported in the literature. The proposed LDO has a very small area and hence can be spread all over a SoC for a locally distributed power management strategy.

TABLE II
STATE-OF-THE-ART COMPARISONS

	Unit	ISSCC 07 [3]	ISSCC 08 [5]	JSSC 10 [2]	This work
Techno. CMOS	nm	600	350	130	90
V_{out}	V	1.2	0.9	1.0	1.2
V_{DO}	mV	>600	>150	>150	>200
Max. Load	mA	5	50	25	5
C_o	nF	0.01	1000	4000	47
I_Q	μ A	70**	160**	50	200**
PSR	dB	-60@100KHz	-50@100KHz	-60@100KHz	-73@100KHz
		-34@5MHz	N.A@5MHz	-61@5MHz	-67@5MHz
		-27@10MHz	N.A@10MHz	-56@10MHz	-71@10MHz
		N.A@30MHz	N.A@30MHz	N.A@30MHz	-60@30MHz
Active area	mm ²	N.A	0.053	0.049	0.0088

**without the bandgap circuitry

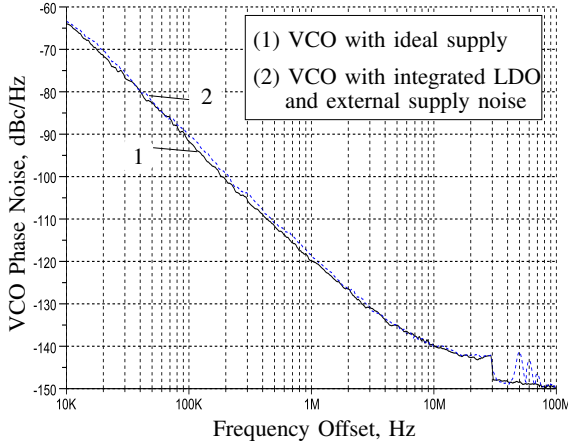


Fig. 12. Measured impact of the LDO operation on the integrated VCO phase noise: (1) integrated VCO with direct external supply voltage; (2) integrated VCO supplied on chip by the LDO regulator which is externally supplied from a noisy source.

IV. CONCLUSION

A very efficient Low-Dropout regulator for noise-sensitive low-current RF blocks in mixed SoC applications is evaluated in this paper. Experimental results show that the proposed LDO voltage regulator exceeds current work in the area of high Power Supply Rejection for a wide range of frequencies. A fabricated prototype of the LDO achieves a power supply rejection better than -60dB up to 30MHz with only 47nF output capacitor. To our knowledge, this is the first LDO which achieves a high PSR up to 30MHz. The LDO was implemented in a 90nm CMOS technology from STMicroelectronics with an area of 0.0088mm².

REFERENCES

- [1] E. Alon, J. Kim, S. Pamarti, K. Chang and M. Horowitz, "Replica Compensated Linear Regulators for Supply Regulated Phase-Locked Loops", *IEEE J. Solid-State Circuits*, vol. 41, pp. 413-424, Feb. 2006.
- [2] M. El-Nozahi, A. Amer, J. Torres, K. Entesari and E. Sanchez-Sinencio, "High PSR Low Drop-Out Regulator With Feed-Forward Ripple Cancellation Technique", *IEEE J. Solid-State Circuits*, vol. 45, pp. 565-577, Feb. 2010.
- [3] V. Gupta, "A 5mA 0.6 μ m CMOS Miller Compensated LDO Regulator with -27dB Worst-Case Power-Supply Rejection Using 60pF of On-Chip Capacitance", *IEEE Int. Solid-State Circuits Conf.*, session 29, pp. 520-521, Feb. 2007.
- [4] A. Patel and A. Rincon-Mora, "High Power-Supply-Rejection (PSR) Current-Mode Low-Dropout (LDO) Regulators", *IEEE Trans. Circuits and Systems II, Express Briefs*, vol. 57, pp. 868-873, Nov. 2010.
- [5] Y. Lam and W. Ki, "A 0.9V 0.35 μ m Adaptively Biased CMOS LDO Regulator with Fast Transient Response", *IEEE Int. Solid-State Circuits Conf.*, pp. 442-443, Feb. 2008.
- [6] T. Coulot, F. Hasbani and E. Rouat, "Replica Compensated High PSR LDO", Patent FR2976369, Dec. 2012.
- [7] T. Coulot, E. Lauga, J.-M. Fournier, M. Alamir and F. Hasbani, "Stability Analysis and Design Procedure of Multi-loop Linear LDO Regulators via State Matrix Decomposition", *IEEE Trans. Power Electron.*, vol. 28, no. 11, Nov. 2013.
- [8] B. Razavi, "Design of analog integrated circuits", McGraw-Hill, 2001.
- [9] A. Hajimiri and T. H. Lee, "Design Issues in CMOS Differential LC Oscillators", *IEEE J. Solid-State Circuits*, vol. 34, pp. 717-724, 1999.

Black Box Small-Signal Model of PMOS LDO Voltage Regulator

Thomas Souvignet, Thomas Coulot, Yann David
Severin Trochut and Thierry Di Gilio
Embedded Power Management Team
STMicroelectronics
Crolles, France
Email: thomas.souvignet@st.com

Bruno Allard
AMPERE Laboratory
Villeurbanne, France
Email: bruno.allard@insa-lyon.fr

Abstract—This paper presents a black box small-signal modeling of a low-dropout (LDO) voltage regulator. The small-signal model is derived for each part of the system around an operating point. Then, the closed-loop transfer-functions are obtained to build a five port network model of the LDO. The analytical solution is validated by simulation comparison with transistor-level implementation of a PMOS LDO in a 90nm CMOS process from STMicroelectronics. Due to the hand calculation difficulty, we proposed an automated extraction flow based on the QZ algorithm. The flow is verified with the model extraction of a complex PMOS LDO, designed in a 55nm STMicroelectronics CMOS process.

I. INTRODUCTION

Low-dropout (LDO) voltage regulators have been extensively used in a wide range of electronic application, especially in low power embedded system. Indeed, due to their small area, they could be integrated in a SoC to allow fine grain power management solution. The trade-off between the power consumption and the performance is optimized when a function is powered according to its working load. With the functions increasing in SoC, the dedicated Voltage Regulator Module (VRM) number tends to increase. Thus, LDOs are very popular in digital or RF SoC. For the digital field, the design specifications are focused on the transient performance while for the RF one, line disturbances and noise injections are more important.

A common architecture in battery powered system is to use a Switched Mode Power Supply (SMPS) to convert the battery voltage in a constant level one. This voltage is provided to LDOs to supply various loads in the SoC. Because of the switching behavior of the SMPS, LDO must have high PSR to keep good supply quality and to guaranty functional integrity. Moreover, with multiple VRM, it is useful to understand the interaction and cross-talk by the power path. A modeling and mathematical analysis is suitable for a right understanding.

Some previous works provide analytical modeling of the design requirement. A detailed PSR analysis is proposed in [1]. The power stage and some basic error amplifiers are analyzed and the theoretical approach is validated by implementing the best choice. A general guideline is also proposed in [2]. Concerning the transient performance, the output impedance analysis must be performed [3]. This gives right knowledge about output voltage spike occurring during load transient. Finally, the whole stability must be ensured under the load

consumption specification. This requires a small-signal study of the open-loop control scheme. Phase and gain margins are used to verify the stability condition. Deriving pole-zero location is useful to compensate the system [4][5].

In this paper, we propose to develop a complete small-signal model for LDO, including the transfer-functions of the power path and the control loop. The section II details the overall AC model. Next, closed-loop transfer-functions are derived to find the black box model. The methodology is illustrated by correlating model and extracted simulation results of a LDO implemented in a 90nm CMOS process from STMicroelectronics. Finally, the section III describes an automated flow based on QZ algorithm to extract the transfer-functions from a spice netlist circuit. The flow is validated with a complex LDO designed in a 55nm STMicroelectronics CMOS process.

II. SMALL-SIGNAL LDO MODEL

A. Small-Signal Model

Fig. 1 shows a general small-signal regulator model for a classical PMOS LDO voltage regulator. In this model, \hat{v}_i is the small-signal perturbation in the input voltage, \hat{v}_r is the small-signal perturbation in the reference voltage, \hat{i}_o is the small-signal current from the regulator output and \hat{v}_o is the small-signal perturbation in the output voltage. The perturbation in the output voltage is caused by \hat{v}_i , \hat{v}_r or \hat{i}_o . Gm , R_{o-a} and C_{o-a} represent the simplified form of the small-signal error amplifier. Its output voltage \hat{v}_g drives the PMOS P which regulates the output voltage, \hat{v}_o . High frequency small-signal model has been used for transistor P. C_S , R_{ESR} and L_{ESL} are respectively the output capacitance, the Equivalent Series Resistance and Inductance of the output ceramic capacitor.

B. Mathematical Model Representation

This section describes the procedure to obtain the small-signal model of the PMOS LDO voltage regulator from the block diagram shown in Fig. 1. The circuit includes three types of independent sources, the reference voltage \hat{v}_r , the input voltage \hat{v}_i and the load current \hat{i}_o that can generate perturbations on the output voltage \hat{v}_o and the input current \hat{i}_i . The goal is to describe \hat{v}_o and \hat{i}_i mathematically in the terms of these independent sources. Fig. 2 illustrates the mathematical representation of the LDO regulator.

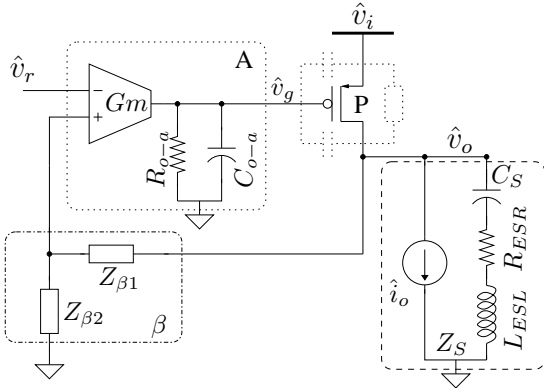


Fig. 1: Small-signal diagram of a classical LDO voltage regulator.

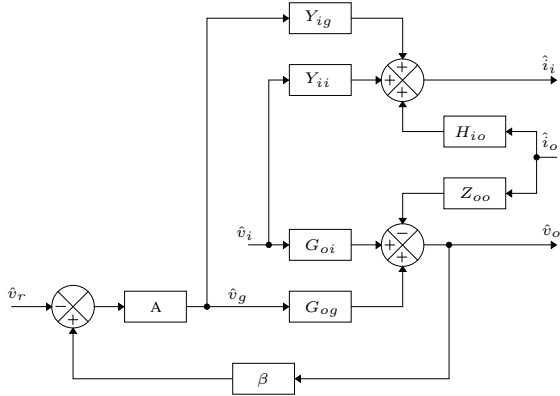


Fig. 2: Mathematical representation of small-signal LDO model.

A relation between the perturbation of the amplifier output voltage \hat{v}_g and the perturbation of the reference voltage \hat{v}_r is given by using circuit analysis:

$$A(s) = \frac{\hat{v}_g}{\hat{v}_r} = \frac{G_m \cdot R_{o-a}}{1 + R_{o-a} \cdot C_{o-a} \cdot s} \quad (1)$$

The feedback network is a voltage divider between two impedances $Z_{\beta 1}$ and $Z_{\beta 2}$. The transfer-function β is given by the following expression:

$$\beta(s) = \frac{Z_{\beta 2}}{Z_{\beta 1} + Z_{\beta 2}} \quad (2)$$

To extract all PMOS sub-systems, the superposition theorem is applied to the circuit shown in Fig. 1. Initially, \hat{v}_g and \hat{i}_o are set to zero, the small-signal open-loop transfer-functions G_{oi} and Y_{ii} from the input voltage to the output voltage and the input current perturbations respectively are:

$$G_{oi}(s) = \frac{\hat{v}_o}{\hat{v}_i} \Big|_{\hat{v}_g, \hat{i}_o=0} \quad (3)$$

$$= \frac{Z_A \cdot \left(g_m \cdot \left(1 - \frac{C_{gs} \cdot s}{Y_B} \right) + \frac{1}{r_{ds}} + C_{ds} \cdot s + \frac{C_{gd} \cdot C_{gs} \cdot s^2}{Y_B} \right)}{1 + Z_A \cdot \left(\frac{g_m \cdot C_{gd} \cdot s}{Y_B} + \frac{1}{r_{ds}} + C_{ds} \cdot s + \left(1 - \frac{C_{gd} \cdot s}{Y_B} \right) \cdot C_{gd} \cdot s \right)} \quad (4)$$

with g_m and r_{ds} being respectively the transconductance and the small-signal drain-to-source resistance of P and C_{gs} , C_{ds} and C_{gd} are the oxide capacitances of the PMOS P and

$$Y_{ii}(s) = \frac{\hat{i}_i}{\hat{v}_i} \Big|_{\hat{v}_g, \hat{i}_o=0} \quad (5)$$

where

$$Z_A = Z_{cout} \parallel (Z_{\beta 1} + Z_{\beta 2}) \quad (7)$$

$$Y_B = C_{gd} \cdot s + C_{gs} \cdot s + \frac{1}{R_{o-a} \parallel C_{o-a}} \quad (8)$$

$$Z_C = (Z_A \parallel r_{ds} \parallel C_{ds}) \quad (9)$$

$$Z_{cout} = \frac{1}{C_s \cdot s} + R_{ESR} + L_{ESL} \cdot s \quad (10)$$

Next, \hat{v}_i and \hat{i}_o are set to zero, representing the regulator in open-loop mode with no load and no input voltage variation. In this case, the small-signal open-loop transfer-functions G_{og} and Y_{ig} from the output voltage of the amplifier to output voltage and input current perturbations are respectively obtained using circuit analysis:

$$G_{og}(s) = \frac{\hat{v}_o}{\hat{v}_g} \Big|_{\hat{v}_i, \hat{i}_o=0} = -g_m \cdot Z_C \quad (11)$$

$$Y_{ig}(s) = \frac{\hat{i}_i}{\hat{v}_g} \Big|_{\hat{v}_i, \hat{i}_o=0} \quad (12)$$

$$= g_m \cdot Z_C \cdot \left(\frac{1}{r_{ds}} + C_{ds} \cdot s \right) - (g_m + C_{gs} \cdot s) \quad (13)$$

To continue, \hat{v}_i and \hat{v}_g are set to zero, representing the case when there are no input or reference voltage perturbations. The following expressions of the open-loop output impedance Z_{oo} and the open-loop back current gain H_{io} are inferred:

$$Z_{oo} = \frac{\hat{v}_o}{\hat{i}_o} \Big|_{\hat{v}_i, \hat{v}_g=0} = \frac{-Z_C}{1 + Z_C \cdot \left[\left(1 + \frac{g_m - C_{gd} \cdot s}{Y_B} \right) C_{gd} \cdot s \right]} \quad (14)$$

and

$$H_{io}(s) = \frac{\hat{i}_i}{\hat{i}_o} \Big|_{\hat{v}_i, \hat{v}_g=0} \quad (15)$$

$$Y_{ii}(s) = g_m \cdot \left(1 - \frac{C_{gs} \cdot s}{Y_B}\right) + \frac{1}{r_{ds}} + (C_{ds} + C_{gs}) \cdot s - \frac{(C_{gs} \cdot s)^2}{Y_B} - G_{oi} \cdot \left(\frac{1}{r_{ds}} + C_{ds} \cdot s + \left(\frac{g_m + C_{gs} \cdot s}{Y_B}\right) C_{gd} \cdot s\right) \quad (6)$$

$$= -Z_{oo} \cdot \left(\frac{1}{r_{ds}} + C_{ds} \cdot s + (g_m + C_{gs} \cdot s) \frac{C_{gd} \cdot s}{Y_B}\right) \quad (16)$$

The superposition theorem declares that the perturbation of the output voltage is the sum of the perturbations created by each source at the output when the other two sources are set to zero. In application of this theorem, \hat{v}_o and \hat{i}_i can be rewritten using equations (4) (11) (14) and (6) (13) (16) respectively:

$$\hat{v}_o = G_{og}(s) \cdot \hat{v}_g + G_{oi}(s) \cdot \hat{v}_i + Z_{oo}(s) \cdot \hat{i}_o \quad (17)$$

and

$$\hat{i}_i = Y_{ig}(s) \cdot \hat{v}_g + Y_{ii}(s) \cdot \hat{v}_i + H_{io}(s) \cdot \hat{i}_o \quad (18)$$

C. Closed-Loop Small-Signal Model

A closed-loop small-signal mathematical model can be derived from the overall mathematical small-signal model build in II. According to the number of ports, three input perturbation signals \hat{v}_i , \hat{v}_r and \hat{i}_o and two output perturbation signals \hat{v}_o and \hat{i}_i , six transfer-functions are obtained as shown in Fig. 3. Next, the model is built using the superposition theorem. First, \hat{v}_r and \hat{i}_o are set to zero. Thus, the audio susceptibility $G_o(s)$ and the input admittance $Y_i(s)$ of the LDO can be expressed as

$$G_o(s) = \frac{\hat{v}_o}{\hat{v}_i} \Big|_{\hat{v}_r=0, \hat{i}_o=0} \quad (19)$$

$$G_{oi}(s) = \frac{G_{oi}(s)}{1 - A(s) \cdot \beta(s) \cdot G_{og}(s)} \quad (20)$$

$$Y_i(s) = \frac{\hat{i}_i}{\hat{v}_i} \Big|_{\hat{v}_r=0, \hat{i}_o=0} \quad (21)$$

$$Y_{ii}(s) = \frac{A(s) \cdot \beta(s) \cdot G_{oi}(s) \cdot Y_{ig}(s)}{1 - A(s) \cdot \beta(s) \cdot G_{og}(s)} + Y_{ii}(s) \quad (22)$$

The Power Supply Rejection Ratio (PSRR) can be directly computed from the audio susceptibility. Its expression is given below:

$$PSRR = 20 \cdot \log_{10} |G_o(s)| \quad (23)$$

In a second time, \hat{v}_i and \hat{v}_r are set to zero to find the output impedance $Z_o(s)$ and the back current gain $H_i(s)$.

$$Z_o(s) = \frac{\hat{v}_o}{\hat{i}_o} \Big|_{\hat{v}_r=0, \hat{v}_i=0} \quad (24)$$

$$Z_{oo}(s) = \frac{Z_{oo}(s)}{1 - A(s) \cdot \beta(s) \cdot G_{og}(s)} \quad (25)$$

$$H_i(s) = \frac{\hat{i}_i}{\hat{i}_o} \Big|_{\hat{v}_r=0, \hat{v}_i=0} \quad (26)$$

$$H_i(s) = \frac{A(s) \cdot \beta(s) \cdot Y_{ig}(s) \cdot Z_{oo}(s)}{1 - A(s) \cdot \beta(s) \cdot G_{og}(s)} + H_{io}(s) \quad (27)$$

Finally, \hat{v}_i and \hat{i}_o are set to zero to represent the operation of the LDO under no load and line perturbation. So, $G_{or}(s)$ is the reference voltage to output voltage transfer-function and $Y_{or}(s)$ the reference voltage to input current transfer-function.

$$G_{or}(s) = \frac{\hat{v}_o}{\hat{v}_r} \Big|_{\hat{v}_i=0, \hat{i}_o=0} \quad (28)$$

$$G_{or}(s) = \frac{A(s) \cdot G_{og}(s)}{1 - A(s) \cdot \beta(s) \cdot G_{og}(s)} \quad (29)$$

$$Y_{or}(s) = \frac{\hat{i}_i}{\hat{v}_r} \Big|_{\hat{v}_i=0, \hat{i}_o=0} \quad (30)$$

$$Y_{or}(s) = \frac{A(s) \cdot Y_{ig}(s)}{1 - A(s) \cdot \beta(s) \cdot G_{og}(s)} \quad (31)$$

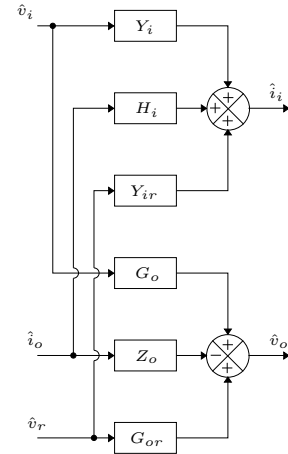


Fig. 3: Block diagram of a six boxes LDO behavioral model.

D. Simulation Results

To verify the theoretical analysis, a PMOS LDO regulator is built and simulated. It has been implemented in a 90nm CMOS process from STMicroelectronics. Fig. 4 shows the complete transistor-level implementation of the LDO. The error amplifier is based on the traditional symmetrical CMOS OTA schematic [6]. The pass-transistor M_P has a W/L ratio equal to $4000\mu\text{m}/600\text{nm}$, which allows to drive a maximum output current of 20mA. The quiescent current of the LDO is $133\mu\text{A}$. A $1\mu\text{F}$ off-chip capacitor and a compensation network are used to stabilize the LDO (gain margin=73dB and phase margin=23.7°). The off-chip load capacitor has an ESL and ESR of 1nH and $50\text{m}\Omega$ respectively. The functioning operating point of the LDO is typical of many low-voltage applications: an output voltage of 1.2V, an input voltage of 2V, a reference voltage of 400mV and an output current of 2mA.

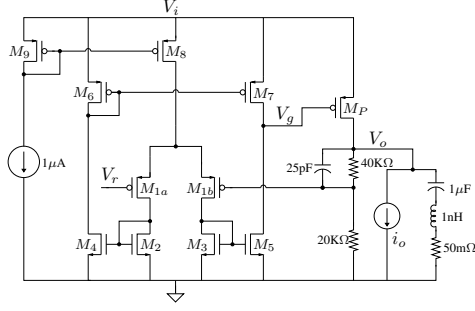


Fig. 4: Transistor-level schematic of the PMOS LDO.

Closed-loop transfer-functions were found by closing the voltage or current loop on the LDO regulator, imposing perturbations on the input voltage or load current and measuring the input and output closed-loop functions manually. The transistor-level simulation values were plotted on top of the comportemental model simulation closed-loop functions to compare the results (Fig. 5, 6, 7 and 8). In each figure, the blue continue line is the Bode plot of the comportemental model simulation closed-loop function and the red dashed line shows the transistor-level simulation closed-loop function from simulation. In Fig. 5, the closed-loop output impedance is plotted. Fig. 6 and 7 show respectively the input admittance and the audio susceptibility and Fig. 8 shows the back current gain.

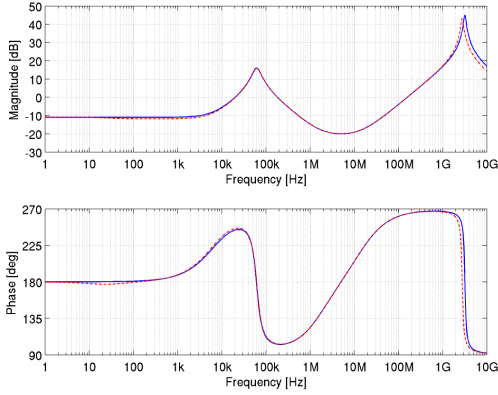


Fig. 5: Comportemental model and transistor-level simulation closed-loop output impedance of a PMOS LDO.

III. AUTOMATED EXTRACTION FLOW

A. Pole/Zero Extraction

In the previous part, the transfer-functions are obtained from the analysis of the small-signal circuit schematic. Since they are derived from hand calculation, this method can be really hard work. Thereby, obtaining mathematical representation is more challenging than using the method. At the same time, the accuracy of the model is strongly dependent with the order reduction of the small-signal equivalent circuit. In order to overcome the drawbacks of previously reported analytical method, we introduce a systematic extraction

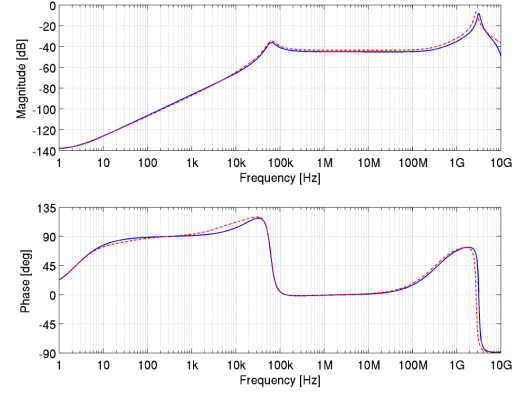


Fig. 6: Comportemental model and transistor-level simulation closed-loop input admittance of a PMOS LDO.

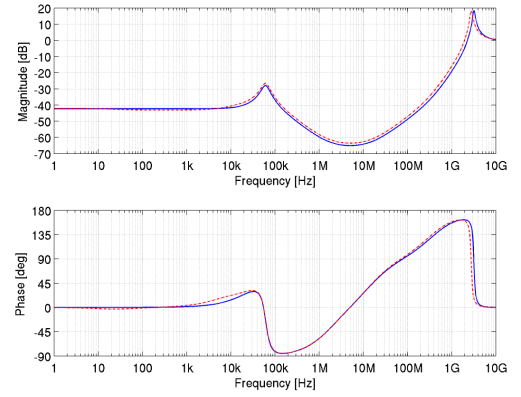


Fig. 7: Comportemental model and transistor-level simulation closed-loop audio susceptibility of a PMOS LDO.

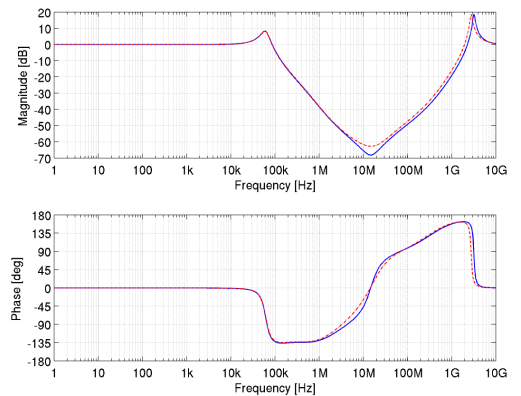


Fig. 8: Comportemental model and transistor-level simulation closed-loop back current gain of a PMOS LDO.

method which can be integrated in a transistor-level design flow. The transfer-function between two ports is obtained by linearizing the system around an operating point and

by outputting information about a numerical circuit matrix description. This data will be analyzed by the Eigenvalue QZ algorithm [7] [8], one of the most accurate available techniques. Thus, pole and zero locations are used to build the mathematical expression of the corresponding transfer-function. This algorithm takes into account all the parasitics components. It allows to make more complex model without having to worry about extracting parameters.

B. Black Box Modeling Flow

In order to build a generic model with any number of ports of a circuit, we proposed to use the QZ algorithm to automate the transfer-function extraction. The flow is described in Fig. 9. The input of the flow is a spice circuit level of the circuit. A DC operating point is also specified to linearize the circuit. Then, a netlist containing a small-signal perturbation on an input port is generated. Output port signals are observed to find the transfer-functions. The sequence is repeated to build as many netlist as transfer-functions we need. Next, the QZ algorithm is applied to compute the pole and zero locations. The results are put in a file. A routine is implemented in Matlab [9] to generate all the transfer-functions from the pole/zero file. The results are compared with simulator output. This model is suited for bottom-up verification, since this model is extracted from detailed transistor-level. It represents a component or a subsystem without information about its structure.

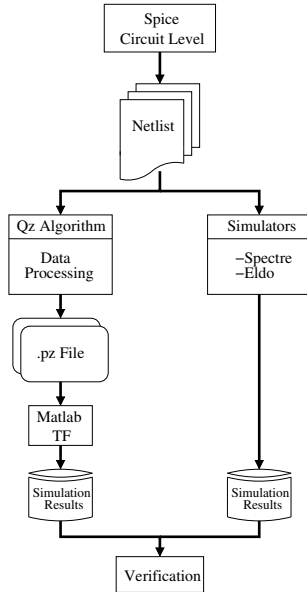


Fig. 9: Principle of black box modeling flow.

C. Application To A Complex LDO

We apply this systematic numerical method to a complex LDO. It is composed of an error amplifier A, regulation PMOS pass transistor M_p , and feedback network β . A high PSR ultra low power bandgap circuitry provides two reference voltages of 0.4V and 1.2V. An ultra low power LDO is used to provide the source biasing of the system. In order to protect overflow current, a current limiter is implemented. The proposed current

limiter senses the voltage (V_s) through a sense transistor M_s which is ratio of the output current I_{OUT} . This sensed voltage is compared to a reference voltage (V_r) provided by the source biasing, then, generates control signal (V_{CL}). When V_s is smaller than V_r , V_{CL} goes to high and M_{CL} device is off. When V_s is larger than V_r , V_{CL} goes to low and M_{CL} turns on. So, V_{PG} signal goes back to high level to prevent over current flow.

The LDO is designed in a 55nm digital CMOS process from STMicroelectronics and it can source a nominal output current I_{OUT} of 30mA. The minimal supply V_{IN} is 1.6V for a regulated 1.2V output voltage V_{OUT} . An external output capacitor C_{OUT} of $1\mu A$ and a compensation network are used to stabilize the system (gain margin=23dB and phase margin=69°). Wire-bond parasitics are added to interface with the external components and with the power supply/ground. Fig. 10 shows the overall diagram block of the complex LDO.

Fig. 11, 12, 13 and 14 compare the comportemental model and transistor-level simulation of the closed-loop output impedance, input admittance, audio susceptibility and back current gain.

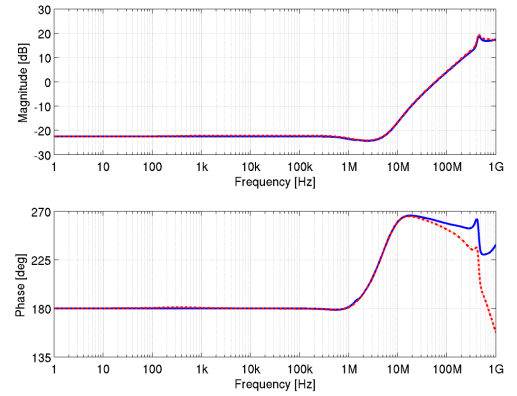


Fig. 11: Comportemental model and transistor-level simulation closed-loop output impedance of the complex LDO.

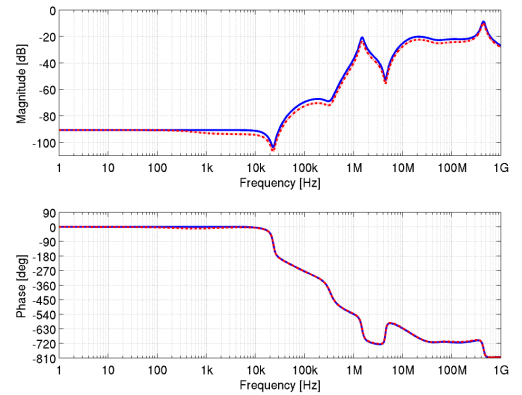


Fig. 12: Comportemental model and transistor-level simulation closed-loop input admittance of the complex LDO.

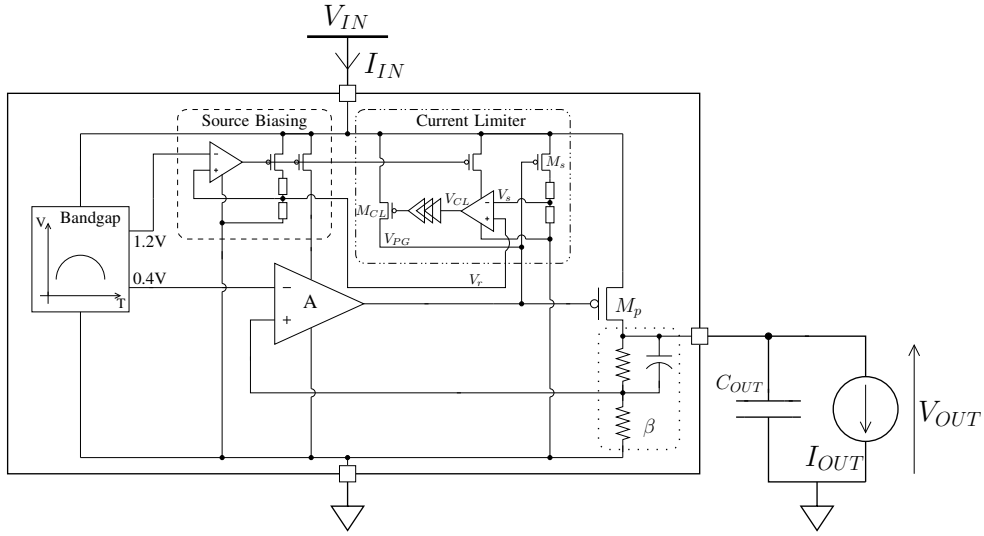


Fig. 10: Diagram block of the complex LDO.

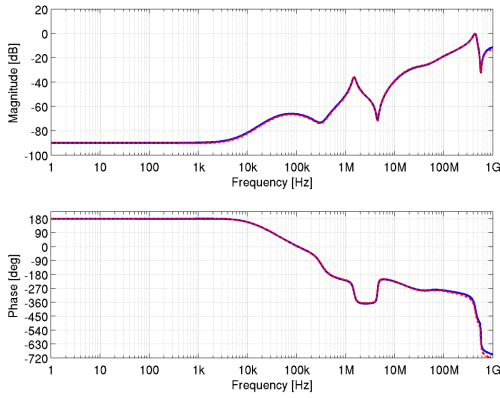


Fig. 13: Comportemental model and transistor-level simulation closed-loop audio susceptibility of the complex LDO.

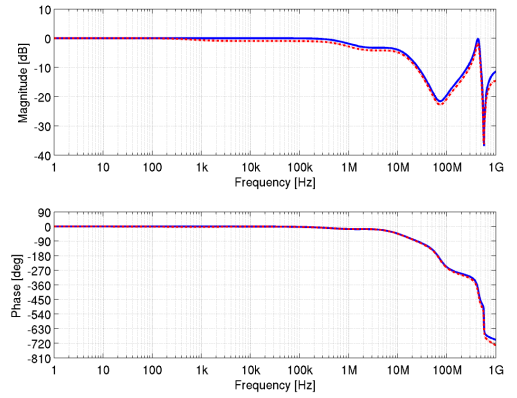


Fig. 14: Comportemental model and transistor-level simulation closed-loop back current gain of the complex LDO.

IV. CONCLUSION

This paper has focused on the derivation and validation of the closed-loop transfer-functions of a classical PMOS LDO voltage regulator. It introduced a small-signal regulator model and its mathematical representation. This theoretical model is verified by computer simulation. To save time and calculus mistakes, an extraction flow based on the QZ algorithm generates directly all the transfer-functions of any circuit. The application on a complex LDO validates the method.

REFERENCES

- [1] Yali Shao, Yi Wang, Zhihua Ning, and Lenian He. Analysis and Design of High Power Supply Rejection LDO. In *ASIC, 2009. ASICON '09. IEEE 8th International Conference on*, pages 324–327, 2009.
- [2] V. Gupta, G.A. Rincon-Mora, and P. Raha. Analysis and Design of Monolithic, High PSR, Linear Regulators for SoC Applications. In *SOC Conference, 2004. Proceedings. IEEE International*, pages 311–315, 2004.
- [3] Sungkeun Lim and A.Q. Huang. Low-Dropout (LDO) Regulator Output Impedance Analysis and Transient Performance Enhancement Circuit. In *Applied Power Electronics Conference and Exposition (APEC), 2010 Twenty-Fifth Annual IEEE*, pages 1875–1878, 2010.
- [4] A. Garimella and P.M. Furth. Frequency Compensation Techniques for Op-Amps and LDOs: A Tutorial Overview. In *Circuits and Systems (MWSCAS), 2011 IEEE 54th International Midwest Symposium on*, pages 1–4, 2011.
- [5] A. Garimella, P.R. Surkanti, and P.M. Furth. Pole-Zero Analysis of Low-Dropout (LDO) Regulators: A Tutorial Overview. In *VLSI Design (VLSID), 2012 25th International Conference on*, pages 131–136, 2012.
- [6] F. Maloberti. *Analog design for CMOS VLSI systems*. Kluwer Academic Publisher, 2001.
- [7] B. S. Garbow. The QZ Algorithm to Solve the Generalized Eigenvalue Problem for Complex Matrices. In *ACM Trans. Math. Softw.*, volume 4, pages 404–410, 1978.
- [8] G. Stewart and C. Moler. An Algorithm for Generalized Matrix Eigenvalue Problems. *SIAM J.*, 10:241–256, 1973.
- [9] Mathworks. Matlab software. <http://www.mathworks.com>.

Stratégie d'alimentation des SoCs RF très faible consommation

Résumé : Les réseaux de capteurs sans fil nécessitent des fonctions de calcul et de transmission radio associées à chaque capteur. Les SoCs RF intégrant ces fonctions doivent avoir une autonomie la plus grande possible et donc une très faible consommation. Aujourd'hui, leurs performances énergétiques pourraient être fortement améliorées par des systèmes d'alimentation innovants. En effet, les circuits d'alimentation remplissent leur fonction classique de conversion d'énergie mais aussi des fonctions d'isolation des blocs RF et digitaux. Leurs performances s'évaluent donc en termes d'efficacité énergétique et de réponse transitoire mais aussi d'isolation entre blocs et de réjection de bruit.

Ce travail de thèse concerne l'intégration du système de gestion et de distribution de l'énergie aux différents blocs RF d'un émetteur/récepteur en élaborant une méthodologie « top-down » pour déterminer la sensibilité de chaque bloc à son alimentation et en construisant une architecture innovante et dynamique de gestion/distribution de l'énergie sur le SoC. Cette méthodologie repose sur la disponibilité de régulateurs de tension présentant des performances adaptées. Un deuxième volet du travail de thèse a donc été de réaliser un régulateur linéaire de type LDO à forte réjection sur une bande passante relativement large et bien adapté à l'alimentation de blocs RF très sensibles aux bruits de l'alimentation.

Mots-clés : réseau de capteur, radiofréquence, stratégie d'alimentation, faible consommation, émetteur-récepteur, modélisation, Verilog-A, transistor MOS, CMOS 90nm, régulateur linéaire, multi-boucles, fort PSR.

Power management strategy for ultra-low-power RF SoCs

Abstract: Wireless sensor networks require calculation functions and radiofrequency transmission modules within each sensor. RF SoCs integrating these functions must have the biggest battery life and so a very small consumption. Today, innovative power management systems could highly enhance the energy performances of this type of RF SoC. Indeed, these power systems perform energy conversion and also the isolation functions of RF and digital blocks. Their features are thus estimated in terms of energy efficiency, transient response and also isolation between blocks and noise rejection.

This thesis work concerns the integration of the power management systems and its distribution channels into different ultra-low-power SoCs. This was achieved mainly thanks to the development of a new “top-down” approach. This new methodology consists of determining the sensibility of every block to its power supply and of designing an innovative and dynamic architecture of power management circuits on the SoC. This study ends up in the implementation of a very efficient low dropout (LDO) regulator for noise-sensitive low-current RF blocks in mixed SoC applications. The fabricated prototype achieves a high power supply rejection for a wide range of frequencies.

Keywords: wireless sensor network, radiofrequency, power supply strategy, ultra-low-power, transceiver, modeling, Verilog-A, MOS transistor, 90nm CMOS, low dropout regulator, multi-loops, high PSR.